

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-128713

(P2021-128713A)

(43) 公開日 令和3年9月2日(2021.9.2)

(51) Int. Cl.	F I		テーマコード (参考)
G06G 7/60 (2006.01)	G06G 7/60		
G06N 3/063 (2006.01)	G06N 3/063		
G06N 3/08 (2006.01)	G06N 3/08		

審査請求 未請求 請求項の数 13 O L (全 15 頁)

(21) 出願番号	特願2020-24630 (P2020-24630)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区丸の内一丁目6番6号
(22) 出願日	令和2年2月17日(2020.2.17)	(74) 代理人	110001689 青稜特許業務法人
(出願人による申告) 平成30年度、国立研究開発法人新エネルギー・産業技術総合開発機構、「高効率・高速処理を可能とするAIチップ・次世代コンピューティングの技術開発/次世代コンピューティング技術の開発」委託研究、産業技術力強化法第17条の適用を受ける特許出願		(72) 発明者	大島 俊 東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

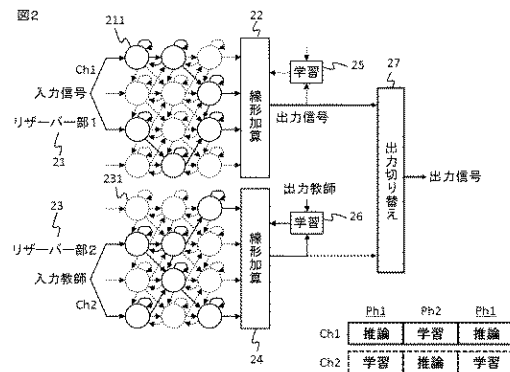
(54) 【発明の名称】 リザーバー計算機

(57) 【要約】 (修正有)

【課題】 低電力化と高精度化を両立可能にするリザーバー計算機を提供する。

【解決手段】 学習演算と推論演算を実行するリザーバー計算機において、リザーバーニューロンを有するリザーバー部をアナログ回路で構成する。複数の第1のリザーバーニューロン211を有し、アナログ回路により構成された第1のリザーバー部21と、第1のリザーバーニューロンの出力を入力として受けて推論演算を行う第1の出力生成部22と、複数の第2のリザーバーニューロン231を有し、アナログ回路により構成された第2のリザーバー部23と、第2のリザーバーニューロンの出力を入力として受けて所定の演算を行って学習用信号を出力する第2の出力生成部24と、第2の出力生成部から出力された学習用信号と出力教師に基づいて、学習演算を行う学習部26と、を有する。出力生成部は、学習部で学習した学習結果に基づいて、推論演算を行う。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

複数の第 1 のリザーバーニューロンを有し、アナログ回路により構成された第 1 のリザーバー部と、

前記第 1 のリザーバーニューロンの出力を入力として受けて推論演算を行う第 1 の出力生成部と、

複数の第 2 のリザーバーニューロンを有し、アナログ回路により構成された第 2 のリザーバー部と、

前記第 2 のリザーバーニューロンの出力を入力として受けて所定の演算を行って学習用信号を出力する第 2 の出力生成部と、

前記第 2 の出力生成部から出力された前記学習用信号と出力教師に基づいて、学習演算を行う学習部と、を有し、

前記第 1 の出力生成部は、

前記学習部で学習した学習結果に基づいて、前記推論演算を行うことを特徴とするリザーバー計算機。

【請求項 2】

前記学習部は、

前記学習用信号を前記出力教師と比較した比較結果に基づいて、前記第 2 の出力生成部の重み係数を更新し、更新された前記重み係数を前記第 1 の出力生成部に供給し、

前記第 1 の出力生成部は、

前記学習部から供給された前記重み係数を前記学習結果として用いて、前記推論演算を行って解析済み信号を出力することを特徴とする請求項 1 に記載のリザーバー計算機。

【請求項 3】

前記第 1 のリザーバー部において、複数の前記第 1 のリザーバーニューロンの中から、実際に動作する前記第 1 のリザーバーニューロンがランダムに複数選択され、

前記第 1 のリザーバー部の内、前記選択された前記第 1 のリザーバーニューロンが第 1 のチャンネルを構成し、

前記第 2 のリザーバー部において、複数の前記第 2 のリザーバーニューロンの中から、前記第 1 のリザーバー部で選択した前記第 1 のリザーバーニューロンと位置的に対応する前記第 2 のリザーバーニューロンが選択され、

前記第 2 のリザーバー部の内、前記選択された前記第 2 のリザーバーニューロンが第 2 のチャンネルを構成し、

前記第 2 のチャンネルは、前記第 1 のチャンネルと同一の構成及び同一の特性を有することを特徴とする請求項 1 に記載のリザーバー計算機。

【請求項 4】

前記第 1 のチャンネルは、前記推論演算の実行に用いられ、

前記第 1 のチャンネルには、解析対象となる時系列信号が入力信号として供給され、前記第 1 のリザーバー部と前記第 1 の出力生成部により処理されて、前記第 1 の出力生成部から前記解析済み信号が出力され、

前記第 2 のチャンネルは、前記学習演算の実行に用いられ、入力信号として入力教師が供給され、前記第 2 のリザーバー部と前記第 2 の出力生成部により処理されて、前記第 2 の出力生成部から前記学習用信号が出力されることを特徴とする請求項 3 に記載のリザーバー計算機。

【請求項 5】

前記学習部は、

更新された前記重み係数として、前記第 1 のチャンネルの特性変動に追従した重み係数を前記第 1 の出力生成部に供給することを特徴とする請求項 3 に記載のリザーバー計算機。

【請求項 6】

前記第 1 のリザーバー部と前記第 2 のリザーバー部は、

同一の半導体基板上に形成されていることを特徴とする請求項 1 に記載のリザーバー計

10

20

30

40

50

算機。

【請求項 7】

複数の第 1 のリザーバーニューロンを有し、学習演算と推論演算を交互に実行可能なアナログ回路により構成された第 1 のリザーバー部と、

複数の第 2 のリザーバーニューロンを有し、前記学習演算と前記推論演算を交互に実行可能なアナログ回路により構成された第 2 のリザーバー部と、

前記第 2 のリザーバー部が前記学習演算を実行している期間中に前記第 1 のリザーバー部が前記推論演算を実行する第 1 のモードと、前記第 1 のリザーバー部が前記学習演算を実行している期間中に前記第 2 のリザーバー部が前記推論演算を実行する第 2 のモードとを切り替える切り替え部と、

を有することを特徴とするリザーバー計算機。

10

【請求項 8】

前記第 1 のリザーバーニューロンの出力を入力として受けて所定の演算を行う第 1 の出力生成部と、

前記第 1 の出力生成部に接続された第 1 の学習部と、

前記第 2 のリザーバーニューロンの出力を入力として受けて所定の演算を行う第 2 の出力生成部と、

前記第 2 の出力生成部に接続された第 2 の学習部と、を更に有し、

前記切り替え部は、

前記第 1 の出力生成部の出力と前記第 2 の出力生成部の出力のいずれか一方を選択し、

20

前記第 1 のモードにおいて、

前記第 1 の出力生成部は、

前記所定の演算を行って解析済み信号を出力し、

前記第 2 の出力生成部は、

前記所定の演算を行って学習用信号を出力し、

前記第 2 の学習部は、

前記第 2 の出力生成部から出力された前記学習用信号と出力教師に基づいて、前記学習演算を実行し、前記第 2 の出力生成部の重み係数を更新して前記第 2 の出力生成部に供給し、

前記切り替え部は、

30

前記第 1 の出力生成部が出力した前記解析済み信号を選択し、

前記第 2 のモードにおいて、

前記第 1 の出力生成部は、

前記所定の演算を行って学習用信号を出力し、

前記第 1 の学習部は、

前記第 1 の出力生成部から出力された前記学習用信号と出力教師に基づいて、前記学習演算を実行し、前記第 1 の出力生成部の重み係数を更新して前記第 1 の出力生成部に供給し、

前記第 2 の出力生成部は、

前記所定の演算を行って解析済み信号を出力し、

40

前記切り替え部は、

前記第 2 の出力生成部が出力した前記解析済み信号を選択することを特徴とする請求項 7 に記載のリザーバー計算機。

【請求項 9】

前記第 1 のリザーバー部において、複数の前記第 1 のリザーバーニューロンの中から、実際に動作する前記第 1 のリザーバーニューロンがランダムに複数選択され、

前記第 1 のリザーバー部の内、前記選択された前記第 1 のリザーバーニューロンが第 1 のチャンネルを構成し、

前記第 2 のリザーバー部において、複数の前記第 2 のリザーバーニューロンの中から、実際に動作する前記第 2 のリザーバーニューロンがランダムに複数選択され、

50

前記第 2 のリザーバー部の内、前記選択された前記第 2 のリザーバーニューロンが第 2 のチャンネルを構成し、

前記第 1 のチャンネルは、前記推論演算と前記学習演算を交互に実行し、

前記第 2 のチャンネルは、前記学習演算と前記推論演算を交互に実行し、

前記第 1 のチャンネルが前記推論演算を実行している間に、前記第 2 のチャンネルは前記学習演算を実行し、

前記第 1 のチャンネルが前記学習演算を実行している間に、前記第 2 のチャンネルは前記推論演算を実行することを特徴とする請求項 7 に記載のリザーバー計算機。

【請求項 10】

前記第 1 のリザーバー部と前記第 2 のリザーバー部は、同一の半導体基板上に形成されていることを特徴とする請求項 7 に記載のリザーバー計算機。

【請求項 11】

複数のリザーバーニューロンを有し、学習演算と推論演算を交互に実行可能なアナログ回路により構成されたりザーバー部と、

複数の前記リザーバーニューロンの中から選択された複数の第 1 のリザーバーニューロンを有し、前記推論演算と前記学習演算を交互に実行する第 1 のチャンネルと、

複数の前記リザーバーニューロンの中から選択された複数の前記第 1 のリザーバーニューロンと位置的に異なる複数の第 2 のリザーバーニューロンを有し、前記学習演算と前記推論演算を交互に実行する第 2 のチャンネルと、

前記第 2 のチャンネルが前記学習演算を実行している期間中に前記第 1 のチャンネルが前記推論演算を実行する第 1 のモードと、前記第 1 のチャンネルが前記学習演算を実行している期間中に前記第 2 のチャンネルが前記推論演算を実行する第 2 のモードとを切り替える切り替え部と、

を有することを特徴とするリザーバー計算機。

【請求項 12】

前記第 1 のリザーバーニューロンの出力を入力として受けて所定の演算を行う第 1 の出力生成部と、

前記第 2 のリザーバーニューロンの出力を入力として受けて所定の演算を行う第 2 の出力生成部と、

前記第 1 の出力生成部及び前記第 2 の出力生成部に接続された学習部と、を更に有し、

前記切り替え部は、

前記第 1 の出力生成部の出力と前記第 2 の出力生成部の出力のいずれか一方を選択し、

前記第 1 のモードにおいて、

前記第 1 の出力生成部は、

前記所定の演算を行って解析済み信号を出力し、

前記第 2 の出力生成部は、

前記所定の演算を行って学習用信号を出力し、

前記学習部は、

前記第 2 の出力生成部から出力された前記学習用信号と出力教師に基づいて、前記学習演算を実行し、前記第 2 の出力生成部の重み係数を更新して前記第 2 の出力生成部に供給し、

前記切り替え部は、

前記第 1 の出力生成部が出力した前記解析済み信号を選択し、

前記第 2 のモードにおいて、

前記第 1 の出力生成部は、

前記所定の演算を行って学習用信号を出力し、

前記学習部は、

前記第 1 の出力生成部から出力された前記学習用信号と出力教師に基づいて、前記学習演算を実行し、前記第 1 の出力生成部の重み係数を更新して前記第 1 の出力生成部に供給し、

10

20

30

40

50

前記第 2 の出力生成部は、

前記所定の演算を行って解析済み信号を出力し、

前記切り替え部は、

前記第 2 の出力生成部が出力した前記解析済み信号を選択することを特徴とする請求項 1 1 に記載のリザーバー計算機。

【請求項 1 3】

前記第 1 のチャンネルが前記推論演算を実行する第 1 の推論期間と、前記第 2 のチャンネルが前記推論演算を実行する第 2 の推論期間とがオーバーラップしていることを特徴とする請求項 1 1 に記載のリザーバー計算機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リザーバー計算機に関する。

【背景技術】

【0002】

少子化にともなう労働可能人口の減少が、社会課題として顕在化してきている。工場内の人手不足を解消するために、工場機器の自律的な異常検知、予兆診断や、ロボットや A G V（無人搬送車）の自律的な未来予測、行動計画を実現することが求められており、そのキー技術として、時系列信号を解析可能な A I（人工知能）が期待されている。

【0003】

近年、画像解析の分野でディープラーニングが著しい成果を上げている。一方で、時系列信号を扱うディープラーニングは、言語解析や翻訳で実績はあるものの、他分野への適用はそれほど進んでいない。その要因として、時系列信号向けディープラーニングとして従来知られている R N N（リカレントニューラルネットワーク）は、多層のネットワークを表現するために必要なパラメータの学習が容易ではないということが挙げられる。

【0004】

一方、時系列信号を解析可能な A I として、リザーバー計算も知られている。リザーバー計算は、脳を模倣したニューロモルフィック計算の一種である。リザーバー計算機は、記憶機能を持つ多数のニューロン間をランダムに疎結合することで、時間遅延を含む極めて複雑に絡み合ったループを内包するリザーバー部と、それに接続される一層の出力生成部から構成される。多層のネットワークのパラメータを学習する必要がある R N N とは異なり、リザーバー計算では、一層の出力生成部のパラメータだけを学習すればよいため、学習が比較的容易であるという利点がある。

【0005】

例えば、特許文献 1 には、無線受信機において、学習済みのリザーバー計算機により信号を抽出する技術が開示されている。このように、リザーバー計算機は有用であると考えられるが、特許文献 1 を含め、従来のリザーバー計算の多くは、デジタル回路により実装されている。このため、既にアナログ回路の適用が進められているエッジデバイス向けディープラーニングと比較して、消費電力が大きい。したがって、バッテリー駆動での長期間動作が必要な工場機器、ロボット、A G V（無人搬送車）などへの適用が困難であった。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2 0 1 8 - 6 7 9 1 3 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

一方で、低電力化に向けて、リザーバー計算機におけるリザーバー部をアナログ回路により実装することが考えられる。この場合、アナログ回路特性の経時変動により、学習結

10

20

30

40

50

果が時間とともに有効でなくなってしまう問題がある。

【0008】

すなわち、出力生成部のパラメータは、学習時のリザーバー部の特性に対応して学習されて固定される。このため、リザーバー部の特性が学習時から変化すると、リザーバー部と出力生成部の間にミスマッチが生じ、出力の精度が劣化する。このように、リザーバー計算機の低電力化と高精度化を両立する技術は未確立であった。

本発明の目的は、リザーバー計算機の低電力化と高精度化を両立可能にすることにある。

【課題を解決するための手段】

【0009】

本発明は、学習演算と推論演算を実行するリザーバー計算機において、リザーバーニューロンを有するリザーバー部をアナログ回路で構成する。

【0010】

本発明の一態様のリザーバー計算機は、複数の第1のリザーバーニューロンを有し、アナログ回路により構成された第1のリザーバー部と、前記第1のリザーバーニューロンの出力を入力として受けて推論演算を行う第1の出力生成部と、複数の第2のリザーバーニューロンを有し、アナログ回路により構成された第2のリザーバー部と、前記第2のリザーバーニューロンの出力を入力として受けて所定の演算を行って学習用信号を出力する第2の出力生成部と、前記第2の出力生成部から出力された前記学習用信号と出力教師に基づいて、学習演算を行う学習部とを有し、前記第1の出力生成部は、前記学習部で学習した学習結果に基づいて、前記推論演算を行うことを特徴とする。

【0011】

本発明の一態様のリザーバー計算機は、複数の第1のリザーバーニューロンを有し、学習演算と推論演算を交互に実行可能なアナログ回路により構成された第1のリザーバー部と、複数の第2のリザーバーニューロンを有し、前記学習演算と前記推論演算を交互に実行可能なアナログ回路により構成された第2のリザーバー部と、前記第2のリザーバー部が前記学習演算を実行している期間中に前記第1のリザーバー部が前記推論演算を実行する第1のモードと、前記第1のリザーバー部が前記学習演算を実行している期間中に前記第2のリザーバー部が前記推論演算を実行する第2のモードとを切り替える切り替え部と、を有することを特徴とする。

【0012】

本発明の一態様のリザーバー計算機は、複数のリザーバーニューロンを有し、学習演算と推論演算を交互に実行可能なアナログ回路により構成されたリザーバー部と、複数の前記リザーバーニューロンの中から選択された複数の第1のリザーバーニューロンを有し、前記推論演算と前記学習演算を交互に実行する第1のチャンネルと、複数の前記リザーバーニューロンの中から選択された複数の前記第1のリザーバーニューロンと位置的に異なる複数の第2のリザーバーニューロンを有し、前記学習演算と前記推論演算を交互に実行する第2のチャンネルと、前記第2のチャンネルが前記学習演算を実行している期間中に前記第1のチャンネルが前記推論演算を実行する第1のモードと、前記第1のチャンネルが前記学習演算を実行している期間中に前記第2のチャンネルが前記推論演算を実行する第2のモードとを切り替える切り替え部とを有することを特徴とする。

【発明の効果】

【0013】

本発明の一態様によれば、リザーバー計算機の低電力化と高精度化を両立可能にすることができる。

【図面の簡単な説明】

【0014】

【図1】実施例1のリザーバー計算機の構成を示す図である。

【図2】実施例2のリザーバー計算機の構成を示す図である。

【図3】実施例2のリザーバー計算機の構成を示す図である。

10

20

30

40

50

【図 4】実施例 3 のリザーバー計算機の構成を示す図である。

【図 5】実施例 4 の動作を説明する図である。

【発明を実施するための形態】

【0015】

以下、図面を用いて、実施例について説明する。

【実施例 1】

【0016】

図 1 を参照して、実施例 1 のリザーバー計算機の構成について説明する。

実施例 1 のリザーバー計算機は、メインリザーバー部 11、メインリザーバー部 11 に接続された出力生成部 12、レプリカリザーバー部 13、レプリカリザーバー部 13 に接続された出力生成部 14、出力生成部 14 に接続された学習部 15 を有する。このうち、少なくともメインリザーバー部 11 とレプリカリザーバー部 13 は、同一の半導体製造プロセスを用いて、同一の半導体基板上に形成されている。

10

【0017】

メインリザーバー部 11 は、円形で示した複数のメインリザーバーニューロン 111 を備える。各メインリザーバーニューロン 111 の出力は、他のメインリザーバーニューロン 111 の入力や自らの入力への接続が可能となっている。各接続は、矢印で図示されている。各出力から各入力への接続には、図示していないが、時間遅延が挿入されている。

【0018】

各メインリザーバーニューロン 111 は、アナログ回路により実装される。メインリザーバー部 11 に対する入力信号や、他のメインリザーバーニューロン 111 の出力や自らの出力を複数の入力として受け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記総和を、活性化（発火）関数と呼ばれる非線形関数で変換した値が、メインリザーバーニューロン 111 の出力となる。これらの機能をアナログ回路で実装することは可能である。なお、重み係数は、あらかじめ決定され固定される。

20

【0019】

メインリザーバー部 11 において、複数のメインリザーバーニューロン 111 の中から、実際に使用されるメインリザーバーニューロン 111 がランダムに複数選択される。また、それらの間の接続や、それらと入力信号との接続、それらと出力生成部 12 の接続の中から、実際に使用される接続がランダムに複数選択される。なお、図 1 では、選択されたメインリザーバーニューロン 111 や接続を実線で、未選択のものを点線で表現している。リザーバー計算機として有効な表現力を得るために、メインリザーバーニューロン 111 や接続の選択は、密に選択せず、まばらに選択する。ここで、メインリザーバー部 11 のうち、選択された実際に動作する部分をチャンネル 1 (Ch1) と便宜上呼ぶ。

30

【0020】

同様に、レプリカリザーバー部 13 は、円形で示した複数のレプリカリザーバーニューロン 131 を備える。各レプリカリザーバーニューロン 131 の出力は、他のレプリカリザーバーニューロン 131 の入力や自らの入力への接続が可能となっている。各接続は、矢印で図示されている。各出力から各入力への接続には、時間遅延（図示せず）が挿入されている。

40

【0021】

各レプリカリザーバーニューロン 131 は、アナログ回路により実装され、メインリザーバーニューロン 111 と同一の機能を持つ。また、位置的に対応するメインリザーバーニューロン 111 と同一の重み係数に設定される。例えば、レプリカリザーバーニューロン 131 の重み係数は、メインリザーバーニューロン 111 と同一の重み係数に設定される。

【0022】

レプリカリザーバー部 13 においても、複数のレプリカリザーバーニューロン 131 の中から、実際に使用されるレプリカリザーバーニューロン 131 や接続を選択するが、重要なのは、メインリザーバー部 11 で選択したものと位置的に対応するものを選択する点

50

である。なお、図 1 では、選択されたレプリカリザーバーニューロン 1 3 1 や接続を実線で、未選択のものを点線で表現している。また、レプリカリザーバー部 1 3 のうち、選択された実際に動作する部分をチャンネル 2 (Ch 2) と呼ぶ。ここで、Ch 2 は Ch 1 を忠実に模擬している。

【 0 0 2 3 】

出力生成部 1 2 は、複数のメインリザーバーニューロン 1 1 1 の出力を入力として受け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記線形加算した値が、出力生成部 1 2 の出力となる。出力生成部 1 4 も、出力生成部 1 2 と同一の機能を備える。これらは、デジタル回路、アナログ回路のいずれで実装してもよい。

【 0 0 2 4 】

Ch 2 は、常時、学習に用いる。そのために、Ch 2 には、入力信号として「入力教師」が供給され、レプリカリザーバー部 1 3、および、後続する出力生成部 1 4 により処理されて、出力生成部 1 4 から学習用出力信号が出力される。学習部 1 5 は、前記学習用出力信号を「出力教師」と比較して、前者が後者に近づくように、比較結果にもとづき、前記出力生成部 1 4 の重み係数を更新し、出力生成部 1 4 に供給する。さらに、重要な点として、前記更新された重み係数は、出力生成部 1 2 にも供給される。前記重み係数の更新は、常時行われるため、Ch 2 の特性変動に追従した重み係数を供給できる。

【 0 0 2 5 】

なお、「出力教師」は、「入力教師」の時間波形がこのリザーバー計算機に入力された時に、その出力として期待される時間波形である。「入力教師」と「出力教師」は、あらかじめ準備されたものを適用する。また、学習部 1 5 は、演算精度が必要なため、デジタル回路による実装が好ましいが、アナログ回路による実装も可能である。

【 0 0 2 6 】

Ch 1 は、常時、推論に、すなわち、AI の実行に用いる。そのために、Ch 1 には、解析対象となる時系列信号が入力信号として供給され、メインリザーバー部 1 1、および、後続する出力生成部 1 2 により処理されて、出力生成部 1 2 から解析済みの出力信号が出力される。

【 0 0 2 7 】

ここで、メインリザーバー部 1 1 は、アナログ回路で実装されているため、いわゆる PVT ばらつき、すなわち、製造プロセス、電源電圧、温度のばらつきにより、特性が変化してしまう。このうち、電源電圧と温度に関しては、経時変化をともなう。そこで、実施例 1 では、出力生成部 1 2 に適用される重み係数を、メインリザーバー部 1 1 の特性にリアルタイムに追従させることで、リザーバー部側と出力生成部側のマッチングを常時維持し、推論精度を維持する。

【 0 0 2 8 】

実施例 1 では、前記の通り、レプリカリザーバー部 1 3 の Ch 2 が、メインリザーバー部 1 1 の Ch 1 の構成を模擬しており、かつ、これらは、同一の半導体製造プロセスを用いて、同一の半導体基板上に形成されている。このため、Ch 2 の特性は Ch 1 の特性を模擬していると期待することができる。

【 0 0 2 9 】

例えば、リザーバーニューロンの実装に使用される MOS トランジスタ、抵抗素子、容量素子の特性は、半導体製造プロセス、電源電圧、温度の影響を受けて変化するが、前記前提により、Ch 1 と Ch 2 は、これらの条件が概ね等しいとみなせると期待できる。

【 0 0 3 0 】

例えば、MOS トランジスタの特性を左右する MOS トランジスタのしきい値電圧は、半導体製造プロセスにおいて、製造装置の設定誤差に起因するシステムティックなばらつきと、統計的なランダムなばらつきの影響を受ける。前者のほうが、後者よりも遥かに大きい。Ch 1 と Ch 2 を同一の半導体製造プロセスにより形成することで、Ch 1 と Ch 2 のシステムティックなばらつきは、互いに等しいと期待することができる。

【 0 0 3 1 】

10

20

30

40

50

また、温度に関しては、Ch1とCh2が同一半導体基板上に形成され、かつ同一の半導体パッケージ内に収容されるため、概ね等しい温度下にあると期待することができる。なお、電源電圧に関しては、Ch1とCh2への電源配線を共通化することで、これらが同一の電源電圧下で動作していると期待することができる。

【0032】

前記の通り、Ch2の特性は、Ch1の特性変化をリアルタイムに模擬していると期待できる。このため、Ch2に対する学習部15における前記重み係数の更新結果は、Ch1の特性変化に対応したものである。したがって、Ch1側の出力生成部12への前記重み係数の供給により、Ch1の特性変化に依らず、Ch1の推論精度を常時維持することができる。

【0033】

以上の通り、本実施1では、リザーバ計算機のリザーバ部をアナログ回路により実装することで、低消費電力を実現し、かつ、高い推論精度を維持することができる。

【実施例2】

【0034】

図2、図3を参照して、実施例2のリザーバ計算機の構成について説明する。

実施例2のリザーバ計算機は、第1のリザーバ部21、第1のリザーバ部21に接続された出力生成部22、出力生成部22に接続された学習部25、第2のリザーバ部23、第2のリザーバ部23に接続された出力生成部24、出力生成部24に接続された学習部26、出力生成部22の出力、または、出力生成部24の出力のいずれかを選択して出力する出力切り替え部27を有する。

【0035】

実施例1とは異なり、2つのリザーバ部は対等である。第1のリザーバ部21と第2のリザーバ部23は、別々の半導体製造プロセスを用いて、別々の半導体基板上に形成されてもよい。

【0036】

第1のリザーバ部21は、円形で示した複数の第1のリザーバニューロン211を備える。各第1のリザーバニューロン211の出力は、他の第1のリザーバニューロン211の入力や自らの入力への接続が可能となっている。各接続は、矢印で図示されている。各出力から各入力への接続には、図示していないが、時間遅延が挿入されている。

【0037】

各第1のリザーバニューロン211は、アナログ回路により実装される。第1のリザーバ部21に対する入力信号や、他の第1リザーバニューロン211の出力や自らの出力を複数の入力として受け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記総和を、活性化（発火）関数で非線形変換した値が、第1のリザーバニューロン211の出力となる。これらの機能をアナログ回路で実装することは可能である。なお、前記重み係数は、あらかじめ決定され固定される。

【0038】

第1のリザーバ部21において、複数の第1のリザーバニューロン211の中から、実際に使用される第1のリザーバニューロン211がランダムに複数選択される。また、それらの間の接続や、それらと入力信号との接続、それらと出力生成部22の接続の中から、実際に使用される接続がランダムに複数選択される。図2や図3では、選択された第1のリザーバニューロンや接続を実線で、未選択のものを点線で表現している。リザーバ計算機として有効な表現力を得るために、第1のリザーバニューロン211や接続の選択は、密に選択せず、まばらに選択する。ここで、第1のリザーバ部21のうち、選択された実際に動作する部分をチャンネル1（Ch1）と便宜上呼ぶ。

【0039】

同様に、第2のリザーバ部23は、円形で示した複数の第2のリザーバニューロン231を備える。各第2のリザーバニューロン231の出力は、他の第2のリザーバニューロン231の入力や自らの入力への接続が可能となっている。各接続は、矢印で図

10

20

30

40

50

示されている。各出力から各入力への接続には、時間遅延（図示せず）が挿入されている。

【0040】

各第2のリザーバーニューロン231は、アナログ回路により実装され、第1のリザーバーニューロン211と同一の機能を持つ。実施例1とは異なり、第1のリザーバーニューロン211と第2のリザーバーニューロン231の重み係数は、互いに独立に設定してもよい。

【0041】

第2のリザーバー部23においても、複数の第2のリザーバーニューロン231の中から、実際に使用される第2のリザーバーニューロン231や接続を選択する。実施例1とは異なり、第1のリザーバー部21とは無関係に選択してよい。図2や図3では、選択された第2のリザーバーニューロン231や接続を実線で、未選択のものを点線で表現している。ここで、第2のリザーバー部23のうち、前記選択された実際に動作する部分をチャンネル2（Ch2）と呼ぶ。

10

【0042】

出力生成部22は、複数の第1のリザーバーニューロン211の出力を入力として受け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記線形加算した値が、出力生成部22の出力となる。出力生成部24も、出力生成部22と同一の機能を備える。これらは、デジタル回路、アナログ回路のいずれで実装してもよい。

【0043】

実施例1とは異なり、第1のリザーバー部21、第2のリザーバー部23のいずれも、学習と推論の双方を交互に行う。その際、第2のリザーバー部23が学習している期間中は、第1のリザーバー部21は推論を実行している。逆に、第1のリザーバー部21が学習している期間中は、第2のリザーバー部23は推論を実行する。この動作をタイムインタリーブ動作と呼ぶ。

20

【0044】

図2は、第1のリザーバー部21が推論モードにあり、第2のリザーバー部23が学習モードにある場合である。

そのために、Ch2には、入力信号として「入力教師」が供給され、第2のリザーバー部23、および、後続する出力生成部24により処理されて、出力生成部24から学習用出力信号が出力される。学習部26は、前記学習用出力信号を「出力教師」と比較して、前者が後者に近づくように、比較結果にもとづき、前記出力生成部24の重み係数を更新し出力生成部24に供給する。

30

【0045】

一方、Ch1には、解析対象となる時系列信号が、入力信号として供給され、第1のリザーバー部21、および、後続する出力生成部22により処理されて、出力生成部22から解析済みの出力信号が出力される。出力切り替え部27は、出力生成部22の出力の解析済みの出力信号を選択して、最終的な出力信号として出力する。

【0046】

図3は、第1のリザーバー部21が学習モードにあり、第2のリザーバー部23が推論モードにある場合である。そのために、Ch1には、入力信号として「入力教師」が供給され、第1のリザーバー部21、および、後続する出力生成部22により処理されて、出力生成部22から学習用出力信号が出力される。学習部25は、前記学習用出力信号を「出力教師」と比較して、前者が後者に近づくように、比較結果にもとづき、前記出力生成部22の重み係数を更新し、出力生成部22に供給する。

40

【0047】

一方、Ch2には、解析対象となる時系列信号が、入力信号として供給され、第2のリザーバー部23、および、後続する出力生成部24により処理されて、出力生成部24から解析済みの出力信号が出力される。出力切り替え部27は、出力生成部24の出力の前記解析済みの出力信号を選択して、最終的な出力信号として出力する。

50

【 0 0 4 8 】

C h 1 の推論モード期間中は、直前の学習モード期間中に学習した重み係数を出力生成部 2 2 に適用する。同様に、C h 2 の推論モード期間中は、直前の学習モード期間中に学習した重み係数を出力生成部 2 4 に適用する。推論を C h 1 と C h 2 が交互に担当することで、全体として、解析対象となる時系列信号に対して、切れ目なく推論を実行できる。

【 0 0 4 9 】

ここで、第 1 のリザーバー部 2 1、および、第 2 のリザーバー部 2 3 は、アナログ回路で実装されているため、製造プロセス、電源電圧、温度のばらつきにより特性が変化してしまう。このうち、電源電圧と温度に関しては、経時変化をとまなう。

【 0 0 5 0 】

実施例 2 では、C h 1 が推論を実行する時は、直前の学習モード期間中に C h 1 に対して学習した重み係数を、出力生成部 2 2 に適用するため、C h 1 の特性変化に概ね追従した重み係数を適用していることになる。同様に、C h 2 が推論を実行する時は、直前の学習モード期間中に C h 2 に対して学習した重み係数を、出力生成部 2 4 に適用するため、C h 2 の特性変化に概ね追従した重み係数を適用していることになる。

【 0 0 5 1 】

実施例 1 とは異なり、C h 1 に対して学習した重み係数を、C h 1 による推論に使用し、C h 2 に対して学習した重み係数を、C h 2 による推論に使用する。このため、リザーバー部を構成する回路素子のシステムティックなばらつきだけでなく、ランダムなばらつきにも追従が可能である。また、リザーバー部のグローバルな温度変動だけでなく、ローカルな温度変動にも追従が可能である。

【 0 0 5 2 】

以上の通り、実施例 2 においても、リザーバー部側と出力生成部側のマッチングを常時、維持することができる。したがって、実施例 2 においても、リザーバー計算機のリザーバー部をアナログ回路により実装することで、低消費電力を実現し、かつ、高い推論精度を維持することができる。

【 実施例 3 】

【 0 0 5 3 】

図 4 を参照して、実施例 3 のリザーバー計算機の構成について説明する。

実施例 3 は、実施例 2 と同様のタイムインタリーブ動作を行うが、実施例 2 と比較して実装面積を低減することができる。

【 0 0 5 4 】

実施例 3 では、アナログ回路により実装したリザーバー部 4 1 から、C h 1 を構成するためのリザーバーニューロン 4 1 1 や接続を選択し（図 4 の実線で表示）、残りのリザーバーニューロンや接続のリソースから、C h 2 を構成するリザーバーニューロン 4 3 1 や接続を選択する（図 4 の破線で表示）。なお、C h 1 にも C h 2 にも用いられないリソースは、点線で図示している。動作原理は、実施例 2 と同一である。

【 0 0 5 5 】

図 4 に示すように、実施例 3 のリザーバー計算機は、リザーバー部 4 1、リザーバー部 4 1 に接続された出力生成部 4 2、4 3、出力生成部 4 2、4 3 に接続された学習部 4 5、出力生成部 4 2 の出力又は出力生成部 4 3 の出力のいずれかを選択して出力する出力切り替え部 4 4 を有する。

【 0 0 5 6 】

リザーバー部 4 1 は、円形で示した複数のリザーバーニューロンを備える。各リザーバーニューロンの出力は、他のリザーバーニューロンの入力や自らの入力への接続が可能となっている。各接続は、矢印で図示されている。各出力から各入力への接続には、図示していないが、時間遅延が挿入されている。

【 0 0 5 7 】

各リザーバーニューロンは、アナログ回路により実装される。リザーバー部 4 1 に対する入力信号や、他のリザーバーニューロンの出力や、自らの出力を、複数の入力として受

10

20

30

40

50

け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記総和を、活性化（発火）関数で非線形変換した値が、リザーバーニューロンの出力となる。これらの機能をアナログ回路で実装することは可能である。なお、前記重み係数は、あらかじめ決定され固定される。

【 0 0 5 8 】

リザーバー部 4 1 において、複数のリザーバーニューロンの中から、実際に使用されるリザーバーニューロンがランダムに複数選択される。また、それらの間の接続や、それらと入力信号との接続、それらと出力生成部 4 2 の接続の中から、実際に使用される接続がランダムに複数選択される。

【 0 0 5 9 】

図 4 では、選択されたりザーバーニューロンや接続を実線で表現している。リザーバー計算機として有効な表現力を得るために、前記リザーバーニューロンや接続の選択は、密に選択せず、まばらに選択する。ここで、リザーバー部 4 1 のうち、選択された実際に動作する部分をチャンネル 1 (C h 1) と便宜上呼ぶ。

【 0 0 6 0 】

本実施例 3 ではさらに、リザーバー部 4 1 において、前記 C h 1 として選択されずに残っているリザーバーニューロンおよび接続の中から C h 1 と同様に、ランダムにリザーバーニューロンおよび接続を選択して、チャンネル 2 (C h 2) を形成する。図 4 では、C h 2 として選択したりザーバーニューロン 4 3 1 および接続を破線で示している。なお、C h 1、C h 2 のいずれにも選択されていない未使用のリザーバーニューロン、および、接続は点線で示している。

【 0 0 6 1 】

出力生成部 4 2 は、C h 1 に属する複数のリザーバーニューロン 4 1 1 の出力を入力として受け、それぞれを重み係数と乗算後、総和を求める。すなわち、線形加算を行う。前記線形加算した値が、出力生成部 4 2 の出力となる。また、出力生成部 4 3 は、C h 2 に属する複数のリザーバーニューロン 4 3 1 の出力を入力として受け、出力生成部 4 2 と同様の処理を行い出力する。これらは、デジタル回路、アナログ回路のいずれで実装してもよい。

【 0 0 6 2 】

実施例 2 と同様に、C h 1、C h 2 のいずれも、学習と推論の双方を交互に行う。その際、C h 2 が学習している期間中は、C h 1 は推論を実行しており、逆に、C h 1 が学習している期間中は、C h 2 は推論を実行する。

【 0 0 6 3 】

図 4 の上側の図は、C h 1 が推論モードにあり、C h 2 が学習モードにある場合 (P h a s e 1) である。そのために、C h 2 には、入力信号として「入力教師」が供給され、C h 2 に属するリザーバーニューロン 4 3 1、および、後続する出力生成部 4 3 により処理されて、出力生成部 4 3 から学習用出力信号が出力される。学習部 4 5 は、学習用出力信号を「出力教師」と比較して、前者が後者に近づくように、比較結果にもとづき、前記出力生成部 4 3 の重み係数を更新し、出力生成部 4 3 に供給する。

【 0 0 6 4 】

一方、C h 1 には、解析対象となる時系列信号が、入力信号として供給され、C h 1 に属するリザーバーニューロン 4 1 1、および、後続する出力生成部 4 2 により処理されて、出力生成部 4 2 から解析済みの出力信号が出力される。出力切り替え部 4 4 は、出力生成部 4 2 の出力の解析済みの出力信号を選択して、最終的な出力信号として出力する。

【 0 0 6 5 】

図 4 の下側の図は、C h 1 が学習モードにあり、C h 2 が推論モードにある場合 (P h a s e 2) である。そのために、C h 1 には、入力信号として「入力教師」が供給され、C h 1 に属するリザーバーニューロン 4 1 1、および、後続する出力生成部 4 2 により処理されて、出力生成部 4 2 から学習用出力信号が出力される。学習部 4 5 は、学習用出力信号を「出力教師」と比較して、前者が後者に近づくように、比較結果にもとづき、出力

10

20

30

40

50

生成部 4 2 の重み係数を更新し、出力生成部 4 2 に供給する。

【 0 0 6 6 】

一方、C h 2 には、解析対象となる時系列信号が、入力信号として供給され、C h 2 に属するリザーバーニューロン 4 3 1、および、後続する出力生成部 4 3 により処理されて、出力生成部 4 3 から解析済みの出力信号が出力される。出力切り替え部 4 4 は、出力生成部 4 3 の出力の解析済みの出力信号を選択して、最終的な出力信号として出力する。

【 0 0 6 7 】

C h 1 の推論モード期間中は、直前の学習モード期間中に学習した重み係数を出力生成部 4 2 に適用する。同様に、C h 2 の推論モード期間中は、直前の学習モード期間中に学習した重み係数を出力生成部 4 3 に適用する。推論を C h 1 と C h 2 が交互に担当することで、全体として、解析対象となる時系列信号に対して、切れ目なく推論を実行できる。

10

【 0 0 6 8 】

ここで、C h 1 に属するリザーバーニューロン 4 1 1、および、C h 2 に属するリザーバーニューロン 4 3 1 は、アナログ回路で実装されているため、製造プロセス、電源電圧、温度のばらつきにより、特性が変化してしまう。このうち、電源電圧と温度に関しては、経時変化をとまなう。

【 0 0 6 9 】

実施例 3 では、C h 1 が推論を実行する時は、直前の学習モード期間中に C h 1 に対して学習した重み係数を出力生成部 4 2 に適用するため、C h 1 の特性変化に概ね追従した重み係数を適用していることになる。同様に、C h 2 が推論を実行する時は、直前の学習モード期間中に C h 2 に対して学習した重み係数を出力生成部 4 3 に適用するため、C h 2 の特性変化に概ね追従した重み係数を適用していることになる。

20

【 0 0 7 0 】

実施例 2 と同様に、C h 1 に対して学習した重み係数を、C h 1 による推論に使用し、C h 2 に対して学習した重み係数を、C h 2 による推論に使用する。このため、リザーバー部を構成する回路素子のシステマティックなばらつきにも追従が可能である。さらに、ランダムなばらつきにも追従が可能である。また、リザーバー部のグローバルな温度変動だけでなく、ローカルな温度変動にも追従が可能である。

【 0 0 7 1 】

実施例 3 においても、リザーバー計算機のリザーバー部をアナログ回路により実装することで、低消費電力を実現し、かつ、高い推論精度を維持することができ、さらに、実施例 1 や実施例 2 と比較して、小さな実装面積で実現できる。

30

【 実施例 4 】

【 0 0 7 2 】

図 5 を参照して、実施例 4 について説明する。

実施例 4 では、実施例 3 において、図 4 に示す C h 1 と C h 2 の推論モード期間同士を互いにオーバーラップさせている。これにより、図 5 に示すように、の C h 1 の推論モード開始直後の過渡応答期間中は、C h 2 の推論出力をリザーバー計算機の出力として適用できる。ここで、図 5 中の矢印は、初期過渡応答吸収用のオーバーラップ時間を示している。

40

【 0 0 7 3 】

C h 1 の過渡応答の収束後は、C h 1 の推論出力をリザーバー計算機の出力として適用できる。同様に、C h 2 の推論モード開始直後の過渡応答期間中は、C h 1 の推論出力をリザーバー計算機の出力として適用できる。C h 2 の過渡応答の収束後は、C h 2 の推論出力をリザーバー計算機の出力として適用できる。動作原理は、実施例 3 と同一であるため、その説明を省略する。

【 0 0 7 4 】

以上の通り、実施例 4 では、推論モードへの切り替え時の過渡応答の影響を回避できるため、切り替え直後も含めて、高い推論精度を維持できる。

【 0 0 7 5 】

50

上記実施例では、学習演算と推論演算を実行するリザーバー計算機において、リザーバーニューロンを有するリザーバー部をアナログ回路で構成する。これにより、リザーバー計算機の低電力化と高精度化を両立可能にする。

【符号の説明】

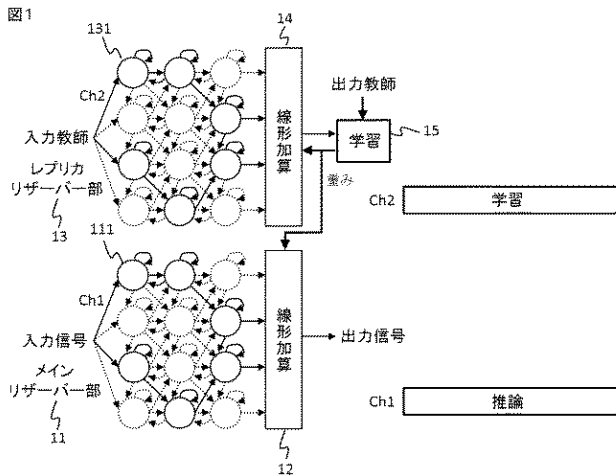
【0076】

- 11 メインリザーバー部
- 13 レプリカリザーバー部
- 12 出力生成部
- 14 出力生成部
- 15 学習部
- 21 第1のリザーバー部1
- 22 出力生成部
- 23 第2のリザーバー部2
- 24 出力生成部
- 25 学習部
- 26 学習部
- 27 出力切り替え部
- 41 リザーバー部
- 42 出力生成部
- 43 出力生成部
- 44 出力切り替え部
- 45 学習部

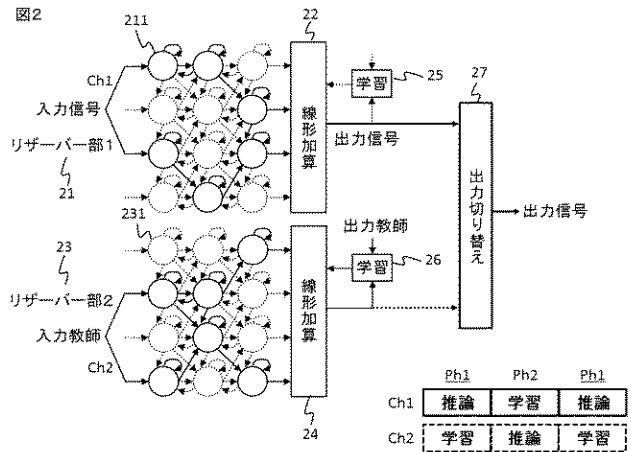
10

20

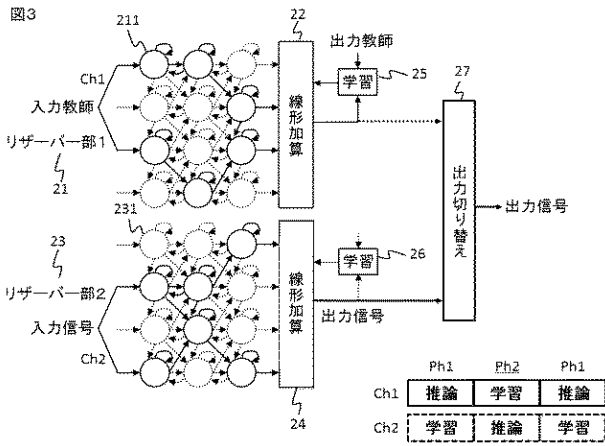
【図1】



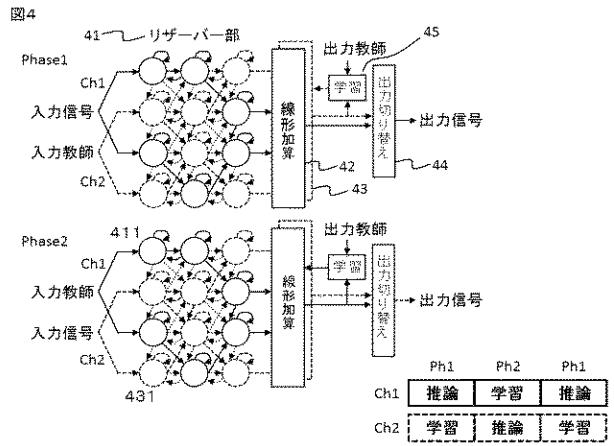
【図2】



【図3】



【図4】



【図5】

図5

