

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-77729

(P2021-77729A)

(43) 公開日 令和3年5月20日(2021.5.20)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/285 (2006.01)	HO 1 L 21/285 3 O 1	4 M 1 O 4
HO 1 L 29/861 (2006.01)	HO 1 L 29/91 C	
HO 1 L 29/868 (2006.01)	HO 1 L 29/91 A	
HO 1 L 21/329 (2006.01)	HO 1 L 29/91 F	
HO 1 L 21/28 (2006.01)	HO 1 L 21/285 S	
審査請求 未請求 請求項の数 12 O L (全 12 頁) 最終頁に続く		

(21) 出願番号 特願2019-202087 (P2019-202087)
 (22) 出願日 令和1年11月7日 (2019.11.7)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 田中 香次
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 (72) 発明者 上野 隆二
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

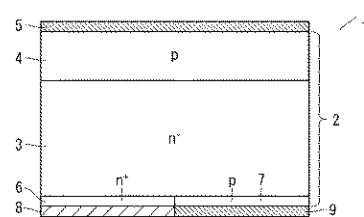
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】本発明は、オン電圧を低減することが可能な半導体装置およびその製造方法を提供することを目的とする。

【解決手段】本発明による半導体装置は、Si基板2と、Si基板2の表面に設けられたp型アノード層4と、p型アノード層4上に設けられたアノード電極5と、Si基板2の裏面において互いに隣接して設けられたn型カソード層6およびp型カソード層7と、n型カソード層6上に設けられたSiを含むAl合金層8と、p型カソード層7上に設けられたSiを含むAl合金層9とを備え、n型カソード層6における不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上であり、p型カソード層7における不純物濃度はn型カソード層6における不純物濃度の10%以下である。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

n 型半導体基板と、
 前記 n 型半導体基板の表面に設けられた p 型アノード層と、
 前記 p 型アノード層上に設けられたアノード電極と、
 前記 n 型半導体基板の裏面において互いに隣接して設けられた n 型カソード層および p 型カソード層と、
 前記 n 型カソード層上に設けられた Si を含む第 1 Al 合金層と、
 前記 p 型カソード層上に設けられた Si を含む第 2 Al 合金層と、
 を備え、
 前記 n 型カソード層における不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上であり、前記 p 型カソード層における不純物濃度は前記 n 型カソード層における不純物濃度の 10% 以下である、半導体装置。

10

【請求項 2】

平面視において、前記第 1 Al 合金層の結晶方位は (111) 面であり、前記第 2 Al 合金層の結晶方位は (110) 面であることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 Al 合金層および前記第 2 Al 合金層上に設けられたバリアメタル層と、
 前記バリアメタル層上に設けられた Si を含む第 3 Al 合金層と、
 前記第 3 Al 合金層上に設けられた Ni 層と、
 をさらに備えることを特徴とする、請求項 1 または 2 に記載の半導体装置。

20

【請求項 4】

前記 Ni 層の厚さは、 $2 \mu\text{m}$ 以上であることを特徴とする、請求項 3 に記載の半導体装置。

【請求項 5】

前記第 1 Al 合金層および前記第 2 Al 合金層上に設けられたバリアメタル層と、
 前記バリアメタル層上に設けられた Si を含む第 3 Al 合金層と、
 前記第 3 Al 合金層上に設けられた Cu 層と、
 をさらに備えることを特徴とする、請求項 1 または 2 に記載の半導体装置。

30

【請求項 6】

前記 Cu 層の厚さは、 $10 \mu\text{m}$ 以上であることを特徴とする、請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 Al 合金層および前記第 2 Al 合金層上に設けられたバリアメタル層と、
 前記バリアメタル層上に設けられた Cu 層と、
 をさらに備えることを特徴とする、請求項 1 または 2 に記載の半導体装置。

【請求項 8】

前記 Cu 層の厚さは、 $10 \mu\text{m}$ 以上であることを特徴とする、請求項 7 に記載の半導体装置。

40

【請求項 9】

(a) n 型半導体基板を準備する工程と、
 (b) 前記 n 型半導体基板の表面に p 型アノード層を形成する工程と、
 (c) 前記 p 型アノード層上にアノード電極を形成する工程と、
 (d) 前記 n 型半導体基板の裏面において互いに隣接するように n 型カソード層および p 型カソード層を形成する工程と、
 (e) 前記 n 型カソード層上に Si を含む第 1 Al 合金層を形成し、前記 p 型カソード層上に Si を含む第 2 Al 合金層を形成する工程と、
 を備え、

前記 n 型カソード層における不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上であり、前記 p 型カソ

50

ード層における不純物濃度は前記 n 型カソード層における不純物濃度の 10% 以下である、半導体装置の製造方法。

【請求項 10】

前記工程 (e) は、

(e-1) Si を含む Al 合金のターゲットに対して電圧を印加して放電させることによって、前記 n 型カソード層上および前記 p 型カソード層上のそれぞれに前記 Al 合金をスパッタリングする工程と、

(e-2) 前記工程 (e-1) の後、前記 n 型カソード層上および前記 p 型カソード層上のそれぞれにスパッタリングした前記 Al 合金を加熱する工程と、
を含むことを特徴とする、請求項 9 に記載の半導体装置の製造方法。

10

【請求項 11】

前記工程 (e-1) において、火花放電時は前記スパッタリングをしないことを特徴とする、請求項 10 に記載の半導体装置の製造方法。

【請求項 12】

前記火花放電時の前記電圧は、800V 以上 1300V 以下であることを特徴とする、請求項 11 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、裏面に n 型カソード層および p 型カソード層のパターンを有するダイオードまたは RC-IGBT (Reverse Conducting-Insulated Gate Bipolar Transistor) などに代表される半導体装置およびその製造方法に関する。

20

【背景技術】

【0002】

従来、ダイオードのリカバリー時の電圧跳ね上がりを抑制するために、裏面に n 型カソード層および p 型カソード層のパターンを有する構造が採用されている。このような構造を有するダイオードまたは RC-IGBT の裏面電極には、オーミック性および密着性の観点から、Al (アルミニウム) 中に Si (シリコン) を含む Al 合金が用いられている (例えば、特許文献 1 参照)。Al 合金で形成された Al 合金層は、結晶方位が (111) 面に配向する性質を有している。これは、Al が面心立方構造であり、(111) 面が最も密になるからである (例えば、特許文献 2 参照)。以下、ダイオードまたは RC-IGBT を総称して「半導体装置」という。

30

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2017-130478 号公報

【特許文献 2】特開 2002-151438 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来における、裏面に n 型カソード層および p 型カソード層のパターンを有し、裏面電極に Al 合金を用いた構造は、裏面電極に Si が含まれているため、裏面の n 型カソード層上に p 型の特性を付与する Si ノジュールが形成されると、当該 Si ノジュールが形成されると、オン電圧が増加するという問題があった。なお、Al 合金層は全面で (111) 面に配向し、裏面の n 型カソード層および p 型カソード層の各層上に Si ノジュールが形成されるが、オン電圧に影響を及ぼすのは n 層のみである。

40

【0005】

本発明は、このような問題を解決するためになされたものであり、オン電圧を低減することが可能な半導体装置およびその製造方法を提供することを目的とする。

【課題を解決するための手段】

50

【0006】

上記の課題を解決するために、本発明による半導体装置は、n型半導体基板と、n型半導体基板の表面に設けられたp型アノード層と、p型アノード層上に設けられたアノード電極と、n型半導体基板の裏面において互いに隣接して設けられたn型カソード層およびp型カソード層と、n型カソード層上に設けられたSiを含む第1Al合金層と、p型カソード層上に設けられたSiを含む第2Al合金層とを備え、n型カソード層における不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上であり、p型カソード層における不純物濃度はn型カソード層における不純物濃度の10%以下である。

【発明の効果】

【0007】

本発明によると、半導体装置は、n型カソード層上に設けられたSiを含む第1Al合金層と、p型カソード層上に設けられたSiを含む第2Al合金層とを備え、n型カソード層における不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上であり、p型カソード層における不純物濃度はn型カソード層における不純物濃度の10%以下であるため、オン電圧を低減することが可能となる。

【図面の簡単な説明】

【0008】

【図1】本発明の実施の形態1による半導体装置の構成の一例を示す断面図である。

【図2】本発明の実施の形態1によるSiおよびAlの結晶方位を説明するための図である。

【図3】本発明の実施の形態1によるSiおよびAlの結晶方位を説明するための図である。

【図4】本発明の実施の形態1によるAl合金層形成後のSi基板の裏面の様子を示す図である。

【図5】本発明の実施の形態1によるAl合金層形成後のp型カソード層上の様子を示す図である。

【図6】本発明の実施の形態1によるAl合金層形成後のn型カソード層上の様子を示す図である。

【図7】本発明の実施の形態1による半導体装置の構成の一例を示す断面図である。

【図8】本発明の実施の形態1による半導体装置の構成の一例を示す断面図である。

【図9】本発明の実施の形態2による半導体装置の構成の一例を示す断面図である。

【図10】本発明の実施の形態3による半導体装置の構成の一例を示す断面図である。

【図11】本発明の実施の形態4による半導体装置の構成の一例を示す断面図である。

【図12】関連技術による半導体装置の構成の一例を示す断面図である。

【図13】関連技術によるAl合金層形成後のSi基板の裏面の様子を示す図である。

【図14】関連技術によるAl合金層形成後のp型カソード層上の様子を示す図である。

【図15】関連技術によるAl合金層形成後のn型カソード層上の様子を示す図である。

【発明を実施するための形態】

【0009】

本発明の実施の形態について、図面に基づいて以下に説明する。

【0010】

< 関連技術 >

図12は、本発明の実施の形態に関連する関連技術について説明する。図12は、関連技術による半導体装置18の構成の一例を示す断面図である。なお、図12では、半導体装置18としてダイオードの構成を示している。また、図12において、各層の紙面上側の面を「表面」といい、各層の紙面下側の面を「裏面」という。この「表面」および「裏面」の表現は、後述する図1、9、10、11についても同様である。

【0011】

Si基板2の表面には、p型アノード層4が設けられている。p型アノード層4上には、p型アノード層4とオーミック接触したアノード電極5が設けられている。なお、Si

10

20

30

40

50

基板 2 は、n 型のドリフト層 3 を有する。

【0012】

Si 基板 2 の裏面には、n 型カソード層 6 および p 型カソード層 7 が、平面視において互いに隣接して設けられている。

【0013】

n 型カソード層 6 および p 型カソード層 7 上には、n 型カソード層 6 および p 型カソード層 7 とオーミック接触した Al 合金層 19 が設けられている。Al 合金層 19 は、Si を含む Al 合金で構成されており、平面視における結晶方位が (111) 面である。なお、Al 合金層 19 は、裏面電極 (カソード電極) を構成する。

【0014】

図 13 は、Al 合金層 19 を形成した後の Si 基板 2 の裏面の様子を示す図である。具体的には、図 13 は、Si 基板 2 の裏面上に Al 合金層 19 をスパッタリングによって形成して熱処理を行った後の写真である。

10

【0015】

図 14 は、Al 合金層 19 を形成した後の p 型カソード層 7 上の様子を示す図である。また、図 15 は、Al 合金層 19 を形成した後の n 型カソード層 6 上の様子を示す図である。具体的には、図 14 および図 15 は、図 13 に示す Al 合金層 19 を剥離した後の写真である。図 14 および図 15 に示すように、Al 合金層 19 を形成して熱処理を行うと、p 型カソード層 7 および n 型カソード層 6 の各層上に Si ノジュール 10 が形成される。なお、図 14 および図 15 において、複数の凸部のそれぞれが Si ノジュール 10 である。

20

【0016】

上述の通り、n 型カソード層 6 上に Si ノジュール 10 が形成されると、オン電圧が増加するという問題がある。本発明の実施の形態は、このような問題を解決するためになされたものであり、以下に詳細に説明する。

【0017】

<実施の形態 1>

<構成>

図 1 は、本実施の形態 1 による半導体装置 1 の構成の一例を示す断面図である。なお、図 1 では、半導体装置 1 としてダイオードの構成を示している。

30

【0018】

Si 基板 2 の表面には、p 型アノード層 4 が設けられている。p 型アノード層 4 上には、p 型アノード層 4 とオーミック接触したアノード電極 5 が設けられている。なお、Si 基板 2 は、n 型半導体基板に相当し、n 型のドリフト層 3 を有する。

【0019】

Si 基板 2 の裏面には、n 型カソード層 6 および p 型カソード層 7 が、平面視において互いに隣接して設けられている。n 型カソード層 6 における不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上である。また、p 型カソード層 7 における不純物濃度は、n 型カソード層 6 における不純物濃度の 10% 以下である。例えば、p 型カソード層 7 における不純物濃度は、 $1 \times 10^{16} \sim 5 \times 10^{18} \text{ cm}^{-3}$ であってもよい。

40

【0020】

n 型カソード層 6 上には、n 型カソード層 6 とオーミック接触した Al 合金層 8 が設けられている。Al 合金層 8 は、Si を含む Al 合金で構成されており、平面視における結晶方位が (111) 面である。

【0021】

p 型カソード層 7 上には、p 型カソード層 7 とオーミック接触した Al 合金層 9 が設けられている。Al 合金層 9 は、Si を含む Al 合金で構成されており、平面視における結晶方位が (110) 面である。

【0022】

なお、Al 合金層 8 は第 1 Al 合金層に相当し、Al 合金層 9 は第 2 Al 合金層に相当

50

する。また、A l 合金層 8 および A l 合金層 9 は、裏面電極（カソード電極）を構成する。

【 0 0 2 3 】

< 製造方法 >

半導体装置 1 の具体的な製造方法について説明する。

【 0 0 2 4 】

例えば、S i 基板 2 の表面に不純物を注入して p 型アノード層 4 を形成する。次いで、p 型アノード層 4 上にアノード電極 5 を形成する。次いで、S i 基板 2 の裏面に不純物を注入して、S i 基板 2 の裏面において互いに隣接するように n 型カソード層 6 および p 型カソード層 7 を形成する。このとき、n 型カソード層 6 における不純物濃度は $1 \text{ E } 19 \text{ c m}^{-3}$ 以上であり、p 型カソード層 7 における不純物濃度は、n 型カソード層 6 における不純物濃度の 10 % 以下である。

10

【 0 0 2 5 】

次いで、n 型カソード層 6 上に A l 合金層 8 を形成し、p 型カソード層 7 上に A l 合金層 9 を形成する。具体的には、S i を含む A l 合金のターゲットに対して電圧を印加して放電させることによって、n 型カソード層 6 および p 型カソード層 7 の各層上に A l 合金をスパッタリングする。スパッタリング後、A l 合金層 8 および A l 合金層 9 を加熱する。

【 0 0 2 6 】

スパッタリング工程は、スパッタ初期工程とスパッタ末期工程とに大別される。スパッタ初期工程では、ターゲットである A l 合金に対して $800 \text{ V} \sim 1300 \text{ V}$ の電圧を印加することによって、パッシュェンの法則に基づく火花放電を発生させる。このとき、S i 基板 2 の裏面を覆うようにシールドを配置することによって、S i 基板 2 の裏面上に A l 合金層 8 および A l 合金層 9 が成膜されないようにする。また、スパッタ末期工程では、スパッタ初期工程においてターゲットに対して印加した電圧よりも低い $300 \text{ V} \sim 700 \text{ V}$ の電圧を印加することによって、グロー放電を発生させる。グロー放電が発生した後、S i 基板 2 の裏面を覆うように配置されたシールドを外し、S i 基板 2 の裏面上に A l 合金層 8 および A l 合金層 9 を成膜する。なお、スパッタリングする際、チャンバー内には例えば A r (アルゴン) ガスが充填されている。

20

【 0 0 2 7 】

なお、半導体装置 1 で用いる半導体材料は、S i に限らず、S i C または G a N などのワイドバンドギャップ材料を用いてもよい。

30

【 0 0 2 8 】

< A l 合金層 8 および A l 合金層 9 の配向性 >

A l 合金層 8 および A l 合金層 9 の配向性について説明する。図 2 , 3 は、S i および A l の結晶方位を説明するための図である。なお、図 2 , 3 における各結晶方位は、平面視における結晶方位を示している。

【 0 0 2 9 】

通常、スパッタリングによって形成された A l 合金層は (1 1 1) 面に配向する。これは、A l が面心立方構造であり、(1 1 1) 面が最も密になるからである。ただし、スパッタ初期工程においてターゲットに印加する電圧を下げた場合、またはスパッタ初期工程において S i 基板上に A l 合金層を成膜しないようにした場合は、S i 基板表面へのアタックが低減され、下地である S i 基板表面の結晶方位を反映した A l 合金層が成膜される。例えば、S i 基板表面における S i の結晶方位が (1 0 0) 面である場合、A l 合金層は (1 1 0) 面に配向する。また、S i 基板表面における S i の結晶方位が (1 1 1) 面である場合、A l 合金層は (1 1 1) 面に配向する。これは、図 2 , 3 に示すように、いずれの場合も S i 原子 4 個分の原子間距離と A l 原子 5 個分の原子間距離とが同等だからである。

40

【 0 0 3 0 】

< S i ノジュールが偏析するメカニズム >

50

上述の通り、n型カソード層6は、高濃度の不純物が注入されることによって、Siの結晶方位が(111)面となる。また、p型カソード層7は、不純物の注入量が少ないため、Siの結晶方位が母材と同じ(100)面となる。その後、n型カソード層6およびp型カソード層7上にAl合金をスパッタリングして熱処理を行う。このとき、n型カソード層6上に形成されたAl合金層8は、下地となるSiの結晶方位である(111)面の影響を受けて(111)面に配向する。また、p型カソード層7上に形成されたAl合金層9は、下地となるSiの結晶方位である(100)面の影響を受けて(110)面に配向する。

【0031】

スパッタリング後の熱処理中において、p型カソード層7上に形成された(110)面のAl合金層9は、n型カソード層6上に形成された(111)面のAl合金層8よりも疎である。従って、p型の特性を有するSiノジュールは、疎であるAl合金層9とp型カソード層7との界面で多く発生し、Al合金層8とn型カソード層6との界面ではあまり発生しない。このように、n型カソード層6上に発生するSiノジュールを減らすことによって、半導体装置1のオン電圧を低減することができる。

10

【0032】

図4は、Al合金層8およびAl合金層9を形成した後のSi基板2の裏面の様子を示す図である。具体的には、図4は、Si基板2の裏面上にAl合金層8およびAl合金層9をスパッタリングによって形成して熱処理を行った後の写真である。

【0033】

図5は、Al合金層9を形成した後のp型カソード層7上の様子を示す図である。また、図6は、Al合金層8を形成した後のn型カソード層6上の様子を示す図である。具体的には、図5および図6は、図4に示すAl合金層8およびAl合金層9を剥離した後の写真である。図5に示すように、Al合金層9を形成して熱処理を行うと、p型カソード層7上にSiノジュール10が形成される。一方、図6に示すように、Al合金層8を形成して熱処理を行うと、n型カソード層6上にはあまりSiノジュール10が形成されない。図15に示す関連技術と比較すると、図6に示す本実施の形態1では、n型カソード層6上に発生するSiノジュール10が減っていることが分かる。なお、図5および図6において、複数の凸部のそれぞれがSiノジュール10である。

20

【0034】

<変形例1>

上記では、Al合金層8が(111)面であり、Al合金層9が(110)面である場合について説明したが、これに限るものではない。

30

【0035】

例えば、平面視におけるAl合金層8の面積の40%未満が、(111)面以外の結晶方位であってもよい。また、平面視におけるAl合金層9の面積の40%未満が、(110)面以外の結晶方位であってもよい。

【0036】

<変形例2>

図1の例では、n型カソード層6とp型カソード層7との境界が、Al合金層8とAl合金層9との境界と一致する場合について示しているが、これに限るものではない。

40

【0037】

例えば、図7に示すように、Al合金層8とAl合金層9との境界が、p型カソード層7上に存在するようにしてもよい。この場合、Al合金層8が、平面視におけるp型カソード層7の面積の15%未満を占めるように、p型カソード層7上に設けられればよい。

【0038】

また、例えば、図8に示すように、Al合金層8とAl合金層9との境界が、n型カソード層6上に存在するようにしてもよい。この場合、Al合金層9が、平面視におけるn型カソード層6の面積の15%未満を占めるように、n型カソード層6上に設けられればよい。

50

【 0 0 3 9 】

< 効果 >

以上のことから、本実施の形態 1 によれば、n 型カソード層 6 における不純物濃度を $1 \text{ E } 19 \text{ cm}^{-3}$ 以上とし、p 型カソード層 7 における不純物濃度を、n 型カソード層 6 における不純物濃度の 10 % 以下とし、n 型カソード層 6 および p 型カソード層 7 の各層上に Al 合金層 8 および Al 合金層 9 を形成することによって、Al 合金層 9 と p 型カソード層 7 との界面で Si ノジュール 10 が多く発生し、Al 合金層 8 と n 型カソード層 6 との界面では Si ノジュール 10 の発生を少なくすることができる。このように、n 型カソード層 6 上に発生する Si ノジュール 10 を減らすことによって、半導体装置 1 のオン電圧を低減することができる。

10

【 0 0 4 0 】

< 実施の形態 2 >

図 9 は、本実施の形態 2 による半導体装置 11 の構成の一例を示す断面図である。なお、図 9 では、半導体装置 11 としてダイオードの構成を示している。

【 0 0 4 1 】

図 9 に示すように、半導体装置 11 は、バリアメタル層 12 と、Al 合金層 13 と、Ni (ニッケル) 層 14 とを備えることを特徴としている。その他の構成および製造方法は、実施の形態 1 と同様であるため、ここでは詳細な説明を省略する。

【 0 0 4 2 】

Al 合金層 8 および Al 合金層 9 上には、バリアメタル層 12 が設けられている。バリアメタル層 12 は、例えば Ti (チタン) などで構成されている。

20

【 0 0 4 3 】

バリアメタル層 12 上には、Al 合金層 13 が設けられている。Al 合金層 13 は、Si を含む Al 合金で構成されている。なお、Al 合金層 13 は、第 3 Al 合金層に相当する。

【 0 0 4 4 】

Al 合金層 13 上には、Ni 層 14 が設けられている。Ni 層 14 の厚さは、例えば $2 \mu\text{m}$ 以上である。Ni 層 14 の厚さを $2 \mu\text{m}$ 以上とすることによって、パッケージ内に収められた半導体装置 11 に対する応力を緩和することができる。

【 0 0 4 5 】

なお、Al 合金層 8、Al 合金層 9、バリアメタル層 12、Al 合金層 13、および Ni 層 14 は、裏面電極 (カソード電極) を構成する。

30

【 0 0 4 6 】

パッケージ内に収められた半導体装置に対する応力を緩和するために、めっき技術を用いて厚膜化した電極を有する半導体装置が一般的に採用されている。図 1 に示す半導体装置 1 の Al 合金層 8 および Al 合金層 9 を形成する際にめっき技術を適用すると、疎である Al 合金層 9 は、めっき処理におけるエッチング処理に対する耐性が弱い。従って、エッチング処理後の Al 合金層 9 は、Al 合金層 8 よりも凸凹になり、Al 合金層 8 および Al 合金層 9 を全体に見たときに厚さが不均一となる。一方、図 9 に示すように、Al 合金層 8 および Al 合金層 9 上にバリアメタル層 12 を設けることによって、バリアメタル層 12 上に設けられた Al 合金層 13 は (111) 面に配向して密となる。このように、密な Al 合金層 13 を設けることによって、エッチング処理に対する耐性が向上し、厚さが均一な Al 合金層 13 を得ることができる。

40

【 0 0 4 7 】

以上のことから、本実施の形態 2 によれば、実施の形態 1 と同様の効果が得られる。また、Al 合金層 8 および Al 合金層 9 上にバリアメタル層 12 を設け、バリアメタル層 12 上に Al 合金層 13 を設けることによって、めっき技術を適用してもエッチング処理に対する耐性が向上し、厚さが均一な Al 合金層 13 を得ることができる。

【 0 0 4 8 】

< 実施の形態 3 >

50

図10は、本実施の形態3による半導体装置15の構成の一例を示す断面図である。なお、図10では、半導体装置15としてダイオードの構成を示している。

【0049】

図10に示すように、半導体装置15は、Cu(銅)層16を備えることを特徴としている。その他の構成および製造方法は、実施の形態2と同様であるため、ここでは詳細な説明を省略する。

【0050】

Al合金層13上には、Cu層16が設けられている。Cu層16の厚さは、例えば10 μ m以上である。裏面電極にCu層を用いる場合はダイボンドするワイヤもCuを用いることが多い。Cuのワイヤは硬いため、Cu層の厚さが10 μ m以上ないとダイボンド時のエネルギーに耐えられずにSi基板が割れることがある。これを防ぐために、Cu層16の厚さは10 μ m以上であることが望ましい。

10

【0051】

なお、Al合金層8、Al合金層9、バリアメタル層12、Al合金層13、およびCu層16は、裏面電極(カソード電極)を構成する。

【0052】

以上のことから、本実施の形態3によれば、実施の形態2と同様の効果が得られる。また、熱伝導率が高いCu層16を設けることによって、半導体装置15の放熱性が向上する。従って、半導体装置15の高温動作が可能となり、破壊耐量が向上する。

【0053】

<実施の形態4>

図11は、本実施の形態4による半導体装置17の構成の一例を示す断面図である。なお、図11では、半導体装置17としてダイオードの構成を示している。

20

【0054】

図11に示すように、半導体装置17は、バリアメタル層12上にCu層16を備えることを特徴としている。すなわち、半導体装置17は、実施の形態3で説明した図10に示す半導体装置15からAl合金層13を除いた構成である。その他の構成および製造方法は、実施の形態3と同様であるため、ここでは詳細な説明を省略する。

【0055】

バリアメタル層12上には、Cu層16が設けられている。Cu層16の厚さは、例えば10 μ m以上である。なお、Al合金層8、Al合金層9、バリアメタル層12、およびCu層16は、裏面電極(カソード電極)を構成する。

30

【0056】

以上のことから、本実施の形態4によれば、実施の形態1と同様の効果が得られる。また、熱伝導率が高いCu層16を設けることによって、半導体装置17の放熱性が向上する。従って、半導体装置17の高温動作が可能となり、破壊耐量が向上する。

【0057】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

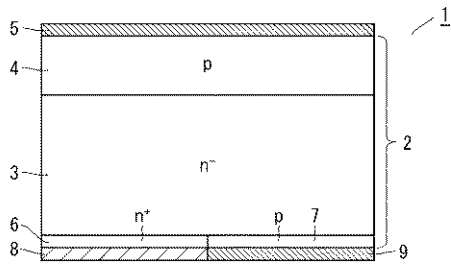
【符号の説明】

40

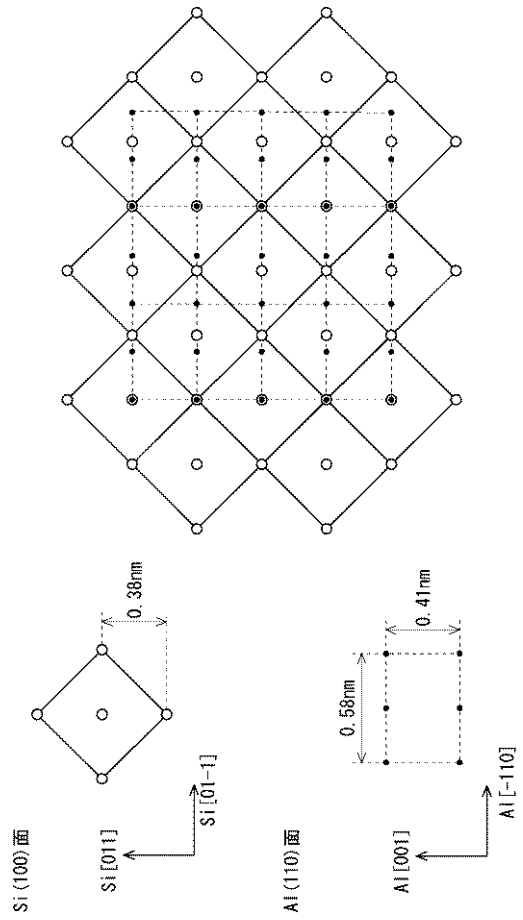
【0058】

1 半導体装置、2 Si基板、3 n型ドリフト層、4 p型アノード層、5 アノード電極、6 n型カソード層、7 p型カソード層、8 Al合金層、9 Al合金層、10 Siノジュール、11 半導体装置、12 バリアメタル層、13 Al合金層、14 Ni層、15 半導体装置、16 Cu層、17 半導体装置、18 半導体装置、19 Al合金層。

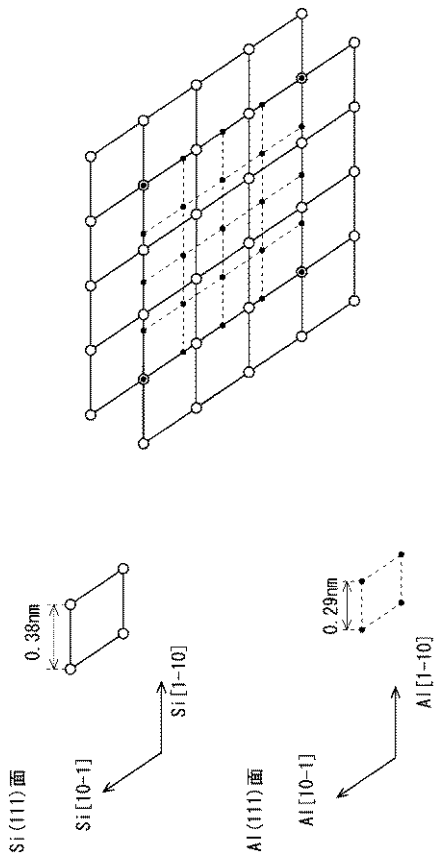
【 図 1 】



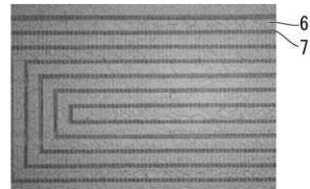
【 図 2 】



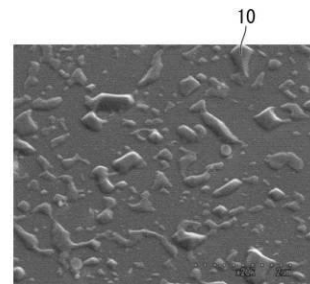
【 図 3 】



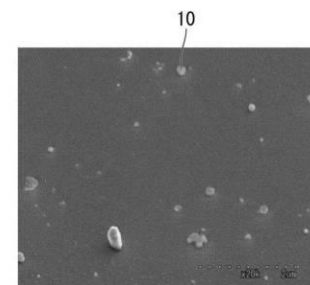
【 図 4 】



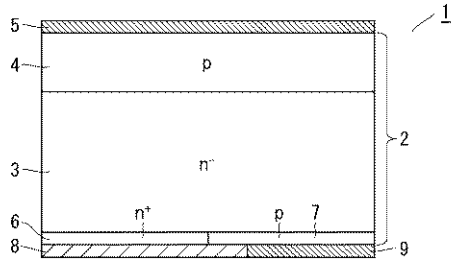
【 図 5 】



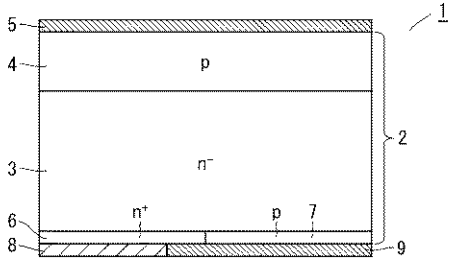
【 図 6 】



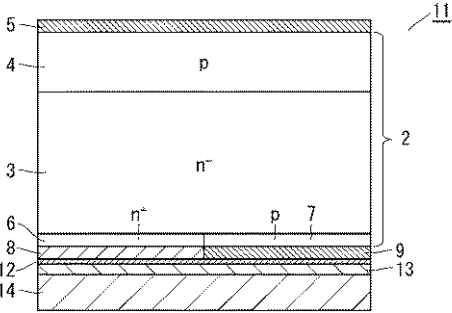
【 図 7 】



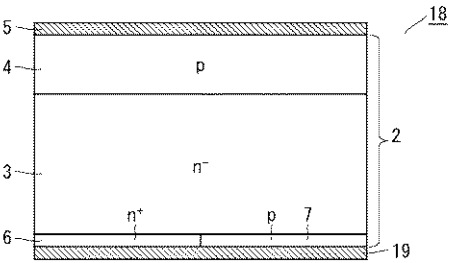
【 図 8 】



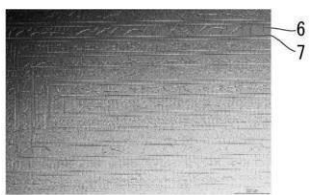
【 図 9 】



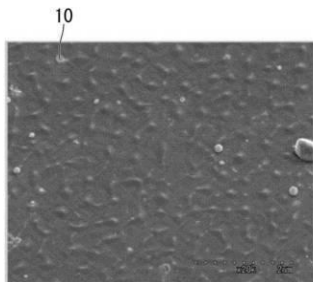
【 図 1 2 】



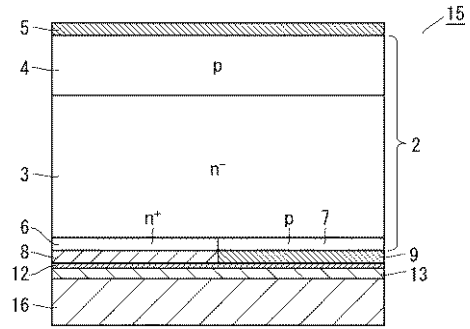
【 図 1 3 】



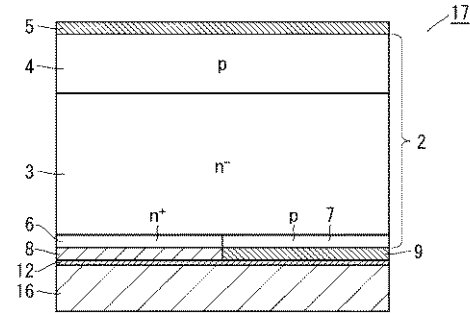
【 図 1 4 】



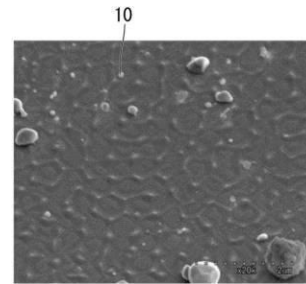
【 図 1 0 】



【 図 1 1 】



【 図 1 5 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 21/28 3 0 1 R

(72)発明者 氏家 正浩

福岡県福岡市西区今宿東一丁目1番1号 メルコセミコンダクタエンジニアリング株式会社内

Fターム(参考) 4M104 AA01 AA03 AA04 BB02 BB04 BB14 BB37 CC01 DD37 DD78
FF02 FF17 GG02 HH06