

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-68129

(P2021-68129A)

(43) 公開日 令和3年4月30日(2021.4.30)

(51) Int. Cl.		F I			テーマコード (参考)
G06F 12/02 (2006.01)		G06F 12/02	570A		5B160
G06F 12/00 (2006.01)		G06F 12/00	597U		

審査請求 有 請求項の数 4 O L (全 17 頁)

(21) 出願番号	特願2019-192320 (P2019-192320)	(71) 出願人	000003067 TDK株式会社 東京都中央区日本橋二丁目5番1号
(22) 出願日	令和1年10月21日 (2019.10.21)	(74) 代理人	100095407 弁理士 木村 満
		(74) 代理人	100132883 弁理士 森川 泰司
		(74) 代理人	100148149 弁理士 渡邊 幸男
		(74) 代理人	100181618 弁理士 宮脇 良平
		(72) 発明者	田窪 謙一 東京都中央区日本橋二丁目5番1号 TDK株式会社内
		Fターム(参考)	5B160 AA08 AB26 AB29

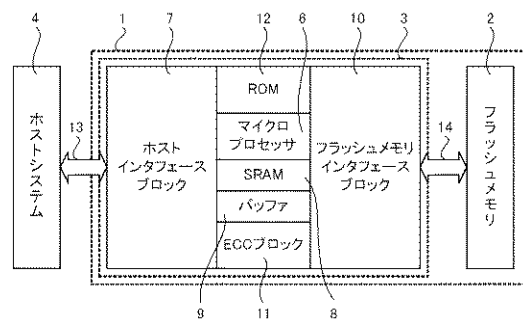
(54) 【発明の名称】 メモリコントローラ及びフラッシュメモリスステム

(57) 【要約】

【課題】物理ブロック間でデータが移し替えられた際に効率的にアドレスを管理することができる。

【解決手段】メモリコントローラ3は、ホストシステム4からの命令に应答してフラッシュメモリ2へのアクセスを制御する。メモリコントローラ3は、フラッシュメモリ2に含まれる複数の物理ブロックにそれぞれ対応付けられた管理情報に基づいて、複数の物理ブロックのうちからアクセス対象の物理ブロックを特定する。更に、メモリコントローラ3は、複数の物理ブロックのうちの一の物理ブロックに格納されているデータが、複数の物理ブロックのうちの一の物理ブロックとは別の物理ブロックに移し替えられた場合、別の物理ブロックに対応付けられ管理情報を、一の物理ブロックに対応付けられ管理情報に変更する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

ホストシステムからの命令にตอบสนองしてフラッシュメモリへのアクセスを制御するメモリコントローラであって、

前記フラッシュメモリへのアクセスを制御するアクセス処理と、前記アクセス処理に伴い記憶領域を管理する領域管理とを、実行するマイクロプロセッサを備え、

前記アクセス処理では、前記フラッシュメモリに含まれる複数の物理ブロックにそれぞれ対応付けられた管理情報に基づいて、前記複数の物理ブロックのうちからアクセス対象の物理ブロックを特定し、

前記領域管理では、前記複数の物理ブロックのうちの一の物理ブロックに格納されているデータが、前記複数の物理ブロックのうち、前記一の物理ブロックとは別の物理ブロックに移し替えられた場合、前記別の物理ブロックに対応付けられた管理情報を、前記一の物理ブロックに対応付けられた管理情報に変更する、

メモリコントローラ。

【請求項 2】

前記アクセス処理では、前記フラッシュメモリに格納されているそれぞれのデータに対応する論理アドレスと前記それぞれのデータの格納場所との対応関係を、前記管理情報を用いて定めた第 1 のテーブルと、前記複数の物理ブロックと前記管理情報との対応関係を定めた第 2 のテーブルと、に基づいて、前記フラッシュメモリにおけるアクセス対象のデータの格納場所を特定し、

前記領域管理では、前記一の物理ブロックに格納されているデータが前記別の物理ブロックに移し替えられた場合、前記第 2 のテーブルで前記別の物理ブロックに対応付けられた管理情報を前記一の物理ブロックに対応付けられた管理情報に変更する、

請求項 1 に記載のメモリコントローラ。

【請求項 3】

前記第 1 のテーブルは、前記それぞれのデータに対応する論理ページと、前記それぞれのデータが格納された物理ページとの対応関係を、前記管理情報を用いて定めており、

前記アクセス処理では、アクセス対象の前記論理ページに対応する物理ページが含まれる物理ブロックを前記第 2 のテーブルに基づいて特定し、前記物理ページにアクセスする、

請求項 2 に記載のメモリコントローラ。

【請求項 4】

請求項 1 から 3 にいずれか 1 項に記載のメモリコントローラと、前記フラッシュメモリと、を備えるフラッシュメモリシステム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、メモリコントローラ及びフラッシュメモリシステムに関する。

【背景技術】**【0002】**

近年、フラッシュメモリの開発が盛んに行われ、不揮発性の記憶媒体として普及している。

【0003】

フラッシュメモリを用いたメモリシステムでは、ホストシステムから与えられる論理アドレスとフラッシュメモリ内の物理アドレスとの対応関係が管理される。例えば特許文献 1 は、論理アドレスと物理アドレスとの対応関係を、データの読み出し動作及びデータの書き込み動作の処理単位であるページ単位で管理するメモリコントローラを開示している。

【先行技術文献】**【特許文献】**

10

20

30

40

50

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 1 2 - 6 8 7 6 5 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

フラッシュメモリを使用したシステムでは、例えばデータ化けが進んだ場合や、フラッシュメモリに格納されているデータを書き換える場合のように、データの消去動作の処理単位である物理ブロック間でデータが移し替えられることが頻繁に発生する。物理ブロック間でデータが移し替えられた場合、移し替えられたデータのアドレスを移し替え前後で的確に管理する必要がある。

10

【 0 0 0 6 】

しかしながら、物理ブロック間でデータが移し替えられる度に移し替えられた物理ブロック内の全ての物理ページに格納されていたデータのアドレス管理情報を一つずつ更新すると、アドレス管理情報の更新量が多くなるため、システムのパフォーマンスが低下し、更にはフラッシュメモリの寿命を低下させることにつながる。そのため、物理ブロック間でデータが移し替えられた際に効率的にアドレスを管理することが求められている。

【 0 0 0 7 】

本発明は上記の実情に鑑みてなされたもので、物理ブロック間でデータが移し替えられた際に効率的にアドレスを管理することが可能なメモリコントローラ及びフラッシュメモリシステムを提供することを目的とする。

20

【 課題を解決するための手段 】

【 0 0 0 8 】

上記目的を達成するため、本発明の第 1 の観点に係るメモリコントローラは、ホストシステムからの命令に応答してフラッシュメモリへのアクセスを制御するメモリコントローラであって、

前記フラッシュメモリへのアクセスを制御するアクセス処理と、前記アクセス処理に伴い記憶領域を管理する領域管理とを、実行するマイクロプロセッサを備え、

前記アクセス処理では、前記フラッシュメモリに含まれる複数の物理ブロックにそれぞれ対応付けられた管理情報に基づいて、前記複数の物理ブロックのうちからアクセス対象の物理ブロックを特定し、

30

前記領域管理では、前記複数の物理ブロックのうちの一の物理ブロックに格納されているデータが、前記複数の物理ブロックのうち、前記一の物理ブロックとは別の物理ブロックに移し替えられた場合、前記別の物理ブロックに対応付けられた管理情報を、前記一の物理ブロックに対応付けられた管理情報に変更する。

【 0 0 0 9 】

前記アクセス処理では、前記フラッシュメモリに格納されているそれぞれのデータに対応する論理アドレスと前記それぞれのデータの格納場所との対応関係を、前記管理情報を用いて定めた第 1 のテーブルと、前記複数の物理ブロックと前記管理情報との対応関係を定めた第 2 のテーブルと、に基づいて、前記フラッシュメモリにおけるアクセス対象のデータの格納場所を特定し、

40

前記領域管理では、前記一の物理ブロックに格納されているデータが前記別の物理ブロックに移し替えられた場合、前記第 2 のテーブルで前記別の物理ブロックに対応付けられた管理情報を前記一の物理ブロックに対応付けられた管理情報に変更しても良い。

【 0 0 1 0 】

前記第 1 のテーブルは、前記それぞれのデータに対応する論理ページと、前記それぞれのデータが格納された物理ページとの対応関係を、前記管理情報を用いて定めており、

前記アクセス処理では、アクセス対象の前記論理ページに対応する物理ページが含まれる物理ブロックを前記第 2 のテーブルに基づいて特定し、前記物理ページにアクセスしても良い。

【 0 0 1 1 】

50

上記目的を達成するため、本発明の第2の観点に係るフラッシュメモリシステムは、上述のメモリコントローラと、前記フラッシュメモリと、を備える。

【発明の効果】

【0012】

本発明によれば、物理ブロック間でデータが移し替えられた際に効率的にアドレスを管理することができる。

【図面の簡単な説明】

【0013】

【図1】本発明の実施形態に係るフラッシュメモリシステムのブロック図である。

【図2】実施形態に係るフラッシュメモリのアドレス空間の構造を概略的に示す図である。

10

【図3】実施形態において、ホストシステム側のアドレス空間とフラッシュメモリ側のアドレス空間との対応関係を示す図である。

【図4】実施形態における論物変換テーブルの例を示す図である。

【図5】実施形態における管理番号テーブルの例を示す図である。

【図6】実施形態に係るフラッシュメモリシステムにおいて実行されるデータ書き込み処理の流れを示すフローチャートである。

【図7】フラッシュメモリにデータが書き込まれた場合に図4に示した論物変換テーブルが更新された例を示す図である。

【図8】実施形態に係るフラッシュメモリシステムにおいて実行されるデータ移し替え処理の流れを示すフローチャートである。

20

【図9】物理ブロック間でデータが移し替えられた場合に図5に示した管理番号テーブルが更新された例を示す図である。

【図10】仮想ブロックを管理するためのテーブルの例を示す図である。

【図11】仮想ブロックを採用した場合の管理番号テーブルの例を示す図である。

【発明を実施するための形態】

【0014】

以下、本発明の実施形態について、図面を参照して説明する。なお、図中同一又は相当する部分には同一符号を付す。

【0015】

30

図1は、本発明の実施形態に係るフラッシュメモリシステム1を概略的に示すブロック図である。図1に示すように、フラッシュメモリシステム1は、フラッシュメモリ2と、フラッシュメモリ2を制御するメモリコントローラ3と、を備える。メモリコントローラ3は、内部バス14を介してフラッシュメモリ2と接続されている。

【0016】

フラッシュメモリシステム1は、外部バス13を介してホストシステム4と接続されている。ホストシステム4は、いずれも図示しないが、ホストシステム4の全体の動作を制御するためのCPU(Central Processing Unit)、フラッシュメモリシステム1との情報の授受を担うコンパニオンチップ等を備える。ホストシステム4は、例えば、文字、音声、画像等の種々の情報を処理するパーソナルコンピュータ、デジタルスチルカメラ等の情報処理装置である。

40

【0017】

メモリコントローラ3は、ホストシステム4からの命令に応答してフラッシュメモリ2へのアクセスを制御する。メモリコントローラ3は、図1に示すように、マイクロプロセッサ6と、ホストインターフェースブロック7と、SRAM(Static Random Access Memory)8と、バッファ9と、フラッシュメモリインターフェースブロック10と、ECC(Error Correcting Code)ブロック11と、ROM(Read Only Memory)12と、を備える。以下、各機能ブロックについて説明する。

【0018】

マイクロプロセッサ6は、ROM12に記憶されているプログラムに従って、メモリコ

50

ントローラ 3 の全体の動作を制御する。例えば、マイクロプロセッサ 6 は、各種処理等を定義したコマンドセットを ROM 1 2 から読み出してフラッシュメモリインターフェースブロック 1 0 に供給し、フラッシュメモリインターフェースブロック 1 0 に処理を実行させる。また、ROM 1 2 に記憶されているプログラムは、実際のプログラムをフラッシュメモリ 2 から SRAM 8 に読み出すためのプログラム（ブートローダー）だけであってもよい。この場合、SRAM 8 に読み出されたプログラムに基づいて実際の制御が行われる。

【 0 0 1 9 】

ホストインターフェースブロック 7 は、ホストシステム 4 との間で行われるデータ、アドレス情報、ステータス情報、外部コマンド等の送受信を制御する。外部コマンドとは、ホストシステム 4 がフラッシュメモリシステム 1 に対して処理の実行を指示するためのコマンドである。ホストシステム 4 からフラッシュメモリシステム 1 に供給されるデータ等は、ホストインターフェースブロック 7 を入口としてフラッシュメモリシステム 1 の内部（例えば、バッファ 9 ）に取り込まれる。また、フラッシュメモリシステム 1 からホストシステム 4 に供給されるデータ等は、ホストインターフェースブロック 7 を出口としてホストシステム 4 に供給される。

10

【 0 0 2 0 】

SRAM 8 は、フラッシュメモリ 2 の制御に必要な情報を一時的に格納する揮発性メモリである。例えば、フラッシュメモリ 2 にアクセスするために必要なアドレス変換テーブル、不良ブロックテーブル等は、SRAM 8 に保持され、SRAM 8 上で更新される。ここで、アドレス変換テーブルは、論理アドレスと物理アドレスとの対応関係を管理するためのテーブルである。不良ブロックテーブルは、不良ブロックを管理するためのテーブルである。また、制御用のプログラムをフラッシュメモリ 2 に格納する場合、起動時にフラッシュメモリ 2 から読み出された制御用のプログラムは、SRAM 8 に保持される。

20

【 0 0 2 1 】

バッファ 9 は、フラッシュメモリ 2 から読み出されたデータ及びフラッシュメモリ 2 に書き込むデータを一時的に蓄積する。フラッシュメモリ 2 から読み出されたデータは、ホストシステム 4 が受け取り可能な状態となるまでバッファ 9 に保持される。また、フラッシュメモリ 2 に書き込まれるデータは、フラッシュメモリ 2 が書き込み可能な状態となるまでバッファ 9 に保持される。

30

【 0 0 2 2 】

フラッシュメモリインターフェースブロック 1 0 は、フラッシュメモリ 2 との間で行われるデータ、アドレス情報、ステータス情報、内部コマンド等の送受信を制御する。内部コマンドとは、メモリコントローラ 3 がフラッシュメモリ 2 に処理の実行を指示するためのコマンドである。フラッシュメモリ 2 は、メモリコントローラ 3 から与えられる内部コマンドに従って動作する。

【 0 0 2 3 】

ECC ブロック 1 1 は、フラッシュメモリ 2 に書き込むデータに付加されるエラーコレクティングコードを生成する。また、ECC ブロック 1 1 は、フラッシュメモリ 2 から読み出したデータに付加されたエラーコレクティングコードに基づいて、読み出したデータに含まれる誤りを検出及び訂正する。

40

【 0 0 2 4 】

ROM 1 2 は、マイクロプロセッサ 6 による処理の手順等を定義する制御用のプログラムを格納する不揮発性の記憶素子である。ROM 1 2 は、例えば、アドレス変換テーブルの作成等の処理手順を定義するプログラムを格納する。なお、ROM 1 2 には、ブートローダーだけが格納され、制御用のプログラムがフラッシュメモリ 2 に格納されている場合もある。

【 0 0 2 5 】

フラッシュメモリ 2 は、不揮発性メモリであって、いずれも図示しないが、レジスタと、複数のメモリセルが配列されたメモリセルアレイと、を備える。フラッシュメモリ 2 は

50

、レジスタとメモリセルアレイとの間でデータの複写を行って、データの書き込み又は読み出しを行う。メモリセルアレイに書き込まれるデータ、又はメモリセルアレイから読み出されたデータは、レジスタに一時的に保持される。

【0026】

メモリセルアレイは、複数のメモリセル群と、ワード線と、を備える。各メモリセル群は、複数のメモリセルが直列に接続されたものである。ワード線は、メモリセル群のうちから特定のメモリセルを選択するためのものである。ワード線を介して選択されたメモリセルとレジスタとの間で、レジスタから選択されたメモリセルへのデータの書き込み、又は選択されたメモリセルからレジスタへのデータの読み出しが行われる。

【0027】

メモリセルアレイを構成するメモリセルは、2つのゲートを備えたMOSトランジスタを備える。ここで、上側のゲート、下側のゲートは、それぞれ、コントロールゲート、フローティングゲートと呼ばれており、フローティングゲートに電荷（電子）を注入若しくはフローティングゲートから電荷（電子）を排出することによって、データの書き込み若しくはデータの消去が行われる。

【0028】

フローティングゲートは、周囲を絶縁体で囲まれているため、注入された電子は長期間にわたって保持される。フローティングゲートに電子を注入するときは、コントロールゲートが高電位側となる高電圧をコントロールゲートとフローティングゲート間に印加する。これに対して、フローティングゲートから電子を排出するときは、コントロールゲートが低電位側となる高電圧をコントロールゲートとフローティングゲート間に印加する。

【0029】

ここで、フローティングゲートに電子が注入されている状態が書き込み状態であり、論理値“0”に対応する。また、フローティングゲートから電子が排出されている状態が消去状態であり、論理値“1”に対応する。

【0030】

また、3D-NANDタイプのフラッシュメモリのメモリセルアレイでは、電荷捕獲（チャージトラップ）構造のセル構造が採用されている場合もある。このセル構造では、ゲート絶縁膜の内部（窒化シリコン膜）に数多く存在する欠陥（捕獲準位）に、電子を注入したり、あるいは、捕獲準位から電子を引き抜いたりする。

【0031】

メモリコントローラ3は、ホストシステム4から供給されるデータをフラッシュメモリ2に転送し、フラッシュメモリ2内のレジスタを介してメモリセルアレイに書き込む。また、メモリコントローラ3は、レジスタを介してメモリセルアレイに書き込まれているデータを読み出し、ホストシステム4に提供する。フラッシュメモリ2は、メモリコントローラ3から与えられるコマンドに従ってメモリセルアレイにデータを書き込み、又はメモリセルアレイからデータを読み出す。

【0032】

図2に、フラッシュメモリ2の構成を概略的に示す。図2に示すように、フラッシュメモリ2は、“チップ”、“ブロック（物理ブロック）”、“ページ（物理ページ）”及び“セクタ（物理セクタ）”により構成されている。フラッシュメモリ2は、少なくとも1個のチップを含んでおり、各チップは、複数の物理ブロックを含んでいる。

【0033】

物理ブロックは、フラッシュメモリ2にて行われるデータ消去動作における処理単位である。データ消去動作では、同じ物理ブロックに属する複数の物理ページに記憶されているデータが一斉に消去される。各物理ブロックは、例えば、64個、128個又は256個の物理ページを含んでいる。なお、3D-NANDタイプのフラッシュメモリ等の最新のフラッシュメモリでは、各物理ブロックに含まれる物理ページの数が増加している。

【0034】

物理ページは、フラッシュメモリ2にて行われるデータ読み出し動作及びデータ書き込

10

20

30

40

50

み動作における処理単位である。データ読み出し動作及びデータ書き込み動作では、メモリセルが物理ページの単位で選択され、物理ページの単位で、レジスタからメモリセルへのデータの書き込み、又はメモリセルからレジスタへのデータの読み出しが行われる。

【 0 0 3 5 】

物理ページは、4個、8個又は16個の物理セクタを含んでいる。各物理セクタは、512バイトのデータ(1セクタのデータ)を格納するために割り当てられた領域である。また、各物理セクタに格納される1セクタのデータは、そのデータのECC(エラーコネクティングコード)と共に格納される。物理ページには、1セクタのデータを格納する領域と、その1セクタのデータに対応するECCを格納する領域を交互に割り当ててもよく、また、4セクタのデータを格納する領域を連続して割り当て、その後、その4セクタのデータに対応するECCを格納する領域を連続して割り当ててもよい。つまり複数セクタのデータと、そのデータのECCを数セクタ単位で交互に格納されるように領域を割り当ててもよい。

10

【 0 0 3 6 】

ECC(エラーコネクティングコード)は、ユーザ領域25に記憶されているデータに含まれる誤りを検出し、訂正するためのデータである。

【 0 0 3 7 】

各チップ、各物理ブロック、各物理ページ、及び、各物理セクタには、それぞれ、チップ番号CHIP#0, #1, #2...、物理ブロック番号PB#0, #1, #2...、物理ページ番号PP#0, #1, #2...、及び、物理セクタ番号PS#0, #1, #2...が通し番号として割り当てられている。このようなチップ番号、物理ブロック番号、物理ページ番号及び物理セクタ番号は、フラッシュメモリ2に格納されているデータの格納場所を示す情報である物理アドレスとして用いられる。

20

【 0 0 3 8 】

より詳細には、チップ番号CHIP#0, #1, #2...は、フラッシュメモリ2内における各チップを特定するための番号であり、物理ブロック番号PB#0, #1, #2...は、チップ内における各物理ブロックを特定するための番号である。また、物理ページ番号PP#0, #1, #2...は、物理ブロック内における各物理ページを特定するための番号であり、物理セクタ番号PS#0, #1, #2...は、物理ページ内における各物理セクタを特定するための番号である。

30

【 0 0 3 9 】

更に、チップ番号と物理ブロック番号とを組み合わせることで、フラッシュメモリ2内における物理ブロックを特定することができる。例えば、チップ番号と物理ブロック番号とを組み合わせた番号である“CHIP#0、PB#1”は、CHIP#0のチップに含まれる複数の物理ブロックのうちのPB#1の物理ブロックに対応する。同様に、チップ番号と物理ブロック番号と物理ページ番号とを組み合わせることで、フラッシュメモリ2内における物理ページを特定することができる。また、チップ番号と物理ブロック番号と物理ページ番号と物理セクタ番号とを組み合わせることで、フラッシュメモリ2内における物理セクタを特定することができる。

40

【 0 0 4 0 】

次に、図3を参照して、ホストシステム4側のアドレス空間において定義された論理アドレスと、フラッシュメモリ2側のアドレス空間において定義された物理アドレスと、の対応関係について説明する。ここで、論理アドレスは、フラッシュメモリ2に格納されているデータを特定する情報として、ホストシステム4において管理されるアドレスである。

【 0 0 4 1 】

図3に示すように、ホストシステム4側のアドレス空間において、論理アドレスは、LBA(論理ブロックアドレス: Logical Block Address)を用いて定められる。LBAは、512バイトの容量を持った論理セクタに割り当てられたアドレスである。各LBAには、LBA番号LBA#0, #1, #2...が通し番号として割り当てられている。ホスト

50

システム 4 は、L B A によりのアクセス領域を指定する。メモリコントローラ 3 は、L B A により指定されたアクセス領域に基づいてフラッシュメモリ 2 内のアクセス領域を特定する。

【 0 0 4 2 】

メモリコントローラ 3 は、L B A を複数個ずつまとめたものを、論理ページとして定義している。論理ページは、フラッシュメモリ 2 側での物理ページに対応する、ホストシステム 4 側でのデータの読み出し動作及び書き込み動作の処理単位である。各論理ページには、論理ページ番号 L P # 0 , # 1 , # 2 ... が通し番号として割り当てられている。論理ページ番号 L P # 0 , # 1 , # 2 ... は、論理ページのアドレスに相当する。

【 0 0 4 3 】

1 個の論理ページに割り当てられる L B A の個数は、1 個の物理ページに含まれる物理セクタの個数と等しくなるように設定されている。一例として図 3 では、L B A # 0 ~ # 7 の L B A は L P # 0 の論理ページに割り当てられ、L B A # 8 ~ # 1 5 の L B A は L P # 1 の論理ページに割り当てられ、... というように、8 個の L B A 毎に 1 個の論理ページに割り当てられている。このように L B A と論理ページとは番号順に割り当てられているため、L B A と論理ページとの間の対応関係は、単純計算で相互に変換することが可能である。

【 0 0 4 4 】

メモリコントローラ 3 は、論理アドレスと物理アドレスとを関係付けるためのアドレス変換を、ページ単位で行う。言い換えると、メモリコントローラ 3 は、ページマッピング方式でフラッシュメモリ 2 のアドレスを管理する。ページマッピング方式は、メモリコントローラ 3 が複数個の L B A を論理ページの単位にまとめて、アドレスを管理する方式である。

【 0 0 4 5 】

ページマッピング方式は、ブロック単位でアドレスを管理するブロックマッピング方式と比べて、ランダムなデータ書き込みに強い反面、管理単位が小さいため、アドレス変換テーブルのサイズが大きくなるという特徴を有する。ページマッピング方式では、ホストシステム 4 からページよりも小さいサイズのデータ書き込み要求があった場合、格納されているデータを読み出し、そのデータの一部を新たなデータで置き換える処理が必要になる。

【 0 0 4 6 】

各論理ページは、フラッシュメモリ 2 に含まれるいずれかの物理ページに割り当てられている。一例として、図 3 では、L P # 0 の論理ページは、C H I P # 0 のチップにおける P B # 0 の物理ブロックの P P # 0 の物理ページに割り当てられており、L P # 1 の論理ページは、C H I P # 0 のチップにおける P B # 1 の物理ブロックの P P # 0 の物理ページに割り当てられており、L P # 5 の論理ページは、C H I P # 0 のチップにおける P B # 1 の物理ブロックの P P # 5 の物理ページに割り当てられている。

【 0 0 4 7 】

上述したように、物理ページは、データの読み出し及び書き込みの単位である。そのため、メモリコントローラ 3 は、各論理ページに対応するデータを、その論理ページに割り当てられた物理ページに書き込む。一方で、各物理ページには、データを上書きすることができない。そのため、メモリコントローラ 3 は、物理ブロック内の一部の物理ページに格納されたデータのみを書き換える場合、新たなデータをその物理ブロック内の空きページ（データが書き込まれていない別の物理ページ）又は別の物理ブロックに書き込まなければならない。

【 0 0 4 8 】

つまり、メモリコントローラ 3 は、物理ブロック内の一部の物理ページに格納されたデータを書き換える場合に、その物理ブロック内に空きページが無ければ、新たなデータは別の物理ブロックに書き込まれる。また、このような書き換えにより、その物理ブロック内に古いデータ（新しいデータに置き換えられてしまったデータ）が格納されている物理

10

20

30

40

50

ページが多くなったときには、書き換え対象になっていない物理ページに格納されているデータを、データが書き込まれていない別の物理ブロックにそのまま移し替えることがある。このような移し替えを行うことにより、移し替え元の物理ブロックは、空きブロックとなり、書き込み先の物理ブロックとして使用することができるようになる。

【 0 0 4 9 】

また、リテンション（データリテンション）、READ ディスタート（読み出しディスタート）等の影響によるデータ化けを回避するために、または、スタティックウェアレベリングによる消去回数の平準化のために、物理ブロック内の各物理ページに格納されているデータを一括して別の物理ブロックに移し替えることもある。このようなデータの書き換えやデータの移し替えにより、論理アドレスと物理アドレスとの対応関係は、動的に変化する。

10

【 0 0 5 0 】

メモリコントローラ 3 は、このように動的に変化する論理アドレスと物理アドレスとの対応関係を、アドレス変換テーブルによって管理する。アドレス変換テーブルは、論理アドレスと物理アドレスとの対応関係を定めたテーブルである。メモリコントローラ 3 は、アドレス変換テーブルを参照して、ホストシステム 4 から与えられた論理アドレスを物理アドレスに変換し、変換した物理アドレスに基づいて、フラッシュメモリ 2 内におけるアクセス対象のデータの格納場所を特定する。

【 0 0 5 1 】

図 4 及び図 5 に、アドレス変換テーブルの具体例を示す。メモリコントローラ 3 は、アドレス変換テーブルとして、図 4 に示す論物変換テーブル 3 1 と図 5 に示す管理番号テーブル 3 2 という 2 つのテーブルを用いる。

20

【 0 0 5 2 】

図 4 に示す論物変換テーブル 3 1 は、フラッシュメモリ 2 に格納されている複数のデータのそれぞれについて、論理アドレスと物理アドレスとの対応関係を定めた第 1 のテーブルである。上述したようにメモリコントローラ 3 はページマッピング方式でアドレスを管理するため、論物変換テーブル 3 1 は、論理アドレスと物理アドレスとの対応関係を、論理ページのアドレス（論理ページ番号）と物理ページのアドレス（物理ページ番号）との対応関係により管理している。

【 0 0 5 3 】

より詳細には、論物変換テーブル 3 1 は、図 4 に示すように、フラッシュメモリ 2 に格納されている複数のデータのそれぞれについて、論理ページ番号と、管理番号及び物理ページ番号と、の対応関係を定めている。論物変換テーブル 3 1 は、各物理ページがどのチップのどの物理ブロックに属するものであるかを管理番号によって管理する。従って、物理ページは管理番号と物理ページの組み合わせで特定される。言い換えると、論物変換テーブル 3 1 において、物理ページ番号は、管理番号が割り当てられた物理ブロックの内部における物理ページのアドレスを示している。

30

【 0 0 5 4 】

ここで、管理番号は、フラッシュメモリ 2 内に含まれている複数のチップのそれぞれを特定し、さらに各チップに含まれている複数の物理ブロックのそれぞれを特定することができるように割り当てられたユニークな管理情報である。つまり、各管理番号は、複数のチップのそれぞれに割り当てられたチップ番号と複数の物理ブロックのそれぞれに割り当てられた物理ブロック番号とを組み合わせたものに対応付けられている。この対応付けは、適宜変更することができる。

40

【 0 0 5 5 】

管理番号は、図 5 に示す管理番号テーブル 3 2 によって、複数の物理ブロック（複数のチップに含まれる物理ブロック）のそれぞれに対応付けられている。図 5 に示すように、管理番号テーブル 3 2 は、フラッシュメモリ 2 に含まれるそれぞれの物理ブロックを定めるチップ番号及び物理ブロック番号と、管理番号と、の対応関係を定めた第 2 のテーブルである。なお、メモリコントローラ 3 は、チップ番号と物理ブロック番号を連結した番号

50

を各物理ブロックのアドレス（物理ブロックアドレス）として使用している。

【 0 0 5 6 】

管理番号テーブル 3 2 において、管理番号は、複数のチップに含まれる物理ブロックのそれぞれを特定することができるように、複数の物理ブロックのそれぞれに互いに異なる番号が割り当てられている。つまり、物理ブロックがいずれのチップに含まれていても、それぞれの物理ブロックを特定することができるように管理番号が割り当てられている。一例として図 5 では、管理番号 # 0 は、CHIP # 0 のチップにおける PB # 0 の物理ブロックに割り当てられており、管理番号 # 1 は、CHIP # 0 のチップにおける PB # 1 の物理ブロックに割り当てられており、管理番号 # 2 は、CHIP # 0 のチップにおける PB # 2 の物理ブロックに割り当てられている。また、CHIP # 1 のチップにおける PB # 0 の物理ブロックには、CHIP # 0 のチップにおける PB # 0 の物理ブロックとは異なる管理番号 # 4 0 9 6 が割り当てられている。

10

【 0 0 5 7 】

メモリコントローラ 3 は、フラッシュメモリ 2 内における複数の物理ブロックのそれぞれに互いに異なる管理番号を割り当てることで、このような管理番号テーブル 3 2 を作成する。管理番号テーブル 3 2 の行数は、フラッシュメモリ 2 に含まれている物理ブロックの個数に相当する。例えばフラッシュメモリ 2 が 1 個当たり n 個の物理ブロックを含むチップを m 個備えている場合、管理番号テーブル 3 2 に定められる管理番号の個数（管理番号テーブル 3 2 の行数）は $(m \times n)$ 個になる。

【 0 0 5 8 】

これに対して、論物変換テーブル 3 1 の行数は、フラッシュメモリシステム 1 の容量（データを保存できる容量）に依存するが、フラッシュメモリ 2 内においてデータの格納先として使用される物理ブロックに含まれる物理ページの個数にほぼ一致する。例えば、各物理ブロックに 2 5 6 個の物理ページが含まれていれば、論物変換テーブル 3 1 の行数は、管理番号の個数の 2 5 6 倍程度になってしまうため、論物変換テーブル 3 1 のテーブルサイズは、管理番号テーブル 3 2 のテーブルサイズに比べて遥かに大きくなる。

20

【 0 0 5 9 】

そのため、論物変換テーブル 3 1 は、予め定められた個数の論理ページ毎に、複数のファイルに分割されている。一例として図 4 では、論物変換テーブル 3 1 は、LP # 0 ~ # 9 9 9 の論理ページ番号が第 1 のテーブルに記述され、LP # 1 0 0 0 ~ # 1 9 9 9 の論理ページ番号が第 2 のテーブルに記述され、...のように、論理ページ番号の順に 1 0 0 0 個毎に複数のテーブルに分割された状態で管理される。

30

【 0 0 6 0 】

このような論物変換テーブル 3 1 及び管理番号テーブル 3 2 は、起動時又はアクセス時に、フラッシュメモリ 2 から SRAM 8 に読み出される。メモリコントローラ 3 は、SRAM 8 上で論物変換テーブル 3 1 又は管理番号テーブル 3 2 を更新し、SRAM 8 上で更新された論物変換テーブル 3 1 又は管理番号テーブル 3 2 は、フラッシュメモリ 2 に書き込まれる。なお、フラッシュメモリ 2 への書き込みは、分割されたテーブル毎に行われる。つまり、論物変換テーブル 3 1 の第 1 のテーブルが SRAM 8 上で更新された場合、その更新された第 1 のテーブルがフラッシュメモリ 2 に書き込まれる。

40

【 0 0 6 1 】

メモリコントローラ 3 において、マイクロプロセッサ 6 は、フラッシュメモリ 2 にアクセスする際、このような論物変換テーブル 3 1 と管理番号テーブル 3 2 とを参照して、論理アドレスと物理アドレスとの対応関係を特定する。より詳細には、マイクロプロセッサ 6 は、フラッシュメモリ 2 へのアクセスを制御するアクセス処理と、アクセス処理に伴い記憶領域を管理する領域管理とを、実行する。

【 0 0 6 2 】

アクセス処理では、メモリコントローラ 3 は、ホストシステム 4 からの命令に応答してフラッシュメモリ 2 へのアクセスを制御する。具体的には、フラッシュメモリ 2 に格納されているデータの読み出し及び消去、並びに、フラッシュメモリ 2 へのデータの書き込み

50

等の処理を制御する。

【 0 0 6 3 】

メモリコントローラ 3 は、論物変換テーブル 3 1 と管理番号テーブル 3 2 とに基づいて、フラッシュメモリ 2 におけるアクセス対象のデータの格納場所を示す物理アドレスを特定する。具体的に説明すると、ホストシステム 4 から外部コマンドによりデータ読み出し、データ書き換え等の指示を受けると、メモリコントローラ 3 は、論物変換テーブル 3 1 と管理番号テーブル 3 2 とを参照してホストシステム 4 から指示されたアクセス対象の論理アドレスを物理アドレスに変換する。そして、メモリコントローラ 3 は、変換された物理アドレスで特定される物理ページをアクセス対象として、データ読み出し、データ書き込み等の処理を実行する。

10

【 0 0 6 4 】

より詳細に説明すると、メモリコントローラ 3 は、フラッシュメモリ 2 に含まれる複数の物理ブロックにそれぞれ対応付けられた管理番号に基づいて、フラッシュメモリ 2 におけるアクセス対象の物理ブロックを特定する。

【 0 0 6 5 】

例えば、フラッシュメモリ 2 からデータを読み出す場合、メモリコントローラ 3 は、ホストシステム 4 から読み出し対象の論理ページのアドレスである論理ページ番号を与えられると、論物変換テーブル 3 1 に基づいて、その論理ページ番号を物理ページ番号及び管理番号に変換する。これにより、メモリコントローラ 3 は、ホストシステム 4 から与えられた論理ページに対応する物理ページ番号及び管理番号を特定する。次に、メモリコントローラ 3 は、管理番号テーブル 3 2 に基づいて、管理番号をチップ番号及び物理ブロック番号に変換する。これにより、メモリコントローラ 3 は、論物変換テーブル 3 1 に基づいて特定された管理番号に対応する物理ブロックを特定する。

20

【 0 0 6 6 】

このようにしてアクセス対象の物理ブロックを特定すると、メモリコントローラ 3 は、管理番号テーブル 3 2 に基づいて特定された物理ブロック内における、論物変換テーブル 3 1 に基づいて特定された物理ページを、読み出し対象の物理ページであると判定し、その物理ページにアクセスする。特定した物理ページに格納されているデータは、フラッシュメモリ 2 内のレジスタを介してバッファ 9 に読み出され、ホストシステム 4 に提供される。

30

【 0 0 6 7 】

メモリコントローラ 3 は、このようにフラッシュメモリ 2 からデータを読み出す場合だけでなく、フラッシュメモリ 2 にデータを書き込む場合も同様に、論物変換テーブル 3 1 と管理番号テーブル 3 2 とに基づいて、フラッシュメモリ 2 内におけるアクセス対象のデータの格納場所である物理ページを特定する。

【 0 0 6 8 】

領域管理では、メモリコントローラ 3 は、フラッシュメモリ 2 に対するアクセス処理に応じて、論物変換テーブル 3 1 又は管理番号テーブル 3 2 を更新する。具体的に説明すると、メモリコントローラ 3 は、フラッシュメモリ 2 にデータを書き込む処理を行った際に、論物変換テーブル 3 1 を更新し、異なる物理ブロック間でデータが移し替えられた場合、管理番号テーブル 3 2 を更新する。

40

【 0 0 6 9 】

第 1 に、メモリコントローラ 3 は、フラッシュメモリ 2 にデータを書き込む処理を行った際に、論物変換テーブル 3 1 を更新する。以下、図 6 に示すフローチャートを参照して、データ書き込み処理について説明する。

【 0 0 7 0 】

図 6 に示すデータ書き込み処理は、ホストシステム 4 から供給されたデータがフラッシュメモリ 2 に書き込まれる処理である。このデータ書き込みでは、ホストシステム 4 は、ホストインターフェースブロック 7 を介して、書き込むデータのセクタ数、書き込むデータの L B A の先頭値、及び書き込み処理を指示する外部コマンドと共に書き込みデータを

50

メモリコントローラ 3 に供給する。

【 0 0 7 1 】

図 6 に示すデータ書き込み処理では、メモリコントローラ 3 が、ホストシステム 4 から供給された書き込みデータをフラッシュメモリ 2 に書き込む（ステップ S 1 0 1）。具体的に説明すると、メモリコントローラ 3 は、書き込み先の物理ページのアドレス及び書き込み処理を指示する内部コマンドをフラッシュメモリ 2 に供給すると共に、ホストシステム 4 から供給されたデータをフラッシュメモリ 2 内のレジスタに転送する。そのデータはレジスタに保持された後、メモリコントローラ 3 から与えられたアドレスに対応する書き込み先の物理ページに書き込まれる。

【 0 0 7 2 】

メモリコントローラ 3 は、フラッシュメモリ 2 にデータを書き込む処理を行った際に、論物変換テーブル 3 1 を更新する（ステップ S 1 0 2）。具体的に説明すると、メモリコントローラ 3 は、フラッシュメモリ 2 に書き込み対象のデータを書き込む処理を行った際に、その書き込み対象のデータの論理ページ番号に対応付けられる管理番号と物理ページ番号を更新する。この更新では、管理番号テーブル 3 2 において書き込み対象のデータが書き込まれた物理ページが含まれている物理ブロックに対応付けられている管理番号を特定し、その管理番号とデータが書き込まれた物理ページの物理ページ番号を、書き込み対象のデータの論理ページ番号に対応付けた新たな対応関係を論物変換テーブル 3 1 に追加する。

【 0 0 7 3 】

一例として、図 7 に、論理ページ番号 L P # 4 0 5 3 の論理ページ番号に対応するデータが、管理番号テーブル 3 2 において管理番号 # 1 0 0 が割り当てられている物理ブロックにおける物理ページ番号 P P # 4 6 の物理ページに書き込まれた場合に論物変換テーブル 3 1 が更新された例を示す。この場合、メモリコントローラ 3 は、論物変換テーブル 3 1 に、論理ページ番号 L P # 4 0 5 3 と管理番号 # 1 0 0 及び物理ページ番号 P P # 4 6 とを対応付けた新たな対応関係を追加する。これにより、論物変換テーブル 3 1 は、書き込み対象のデータがフラッシュメモリ 2 に格納された後の最新の状態に更新される。

【 0 0 7 4 】

このとき、書き込み対象のデータが複数の物理ページに書き込まれた場合には、メモリコントローラ 3 は、その複数の物理ページのそれぞれについて、論理ページと管理番号及び物理ページ番号と対応付けた対応関係を論物変換テーブル 3 1 に追加する。

【 0 0 7 5 】

なお、上述したように、論物変換テーブル 3 1 は、予め定められた個数の論理ページ毎に複数のファイル（テーブル）に分割されている。そのため、メモリコントローラ 3 は、論物変換テーブル 3 1 を構成する複数のファイル（テーブル）のうちの該当するファイル（テーブル）のみを更新し、その他のファイル（テーブル）は更新しない。例えば図 7 に示した場合であれば、メモリコントローラ 3 は、論物変換テーブル 3 1 を構成する複数のファイル（テーブル）のうちの論理ページ番号 L P # 4 0 5 3 に関する対応関係を記述すべきファイル（テーブル）に、新たな対応関係を追加する。

【 0 0 7 6 】

このように論物変換テーブル 3 1 に新たな対応関係が追加された後、メモリコントローラ 3 は、新たな対応関係が追加された後の論物変換テーブル 3 1 と、管理番号テーブル 3 2 と、に基づいて、フラッシュメモリ 2 におけるアクセス対象のデータの格納場所を特定する。以上により、図 6 に示したデータ書き込み処理は終了する。

【 0 0 7 7 】

第 2 に、メモリコントローラ 3 は、フラッシュメモリ 2 における異なる物理ブロック間でデータを移し替えたときに、管理番号テーブル 3 2 を更新する。以下、図 8 に示すフローチャートを参照して、データ移し替え処理について説明する。

【 0 0 7 8 】

図 8 に示すデータ移し替え処理は、フラッシュメモリ 2 に含まれる複数の物理ブロック

10

20

30

40

50

のうちの物理ブロックに格納されているデータを別の物理ブロックに移し替える処理である。このデータ移し替え処理では、メモリコントローラ3は、移し替え元の物理ブロックに格納されているデータを、移し替え先の物理ブロックに移し替える（ステップS201）。

【0079】

このデータ移し替え処理では、リテンション、READ disturb等の影響によりデータ化けが進むことを回避するために、物理ブロック内の全データが別の物理ブロックにそのまま移し替えられる。

【0080】

メモリコントローラ3は、フラッシュメモリ2に含まれる複数の物理ブロックの中に、データ化けの危険度を示す指標が予め定められた条件を満たした物理ブロックが存在する場合、その物理ブロックに格納されている全てのデータを、そのまま別の物理ブロックに移し替える。このとき、メモリコントローラ3は、移し替え元の物理ブロックと移し替え先の物理ブロックとで同じデータが同じ物理ページ番号の物理ページに格納されるように、データを移し替える。

10

【0081】

このように物理ブロック間でデータが移し替えられると、メモリコントローラ3は、管理番号テーブル32において、移し替え先の物理ブロックに対応付けられた管理番号を、移し替え元の物理ブロックのアドレスに対応付けられていた管理番号に更新する（ステップS202）。更に、メモリコントローラ3は、管理番号テーブル32において、移し替え元の物理ブロックに対応付けられた管理番号を、移し替え先の物理ブロックに対応付けられていた管理番号に更新する（ステップS203）。

20

【0082】

一例として、図9に、図5に示した管理番号テーブル32が更新された例を示す。ここで、図5に示した管理番号テーブル32では、チップ番号CHIP#0及び物理ブロック番号PB#1には管理番号#1が対応付けられており、チップ番号CHIP#0及び物理ブロック番号PB#2には管理番号#2が対応付けられていた。これに対して、CHIP#0のチップにおけるPB#1の物理ブロックからPB#2の物理ブロックにデータが移し替えられた場合、メモリコントローラ3は、図9に示すように管理番号テーブル32を更新する。

30

【0083】

具体的に説明すると、メモリコントローラ3は、移し替え先の物理ブロックのアドレス“CHIP#0、PB#2”に対応付けられた管理番号#2を、移し替え元の物理ブロックのアドレス“CHIP#0、PB#1”に対応付けられた管理番号#1に更新する。そして、メモリコントローラ3は、移し替え元の物理ブロックのアドレス“CHIP#0、PB#1”に割り当てられた管理番号#1を、移し替え先の物理ブロックのアドレス“CHIP#0、PB#2”に割り当てられた管理番号#2に更新する。言い換えると、メモリコントローラ3は、管理番号テーブル32に定められた管理番号と物理ブロック（チップ番号及び物理ブロック番号）との対応関係における、移し替え元の物理ブロックに対応付けられた管理番号#1と、移し替え先の物理ブロックに対応付けられた管理番号#2と、を入れ替える。

40

【0084】

このように移し替え元の物理ブロックに対応付けられた管理番号を移し替え先の物理ブロックに対応付けられた管理番号に変更することで、移し替えられたデータが格納されている物理ブロックに対応付けられている管理番号は、移し替えの前後で変わらない。そのため、メモリコントローラ3は、データ移し替え処理を行った際に、管理番号テーブル32を更新すれば、論物変換テーブル31を更新する必要がない。つまり、管理番号テーブル32において、移し替え先の物理ブロックに対応付けられた管理番号と、移し替え元の物理ブロックに対応付けられた管理番号とを更新すれば、論物変換テーブル31において、移し替えられたデータに対応する論理ページ番号に関する対応関係は更新する必要がな

50

い。仮に、管理番号を用いずに論物変換テーブル31を作成した場合には、移し替えられたデータのページ数分の論理ページ番号に関する対応関係を更新しなければならない。例えば、物理ブロックに256個の物理ページが含まれている場合に、その全てのページに格納されていたデータが移し替えられたときには、256個の対応関係を更新しなければならない。また、メモリコントローラ3は、物理ブロック間でデータが移し替えられた後でも、移し替え前と同じ論物変換テーブル31を用いてそのデータにアクセスすることができる。以上により、図8に示したデータ移し替え処理は終了する。

【0085】

以上説明したように、本実施形態に係るメモリコントローラ3は、フラッシュメモリ2に含まれる複数の物理ブロックに対応付けられた管理番号に基づいて、アクセス対象の物理ブロックを特定する。そして、メモリコントローラ3は、複数の物理ブロックのうちの一の物理ブロックに格納されているデータが別の物理ブロックに移し替えられた場合、別の物理ブロックに対応付けられた管理番号を、一の物理ブロックに対応付けられた管理番号に変更する。このように管理番号を用いて物理ブロックを特定することで、異なる物理ブロック間でデータが移し替えられた場合、移し替えられたデータに関わる物理ブロックに対応付けられた管理番号を変更すれば、移し替えられたデータに対応する全ての論理ページ番号に関する対応関係を更新する必要が無い。その結果、物理ブロック間でデータが移し替えられた際に効率的にアドレスを管理することができる。

10

【0086】

特に、論物変換テーブル31が複数のファイル(テーブル)に分割されている場合、1個の物理ブロックに含まれる複数の物理ページに格納されているそれぞれのデータに対応する論理ページ番号が連続していない場合に、それらの論理ページ番号に関する対応関係が異なるファイル(テーブル)に分かれて管理されることがある。このような場合において、その物理ブロックのデータが別の物理ブロックに移し替えられた場合、移し替えられたデータに対応する論理ページ番号に関する対応関係が定められている全てのファイル(テーブル)を更新する必要がある。例えば、1個の物理ブロックに256個の物理ページが含まれている場合、メモリコントローラ3は、最大で256個の異なるファイル(テーブル)を開いて対応関係を更新する必要がある。これにより、処理のパフォーマンスが低下する上、フラッシュメモリ2の書き換え回数が増えるためフラッシュメモリ2の寿命が低下する。

20

30

【0087】

本実施形態に係るメモリコントローラ3は、物理ブロック間でデータが移し替えられた場合、複数のファイル(テーブル)に分割された論物変換テーブル31を更新する必要が無く、管理番号テーブル32において移し替え元の物理ブロックと移し替え先の物理ブロックとで管理番号を互いに入れ替えるだけで良い。そのため、物理ブロック間でデータが移し替えられた際に効率的にアドレスを管理することができる。

【0088】

(変形例)

以上に本発明の実施形態について説明したが、上記実施形態は一例であり、本発明の適用範囲はこれに限られない。すなわち、本発明の実施形態は種々の応用が可能であり、あらゆる実施の形態が本発明の範囲に含まれる。

40

【0089】

例えば、上記実施形態では、論物変換テーブル31及び管理番号テーブル32は、メモリコントローラ3のSRAM8上で作成及び更新されて、フラッシュメモリ2に記憶されるが、フラッシュメモリシステム1の外部(別の不揮発性メモリ)に記憶されていても良い。また、別の不揮発性メモリ上で論物変換テーブル31及び管理番号テーブル32が作成及び更新されてもよい。

【0090】

論理アドレスと物理アドレスとの対応関係、及び、管理番号と物理ブロックとの対応関係は、上記実施形態で説明したような論物変換テーブル31及び管理番号テーブル32以

50

外の形式で定められるものであっても良い。また、これらの対応関係は、テーブルという形式で定められていなくても良い。

【 0 0 9 1 】

また、複数の物理ブロックを1つの仮想ブロックとして管理する場合には、その仮想ブロックに対して管理番号を割り当ててもよい。例えば、図10に示すように、チップ番号CHIP#0内の物理ブロックとチップ番号CHIP#1内の物理ブロックとで仮想ブロックを構成し、この仮想ブロックに、図11に示すように、管理番号を割り当ててもよい。この例では、チップ番号CHIP#0内の物理ブロック番号PB#0の物理ブロックとチップ番号CHIP#1内の物理ブロック番号PB#0の物理ブロックとで仮想ブロック番号#0の仮想ブロックが構成され、この仮想ブロック番号#0の仮想ブロックに管理番号#0が割り当てられている。なお、この仮想ブロックでは、チップ番号CHIP#0内の物理ブロックに含まれる物理ページとチップ番号CHIP#1内の物理ブロックに含まれる物理ページとで仮想ページが構成される。つまり、チップ番号CHIP#0内の物理ブロック番号PB#0の物理ブロックに含まれる物理ページ番号PP#0の物理ページとチップ番号CHIP#1内の物理ブロック番号PB#0の物理ブロックに含まれる物理ページ番号PP#0の物理ページとで仮想ページが構成される。

10

【 0 0 9 2 】

上記実施形態における、各チップに含まれる物理ブロック数、各物理ブロックに含まれる物理ページ数、各物理ページに含まれる物理セクタ数、各論理ページに含まれるLBA数等は例示にすぎず、本発明は、これらに限定されるものではない。また、上記実施形態ではフラッシュメモリ2は複数のチップを備えていたが、本発明においてフラッシュメモリ2に備えられるチップの数は1個であっても良い。

20

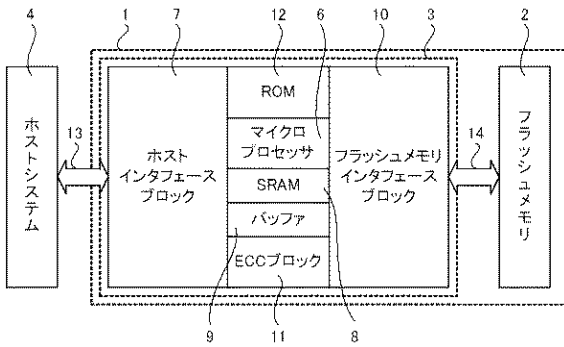
【 符号の説明 】

【 0 0 9 3 】

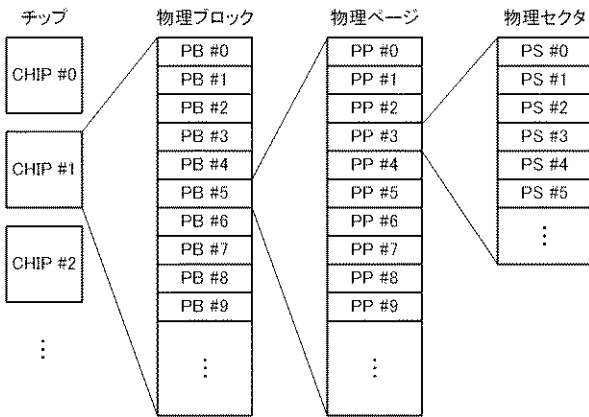
- 1 フラッシュメモリシステム
- 2 フラッシュメモリ
- 3 メモリコントローラ
- 4 ホストシステム
- 6 マイクロプロセッサ
- 7 ホストインターフェースブロック
- 8 S R A M
- 9 バッファ
- 1 0 フラッシュメモリインターフェースブロック
- 1 1 E C C ブロック
- 1 2 R O M
- 1 3 外部バス
- 1 4 内部バス
- 3 1 論理変換テーブル
- 3 2 管理番号テーブル

30

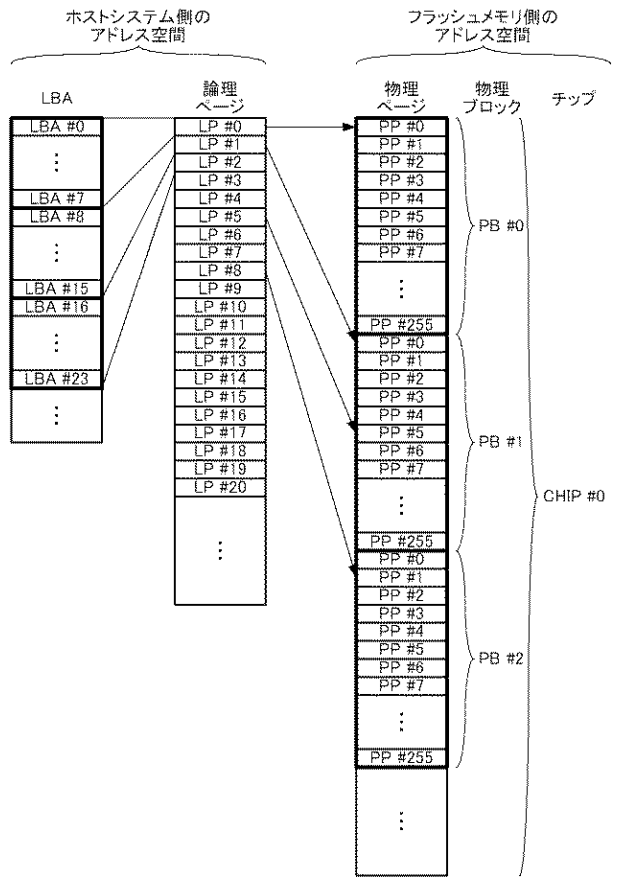
【図1】



【図2】



【図3】



【図4】

論物変換テーブル

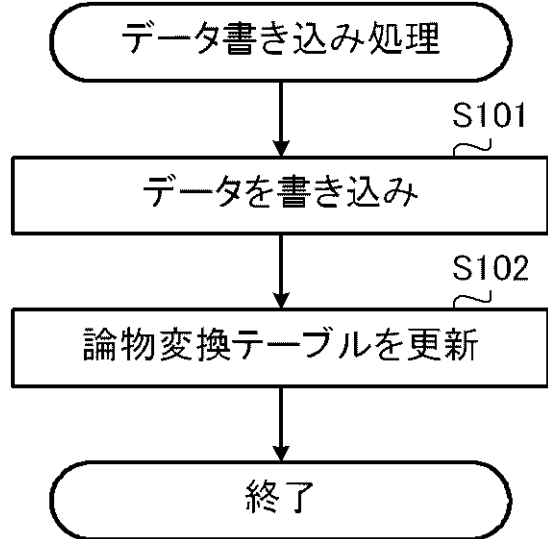
論理ページ番号	管理番号	物理ページ番号
LP #0	#0	PP #0
LP #1	#1	PP #0
LP #2	#0	PP #2
LP #3	#1	PP #3
LP #4	#1	PP #4
LP #5	#1	PP #5
LP #6	#1	PP #6
LP #7	#2	PP #0
LP #8	#2	PP #1
LP #9	#3	PP #0
⋮	⋮	⋮
LP #999	#30	PP #33

【図5】

管理番号テーブル

管理番号	チップ番号	物理ブロック番号
#0	CHIP #0	PB #0
#1	CHIP #0	PB #1
#2	CHIP #0	PB #2
#3	CHIP #0	PB #3
#4	CHIP #0	PB #4
#5	CHIP #0	PB #5
#6	CHIP #0	PB #6
#7	CHIP #0	PB #7
#8	CHIP #0	PB #8
#9	CHIP #0	PB #9
⋮	⋮	⋮
#4095	CHIP #0	PB #4095
#4096	CHIP #1	PB #0
#4097	CHIP #1	PB #1
#4098	CHIP #1	PB #2
⋮	⋮	⋮

【図6】



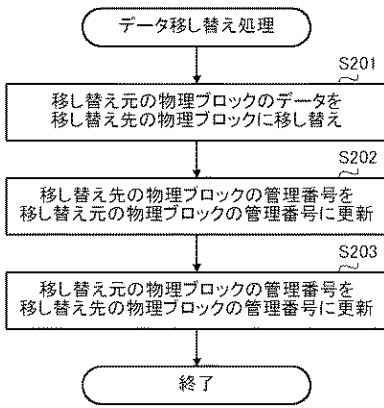
【図7】

論物変換テーブル

論理ページ番号	管理番号	物理ページ番号
⋮	⋮	⋮
LP #4050	#100	PP #43
LP #4051	#100	PP #44
LP #4052	#100	PP #45
LP #4053	#100	PP #46

追加

【 図 8 】



【 図 1 0 】

	チップ番号 CHIP #0	チップ番号 CHIP #1
仮想ブロック番号	物理ブロック番号	物理ブロック番号
#0	PB #0	PB #0
#2	PB #1	PB #4000
#1	PB #2	PB #2
#3	PB #3	PB #3
#4	PB #4	PB #4
#5	PB #5	PB #5
#6	PB #6	PB #6
#7	PB #7	PB #7
#8	PB #8	PB #8
#9	PB #9	PB #9
⋮	⋮	⋮

【 図 9 】

管理番号テーブル 32

管理番号	チップ番号	物理ブロック番号
#0	CHIP #0	PB #0
#2	CHIP #0	PB #1
#1	CHIP #0	PB #2
#3	CHIP #0	PB #3
#4	CHIP #0	PB #4
#5	CHIP #0	PB #5
#6	CHIP #0	PB #6
#7	CHIP #0	PB #7
#8	CHIP #0	PB #8
#9	CHIP #0	PB #9
⋮	⋮	⋮
#4095	CHIP #0	PB #4095
#4096	CHIP #1	PB #0
#4097	CHIP #1	PB #1
#4098	CHIP #1	PB #2
⋮	⋮	⋮

入れ替え ↻

【 図 1 1 】

管理番号	仮想ブロック番号
#0	#0
#2	#2
#1	#1
#3	#3
#4	#4
#5	#5
#6	#6
#7	#7
#8	#8
#9	#9
⋮	⋮