

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-28943
(P2021-28943A)

(43) 公開日 令和3年2月25日(2021.2.25)

| (51) Int. Cl. | F I | テーマコード (参考) |
|--------------------------|-----------------------|-------------|
| HO 1 L 21/8234 (2006.01) | HO 1 L 27/088 C | 5 F 0 4 8 |
| HO 1 L 27/088 (2006.01) | HO 1 L 29/78 6 1 3 Z | 5 F 1 1 0 |
| HO 1 L 29/786 (2006.01) | HO 1 L 29/78 6 1 7 N | |
| | HO 1 L 27/088 B | |
| | HO 1 L 27/088 3 3 1 E | |

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号 特願2019-147580 (P2019-147580)
(22) 出願日 令和1年8月9日(2019.8.9)

(出願人による申告)平成28年度、国立研究開発法人科学技術振興機構、戦略的創造研究推進事業「Super SteepトランジスタとMeta MaterialアンテナによるnW級環境RF発電技術の研究」委託研究、産業技術力強化法第17条の適用を受ける特許出願

(71) 出願人 593165487
学校法人金沢工業大学
石川県野々市市扇が丘7番1号

(74) 代理人 100105924
弁理士 森下 賢樹

(72) 発明者 井田 次郎
石川県野々市市扇が丘7-1 学校法人金沢工業大学内

(72) 発明者 森 貴之
石川県野々市市扇が丘7-1 学校法人金沢工業大学内

Fターム(参考) 5F048 AB03 AC01 AC10 BA14 BA16
BB02 BB05
5F110 AA09 AA30 BB04 CC02 DD05
DD13 EE24 EE27 FF02 GG01
GG02 GG03 GG23 NN77 NN78

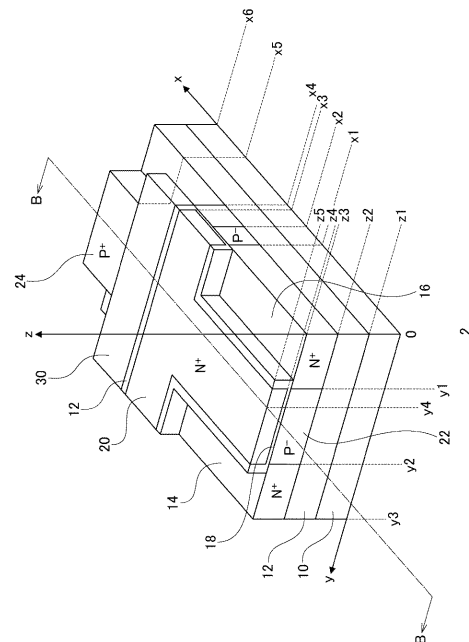
(54) 【発明の名称】 半導体構造および半導体構造の制御方法

(57) 【要約】

【課題】低消費電力でスイッチング可能な半導体デバイスを提供する。

【解決手段】半導体構造2は、ソース14とドレイン16と第1ゲート20とボディコンタクト部24を含むMOSFETを備える半導体構造であって、ボディコンタクト部24とソース14およびドレイン16との間に、ボディコンタクト部24の不純物の型と反対の型の半導体層26を備え、半導体層26の上に、第1ゲート20に隣接して第2ゲート30を備える。半導体構造2を制御する方法は、第1ゲート電圧、第2ゲート電圧およびボディ電圧を略同じタイミングでターンオフすることを特徴とする。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

ソースとドレインと第 1 ゲートとボディコンタクト部とを含む MOSFET を備える半導体構造であって、

前記ボディコンタクト部と前記ソースおよび前記ドレインとの間に、前記ボディコンタクト部の不純物の型と反対の型の半導体層を備え、

前記半導体層の上に、前記第 1 ゲートに隣接して第 2 ゲートを備える半導体構造。

【請求項 2】

前記 MOSFET は SOIMOSFET である請求項 1 に記載の半導体構造。

【請求項 3】

前記ソースと前記ドレインの不純物の型はそれぞれ N 型であり、前記ボディコンタクト部の不純物の型は P 型であり、前記半導体層の不純物の型は N 型である、請求項 1 または 2 に記載の半導体構造。

【請求項 4】

前記ソースと前記ドレインの不純物の型はそれぞれ P 型であり、前記ボディコンタクト部の不純物の型は N 型であり、前記半導体層の不純物の型は P 型である、請求項 1 または 2 に記載の半導体構造。

【請求項 5】

前記第 1 ゲートと前記第 2 ゲートとの間隔は、50 (nm) 以下である請求項 1 から 4 のいずれかに記載の半導体構造。

【請求項 6】

請求項 1 に記載の半導体構造を制御する方法であって、第 1 ゲート電圧、第 2 ゲート電圧およびボディ電圧を略同じタイミングでターンオフすることを特徴とする方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体構造および半導体構造の制御方法に関する。

【背景技術】

【0002】

様々な産業分野で使われる大規模集積回路（以下、「LSI」という）は、低消費電力化が求められている。LSI の中でも特に MOS 型電界効果トランジスタ（以下、「MOSFET」という）は、その低消費電力性から広く用いられている。

【0003】

例えば MOSFET を用いた CMOS インバータでは、オン状態での消費電力 P_{active} とオフ状態での消費電力 $P_{standby}$ は、以下の式で表される。

$$P_{active} = f \cdot C_{load} \cdot V_{DD}^2 \cdot \dots \quad (1)$$

$$P_{standby} = I_{leak} \cdot V_{DD} \cdot \dots \quad (2)$$

ここで、 f は動作周波数、 C_{load} は負荷容量、 V_{DD} は電源電圧、 I_{leak} はオフリーク電流である。このように、 P_{active} は電源電圧の 2 乗に比例し（式（1））、 $P_{standby}$ は電源電圧に比例する（式（2））。従って MOSFET の低消費電力化においては、電源電圧をいかに低減できるかが鍵となる。

【0004】

トランジスタのオン - オフのスイッチング特性は、サブスレッショルド係数（サブスレッショルド領域においてゲート電圧を変化させたときの、ドレイン電流の立ち上がり特性）により表される。すなわちサブスレッショルド係数 S は、ドレイン電流 I_D を一桁上げるのに必要なゲート電圧 V_g であって、

10

20

30

40

【数 1】

$$S = \frac{dV_g}{d(\log I_d)}$$

で定義される。サブスレッシュホールド係数が小さければ小さいほど、スイッチング特性がよいため、より低い電源電圧でのスイッチングが可能である。しかしながら従来の MOSFET のサブスレッシュホールド係数には、電流伝導機構から決まる理論下限があり、その値は室温で約 60 (mV / dec) とされている。従って、従来の MOSFET では、スイッチング動作可能な電源電圧にも下限がある。

10

【0005】

上述の理論下限を下回る電源電圧でスイッチングが可能な半導体デバイスを目指して、様々な研究が行われている。例えば、トンネル効果を利用したトンネル電界効果トランジスタや、強誘電体キャパシタと通常のキャパシタとを接続した際に発生するとされる負性容量効果を利用した負性容量効果トランジスタなどがその一例である。しかしながらこれらのデバイスは、理論的には優れた性能を持つことが期待される一方、実測結果ではまだ十分な特性が得られていない。

20

【先行技術文献】

【特許文献】

【0006】

【非特許文献 1】 J. Ida et al., "Super steep subthreshold slope PN-body tied SOI FET with ultra low drain voltage down to 0.1V," in IEDM Tech. Dig., Washington, DC, USA, Dec. 2015, pp. 624.627, doi: 10.1109/IEDM.2015.7409761.

【発明の概要】

【発明が解決しようとする課題】

【0007】

従来の MOSFET における理論下限を下回るサブスレッシュホールド係数（以下、「SS サブスレッシュホールド勾配」(Super Steep Subthreshold Slope) と呼ぶ) を持つデバイスとして、MOSFET のボディコンタクト部に隣接して、当該ボディコンタクト部の不純物の型と反対の型の半導体層を備える半導体構造が考案されている（例えば、非特許文献 1 参照）。しかしながらこの半導体構造は、0.6 (V) 以上のボディ電圧が必要であることや、ターンオフ時にリーク電流が発生するといった点で課題を残している。

30

【0008】

本発明はこうした状況に鑑みてなされたものであり、その目的は、低消費電力でスイッチング可能な半導体デバイスを提供することにある。

40

【課題を解決するための手段】

【0009】

上記課題を解決するために、本発明のある態様の半導体構造は、ソースとドレインと第 1 ゲートとボディコンタクト部とを含む MOSFET を備える半導体構造であって、ボディコンタクト部と、ソースおよびドレインとの間に、ボディコンタクト部の不純物の型と反対の型の半導体層を備え、この半導体層の上に、第 1 ゲートに隣接して第 2 ゲートを備える。

【0010】

この態様によれば、低消費電力でスイッチング可能な半導体デバイスを実現することができる。

50

【0011】

MOSFETはSOIMOSFETであってよい。この場合、SOIMOSFETをベースとして、低消費電力でスイッチング可能な半導体デバイスを実現することができる。

【0012】

ソースとドレインの不純物の型はそれぞれN型であり、ボディコンタクト部の不純物の型はP型であり、半導体層の不純物の型はN型であってよい。この場合、N型MOSFETをベースとして、低消費電力でスイッチング可能な半導体デバイスを実現することができる。

【0013】

ソースとドレインの不純物の型はそれぞれP型であり、ボディコンタクト部の不純物の型はN型であり、半導体層の不純物の型はP型であってよい。この場合、P型MOSFETをベースとして、低消費電力でスイッチング可能な半導体デバイスを実現することができる。

10

【0014】

第1ゲートと第2ゲートとの間隔は、50(nm)以下であってよい。この場合、さらに低消費電力でスイッチング可能な半導体デバイスを実現することができる。

【0015】

本発明のさらに別の態様は方法である。この方法は、前述の半導体構造を制御する方法であって、第1ゲート電圧、第2ゲート電圧およびボディ電圧を略同じタイミングでターンオフすることを特徴とする。

20

【0016】

この態様によれば、低消費電力でスイッチング可能な半導体デバイスのリーク電流を効率的に抑制することができる。

【0017】

なお、以上の構成要素の任意の組合せ、本発明の表現を方法、装置、システムなどの変換したものもまた、本発明の態様として有効である。また、上述した各要素を適宜組み合わせ合わせたものも、本件特許出願によって特許による保護を求める発明の範囲に含まれる。

【発明の効果】

【0018】

本発明によれば、低消費電力でスイッチング可能な半導体デバイスを実現することができる。

30

【図面の簡単な説明】

【0019】

【図1】比較例の半導体構造の構成を示す斜視図である。

【図2】比較例の半導体構造の構成を示す正面図である。

【図3】比較例の半導体構造の構成を示す平面図である。

【図4】比較例の半導体構造の構成を示す断面図である。

【図5】図1～図4の半導体構造の第1ゲート電圧に対するドレイン電流の特性を示すグラフである。

40

【図6】図1～図4の半導体構造の第1ゲート電圧のターンオフ時におけるドレイン電流およびボディ電流の過度的応答特性を示すグラフである。

【図7】第1実施形態の半導体構造の構成を示す斜視図である。

【図8】第1実施形態の半導体構造の構成を示す正面図である。

【図9】第1実施形態の半導体構造の構成を示す平面図である。

【図10】第1実施形態の半導体構造の構成を示す断面図である。

【図11】図7～図10の半導体構造の第1ゲート電圧のみをターンオフしたときの、第1ゲート電圧、第2ゲート電圧およびボディ電圧の時間変化を示すグラフである。

【図12】図7～図10の半導体構造の第1ゲート電圧、第2ゲート電圧およびボディ電圧を同じタイミングでターンオフしたときの、第1ゲート電圧、第2ゲート電圧およびボ

50

ディ電圧の時間変化を示すグラフである。

【図 1 3】図 7 ~ 図 1 0 の半導体構造に対して図 1 1 および図 1 2 の電圧制御を行ったときの、ドレイン電流の過渡的応答特性を示すグラフである。

【図 1 4】第 2 実施形態の半導体構造の構成を示す斜視図である。

【発明を実施するための形態】

【0020】

以下、本発明を好適な実施の形態をもとに各図面を参照しながら説明する。実施の形態および変形例では、同一または同等の構成要素、部材には同一の符号を付するものとし、適宜重複した説明は省略する。また、各図面における部材の寸法は、理解を容易にするために適宜拡大、縮小して示す。また、各図面において実施の形態を説明する上で重要でない部材の一部は省略して表示する。また、第 1、第 2 などの序数を含む用語が多様な構成要素を説明するために用いられるが、こうした用語は一つの構成要素を他の構成要素から区別する目的でのみ用いられ、この用語によって構成要素が限定されるものではない。

10

【0021】

本明細書では、半導体の不純物の型に関し、N 型不純物濃度の高い N 型を「N+」、N 型不純物濃度の低い N 型を「N-」、P 型不純物濃度の高い P 型を「P+」、P 型不純物濃度の低い P 型を「P-」と表す。

【0022】

[比較例]

先ず図 1 ~ 図 4 を用いて、比較例について説明する。比較例の半導体構造 1 は、本実施形態を考案する過程で、比較のために案出されたものである。図 1 は、半導体構造 1 の構成を示す斜視図である。以下、半導体構造 1 に対し、図 1 に示される x 軸、y 軸、z 軸および原点を設定して、3 次元直交座標系を定める。図 2 は、半導体構造 1 の構成を示す正面図である。すなわち図 2 は、半導体構造 1 の $x = 0$ における $y z$ 平面図である。図 3 は、半導体構造 1 の構成を示す平面図である。すなわち図 3 は、半導体構造 1 の $z = z_3$ における $x y$ 平面図である。図 4 は、半導体構造 1 の構成を示す A - A 線断面図である。すなわち図 4 は、半導体構造 1 の $y = y_4$ における $z x$ 平面図である。

20

【0023】

半導体構造 1 は、基板 1 0 と、埋め込み酸化膜 1 2 と、ソース 1 4 と、ドレイン 1 6 と、第 1 ゲート酸化膜 1 8 と、第 1 ゲート 2 0 と、チャンネル 2 2 と、ボディコンタクト部 2 4 と、半導体層 2 6 とを備える。ソース 1 4、ドレイン 1 6、第 1 ゲート 2 0 およびボディコンタクト部 2 4 は、それぞれ、ソース端子、ドレイン端子、第 1 ゲート端子およびボディ端子を備える（いずれも不図示）。

30

【0024】

基板 1 0 は、例えばシリコン (Si) 基板であり、 $0 \leq x \leq x_6$ 、 $0 \leq y \leq y_3$ 、 $0 \leq z \leq z_1$ の領域に形成される。埋め込み酸化膜 1 2 は、例えば二酸化ケイ素 (SiO_2) 膜であり、 $0 \leq x \leq x_6$ 、 $0 \leq y \leq y_3$ 、 $z_1 \leq z \leq z_2$ の領域に形成される。ソース 1 4 は、 $0 \leq x \leq x_1$ 、 $y_2 \leq y \leq y_3$ 、 $z_2 \leq z \leq z_3$ の領域に形成される。ドレイン 1 6 は、 $0 \leq x \leq x_1$ 、 $0 \leq y \leq y_1$ 、 $z_2 \leq z \leq z_3$ の領域に形成される。ソース 1 4 とドレイン 1 6 は、N+ である。第 1 ゲート酸化膜 1 8 は、例えば二酸化ケイ素 (SiO_2) 膜であり、 $0 \leq x \leq x_1$ 、 $y_1 \leq y \leq y_2$ 、 $z_3 \leq z \leq z_4$ の領域に形成される。すなわち第 1 ゲート酸化膜 1 8 の厚さは、 $z_4 - z_3$ である。第 1 ゲート 2 0 は、例えばポリシリコンであり、 $0 \leq x \leq x_1$ 、 $y_1 \leq y \leq y_2$ 、 $z_4 \leq z \leq z_5$ の領域に形成される。なお本例では、第 1 ゲート 2 0 と第 1 ゲート酸化膜 1 8 は、製造等の便宜上、 $x_1 \leq x \leq x_3$ 、 $0 \leq y \leq y_3$ 、 $z_3 \leq z \leq z_5$ の領域にまで拡張され、上から見たときに T 字形状となっている。しかしながら、このような拡張は必須ではない。チャンネル 2 2 は、ソース 1 4 とドレイン 1 6 との間、すなわち、 $0 \leq x \leq x_1$ 、 $y_1 \leq y \leq y_2$ 、 $z_2 \leq z \leq z_3$ の領域に形成される。チャンネル 2 2 はさらに、 $x_1 \leq x \leq x_2$ 、 $y_1 \leq y \leq y_2$ 、 $z_2 \leq z \leq z_3$ の領域、および、 $x_2 \leq x \leq x_4$ 、 $0 \leq y \leq y_3$ 、 $z_2 \leq z \leq z_3$ の領域に拡張される。この結果、チャンネル 2 2 は、図 3 に示すように上から見たときに十字架状となっ

40

50

ている。このようにして、 $0 \leq x \leq 1$ 、 $0 \leq y \leq 3$ 、 $0 \leq z \leq 5$ の領域に、N型のSOI (Silicon On Insulator) MOSFETが形成される。

【0025】

ボディコンタクト部24は、ボディ電位を固定するために、 $x_5 \leq x \leq x_6$ 、 $y_1 \leq y \leq y_2$ 、 $z_2 \leq z \leq z_3$ の領域に形成される。ボディコンタクト部24は、P+である。半導体層26は、 $x_4 \leq x \leq x_5$ 、 $y_1 \leq y \leq y_2$ 、 $z_2 \leq z \leq z_3$ の領域に形成される。すなわち半導体層26は、ボディコンタクト部24とチャンネル22との間に形成される。さらに、半導体層26は、N-である。すなわち半導体層26の不純物の型(N型)は、ボディコンタクト部24の不純物の型(P型)と反対である。その結果、本比較例の半導体構造は、P型のボディコンタクト部を備える従来のボディタイ(Body tied)構造に、N型の半導体層26を追加した形になっている。これにより、ボディコンタクト部24と、ソース14およびドレイン16との間に、PNPN接合が形成される。

10

【0026】

図5は、半導体構造1の第1ゲート電圧(第1ゲート20にかかる電圧)に対するドレイン電流(ドレイン16を流れる電流)の特性を示すグラフである。具体的には図5は、ボディ電圧(ボディコンタクト部24にかかる電圧) V_b を、それぞれ、0(V)、0.2(V)、0.4(V)、0.6(V)、0.8(V)および1.0(V)にしたときの、第1ゲート電圧に対するドレイン電流の依存性を示す。ただし、 L_g (第1ゲートの長さ) $= y_2 - y_1 = 1$ (μm)、 W_g (第1ゲートの幅) $= x_1 = 1$ (μm)、 W_b (半導体層26の幅) $= x_5 - x_4 = 1.2$ (μm)、 V_d (ドレイン電圧) $= 0.1$ (V)、 V_{sub} (基板電圧) $= 0$ (V)である。図5によれば、 $V_b > 0.6$ (V)のときに、第1ゲート電圧に対するドレイン電流の立ち上がりが非常に急峻になっていることが分かる。すなわち、 $V_b > 0.6$ (V)のとき、サブスレッショルド係数が60(mV/déc)を下回り、SSサブスレッショルド勾配が実現されている。SSサブスレッショルド勾配が発生する理由の1つは、従来のボディタイ構造に半導体層26を追加したことにより、ボディコンタクト部24からチャンネル22に正孔を供給することでフローティングボディ効果が引き起こされるためと考えられる。

20

【0027】

ここで、半導体構造1は、 $V_b = 0.6$ (V)ではSSサブスレッショルド勾配が実現できていないことに留意する。望ましくは、より低いボディ電圧での動作でSSサブスレッショルド勾配が実現できるデバイスが求められる。

30

【0028】

図6は、半導体構造1の第1ゲート電圧(四角形で示される点を結んだ曲線)をターンオフしたときの、ドレイン電流(丸で示される点を結んだ曲線)およびボディ電流(三角形で示される点を結んだ曲線)の過渡的応答特性(時間 t に対する変化)を示すグラフである。ここでは、 $t = 10^{-11}$ (s)から $t = 10^{-9}$ (s)にかけて、第1ゲート電圧を0.4(V)から0(V)に急激にターンオフしている。これに対し、ドレイン電流およびボディ電流は、いずれも $t = 10^{-9}$ (s)から速やかに0にはならず、 $t = 1$ (s)にかけて徐々に低下している。すなわち、ゲート電圧が0となった後も、ドレイン電流およびボディ電流のいずれにもリーク電流が発生している。このようなリーク電流は、消費電力を上昇させる原因となる。従って消費電力低減のためには、ゲート電圧の変化に対してより良好な電流応答特性を持つデバイスが求められる。

40

【0029】

[第1実施形態]

図7~図10を用いて、第1実施形態に係る半導体構造2について説明する。比較例と共通する部分については説明を省略し、異なる部分に焦点を当てて説明する。図7は、半導体構造2の構成を示す斜視図である。図8は、半導体構造2の構成を示す正面図である。すなわち図8は、半導体構造2の $x = 0$ における $y-z$ 平面図である。図9は、半導体構造2の構成を示す平面図である。すなわち図9は、半導体構造2の $z = z_3$ における $x-y$ 平面図である。図10は、半導体構造2の構成を示すB-B線断面図である。すなわち図

50

10は、半導体構造2の $y = y_4$ における $z \times$ 平面図である。

【0030】

半導体構造2は、基板10と、埋め込み酸化膜12と、ソース14と、ドレイン16と、第1ゲート酸化膜18と、第1ゲート20と、チャネル22と、ボディコンタクト部24と、半導体層26と、第2ゲート酸化膜28と、第2ゲート30とを備える。すなわち半導体構造2は、半導体構造1の構成に加えて、第2ゲート酸化膜28と、第2ゲート30とを備える。第2ゲート30は、第2ゲート端子を備える(不図示)。半導体構造2のその他の構成は、半導体構造1の構成と共通である。

【0031】

第2ゲート酸化膜28は、例えば二酸化ケイ素(SiO_2)膜であり、 $x_4 \times x_5$ 、 $y_1 \times y_2$ 、 $z_3 \times z_4$ の領域に形成される。すなわち第2ゲート酸化膜28は、半導体層26の上に形成され、その厚さは $z_4 - z_3$ である。第2ゲート30は、例えばポリシリコンであり、 $x_4 \times x_5$ 、 $0 \times y_3$ 、 $z_4 \times z_5$ の領域に形成される。すなわち第2ゲート30は、半導体層26の上に、第1ゲート20に隣接して形成される。第2ゲート30は、第2ゲート酸化膜28によって、半導体層26と絶縁される。第2ゲート30は、埋め込み酸化膜12によって、第1ゲート20と絶縁される。第1ゲート20と第2ゲート30との間隔(すなわち、この領域における埋め込み酸化膜12の厚さ)は、 $x_3 - x_2$ である。

【0032】

第2ゲート30を上記のように構成することにより、半導体構造2を x 方向に見たときに、ボディコンタクト部24(P^+)をソース領域、チャネル22(P^-)をドレイン領域、第2ゲート30をゲート領域とするP型のSOIMOSFETが形成されることが分かる。

【0033】

半導体構造2の第2ゲート30に印加する第2ゲート電圧を制御することにより、動作電圧0.1(V)以下で、SSサブスレッショルド勾配を実現できることが期待される。これは、 $V_b > 0.6$ (V)のときにのみSSサブスレッショルド勾配を実現できる半導体構造1に対して大きな利点を持つ。具体的には、半導体構造2は、半導体構造1より低い消費電力でスイッチングが可能である。このように、本実施形態によれば、低ボディ電圧でSSサブスレッショルド勾配が得られるので、低消費電力でスイッチング可能な半導体デバイスを実現することができる。

【0034】

第1ゲート20と第2ゲート30との間隔は、所定の長さより短いことが望ましい。シミュレーションによれば、特に第1ゲート20と第2ゲート30との間隔が50(nm)以下であるときに、スイッチング性能が著しく改善することが分かった。

【0035】

図11は、半導体構造2の第1ゲート電圧 V_{g1} (実線)のみをターンオフしたときの、第1ゲート電圧 V_{g1} 、第2ゲート電圧 V_{g2} (長い破線)およびボディ電圧 V_b (短い破線)の時間変化を示すグラフである。すなわちこの電圧制御では、 V_{g1} は、 $0 \times t_1$ で電圧オン($V_{g1} = 0.4$ (V))、 $t_1 \times t_2$ で電圧ターンオフ、 $t_2 \times t_3$ で電圧オフ($V_{g1} = 0$ (V))と時間変化する。一方 V_{g2} と V_b は、 $0 \times t_3$ で電圧オン($V_{g2} = 1.5$ (V)、 $V_b = 1.0$ (V))の状態を保つ。

【0036】

図12は、半導体構造2の第1ゲート電圧、第2ゲート電圧およびボディ電圧を同じタイミングでターンオフしたときの、第1ゲート電圧、第2ゲート電圧およびボディ電圧の時間変化を示すグラフである。すなわちこの電圧制御では、 V_{g1} は、 $0 \times t_1$ で電圧オン($V_{g1} = 0.4$ (V))、 $t_1 \times t_2$ で電圧ターンオフ、 $t_2 \times t_3$ で電圧オフ($V_{g1} = 0$ (V))と時間変化する。また V_{g2} は、 $0 \times t_1$ で電圧オン($V_{g2} = 1.5$ (V))、 $t_1 \times t_2$ で電圧ターンオフ、 $t_2 \times t_3$ で電圧オフ($V_{g2} = 0$ (V))と時間変化する。また V_b は、 $0 \times t_1$ で電圧オン($V_b =$

10

20

30

40

50

1.0 (V))、 $t_1 \sim t_2$ で電圧ターンオフ、 $t_2 \sim t_3$ で電圧オフ ($V_b = 0$ (V)) と時間変化する。第1ゲート電圧、第2ゲート電圧およびボディ電圧をターンオフするタイミングは完全に一致していてもよく、一定程度ずれていても許容される。その正確な許容値は実験で定めればよい。

【0037】

図13は、半導体構造2に対して図11および図12の電圧制御を行ったときの、ドレイン電流の過度的応答特性を示すグラフである。ここでは、 $t = 10^{-9}$ (s) 付近で、第1ゲート電圧を0.4 (V) から0 (V) に急激にターンオフしている(実線で示される曲線)。図11の制御を行ったときのドレイン電流(丸で示される点を結んだ曲線)は、第1ゲート電圧をターンオフした直後から $t = 10^{-1}$ (s) にかけて徐々に低下していることが分かる。これは図6に示される結果とほぼ等しい。これに対し、図12の制御を行ったときのドレイン電流(三角形で示される点を結んだ曲線)は、 $t = 10^{-6}$ (s) で0となっていることが分かる。すなわち、図12の制御を行うことにより、迅速にリーク電流を除去することができる。

10

【0038】

図12のような制御によりリーク電流を除去できることの理論的根拠については、未だ解明されていない部分もあるが、概ね以下のようなメカニズムが考えられる。以下、ソース14、ドレイン16および第1ゲート20により構成されるMOSFET(N型)を第1MOSFETと呼ぶ。そして、ボディコンタクト部24、チャンネル22および第2ゲート30により構成されるMOSFET(P型)を第2MOSFETと呼ぶ。ここで、第1MOSFETはノーマリーオフで動作し、第2MOSFETはノーマリーオンで動作するように構成されている。すなわち第1MOSFETは、 V_{g1} (第1ゲート電圧) = 0 のときオフ状態にあり、 $V_{g1} > 0$ のときオン状態にある。一方、第2MOSFETは、 V_{g2} (第2ゲート電圧) = 0 のときオン状態にあり、 $V_{g2} > 0$ のときオフ状態にある。初期状態で、 $V_{g1} > 0$ 、 $V_{g2} > 0$ 、 $V_b > 0$ であるとする。すなわち初期状態では第1MOSFETはオン状態にあり、ソース14からドレイン16にドレイン電流 I_d が流れている。一方、第2MOSFETはオフ状態にあり、半導体構造1の半導体層26と同様の役割を果たす。これによりチャンネル22へ正孔が供給され、フローティングボディ効果が引き起こされる。ここで V_{g1} 、 V_{g2} および V_b をターンオフすると、第1MOSFETはオフ状態になり、第2MOSFETはオン状態になる。第1MOSFETのスウィッチングにより、 I_d は0に向けて減少する。また、第2MOSFETがオン状態のため、チャンネル22内の正孔がボディコンタクト部24から排出されることによりフローティングボディ効果が速やかに消失し、これに伴ってリーク電流も速やかに消失する。

20

30

【0039】

[第2実施形態]

図14は、第2実施形態に係る半導体構造3の構成を示す斜視図である。半導体構造3は、基板10と、埋め込み酸化膜12と、ソース140と、ドレイン160と、第1ゲート酸化膜18と、第1ゲート200と、チャンネル220と、ボディコンタクト部240と、半導体層260と、第2ゲート酸化膜280と、第2ゲート300とを備える。半導体構造3は、半導体構造2と類似した構造であるが、各構成の不純物の型が半導体構造2と反対である点で異なる。すなわち、半導体構造3の各構成に関し、ソース140は半導体構造2のソース14に対応し、ドレイン160は半導体構造2のドレイン16に対応し、第1ゲート200は半導体構造2の第1ゲート20に対応し、チャンネル220は半導体構造2のチャンネル22に対応し、ボディコンタクト部240は半導体構造2のボディコンタクト部24に対応し、半導体層260は半導体構造2の半導体層26に対応し、第2ゲート300は半導体構造2の第2ゲート30に対応する。ソース140とドレイン160は、P+である。ボディコンタクト部240は、N+である。半導体層260は、P-である。すなわち半導体構造3では、基板10、埋め込み酸化膜12、ソース140、ドレイン160、第1ゲート酸化膜18、第1ゲート200およびチャンネル220によって、P型のSOIMOSFETが形成される。また半導体構造3の各端子にかかる電圧は、半導

40

50

体構造 2 の各端子にかかる電圧と正負が逆となる。半導体構造 3 の各構成の位置や寸法は、半導体構造 2 の対応する各構成と類似する。

【0040】

半導体構造 3 でも半導体構造 2 と同様に、低ボディ電圧で S S サブスレッショルド勾配が得られる。従って、本実施形態によれば、低消費電力でスイッチング可能な半導体デバイスを実現することができる。

【0041】

上述の実施形態は、Si ベースの S O I M O S F E T を基本に構成された。しかしながら本発明はこれに限られず、ゲルマニウム (G e) やシリコンゲルマニウム (S i G e) などの他の半導体材料でも実現可能である。

10

【0042】

以上、本発明を上述の各実施の形態を参照して説明したが、本発明は上述の各実施の形態に限定されるものではなく、各実施の形態の構成を適宜組み合わせたものや置換したものについても本発明に含まれるものである。また、当業者の知識に基づいて各実施の形態における組合せや工程の順番を適宜組み替えることや各種の設計変更等の変形を各実施の形態に対して加えることも可能であり、そのような変形が加えられた実施の形態も本発明の範囲に含まれる。

【0043】

実施形態では、低消費電力でスイッチングが可能な M O S F E T の基本的な構造を例示した。しかしながら本発明はこれに限られず、例えば第 1 実施形態と第 2 実施形態を組み合わせ、C M O S (C o m p l e m e n t a r y M O S) やトランスマッションゲートを構成してもよい。

20

【0044】

これらの変形例は実施の形態と同様の作用、効果を奏する。

【0045】

上述した各実施形態と変形例の任意の組み合わせもまた本発明の実施形態として有用である。組み合わせによって生じる新たな実施形態は、組み合わせられる各実施形態および変形例それぞれの効果をあわせもつ。

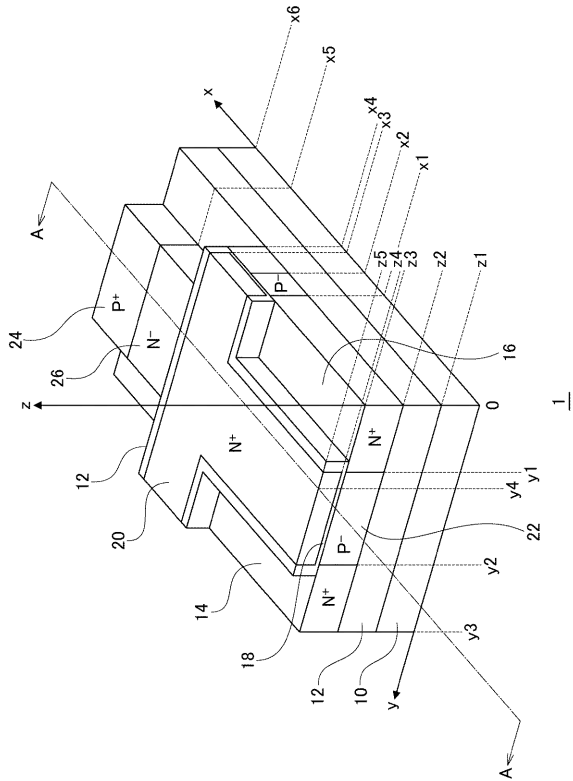
【符号の説明】

【0046】

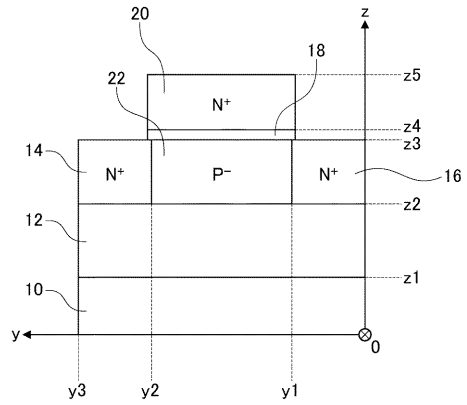
1・・・半導体構造、 2・・・半導体構造、 3・・・半導体構造、 10・・・基板、 12・・・埋め込み酸化膜、 14・・・ソース、 16・・・ドレイン、 18・・・第1ゲート酸化膜、 20・・・第1ゲート、 22・・・チャネル、 24・・・ボディコンタクト部、 26・・・半導体層、 28・・・第2ゲート酸化膜、 30・・・第2ゲート、 140・・・ソース、 160・・・ドレイン、 200・・・第1ゲート、 220・・・チャネル、 240・・・ボディコンタクト部、 260・・・半導体層、 280・・・第2ゲート酸化膜、 300・・・第2ゲート。

30

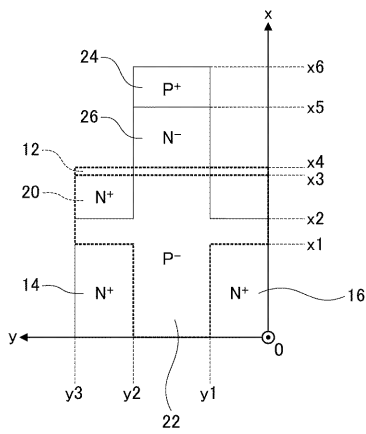
【 図 1 】



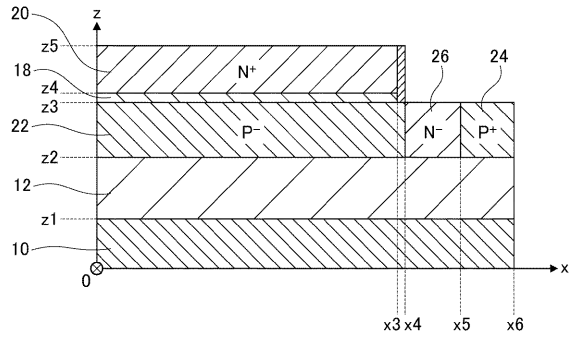
【 図 2 】



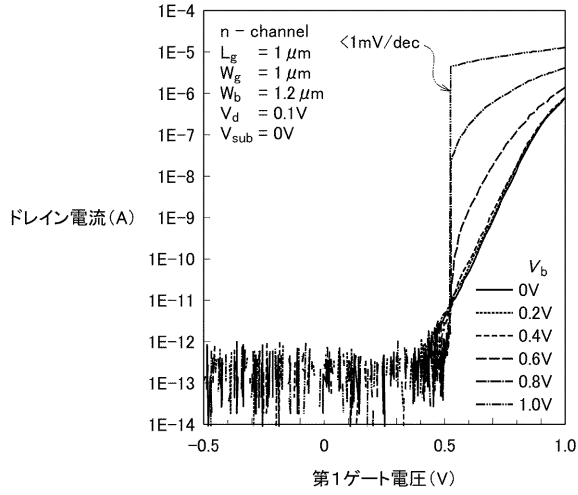
【 図 3 】



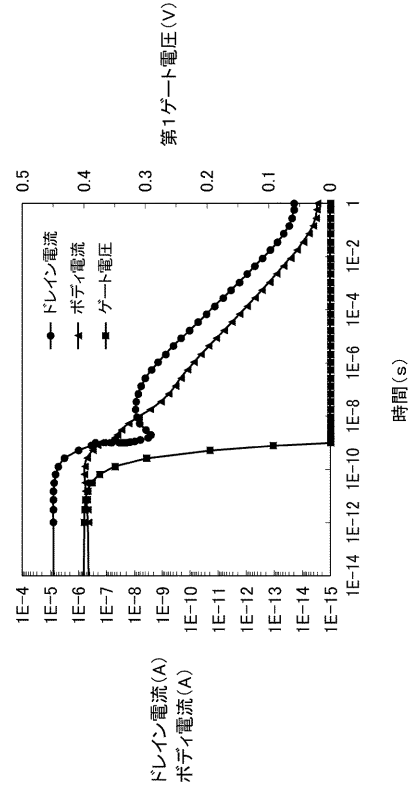
【 図 4 】



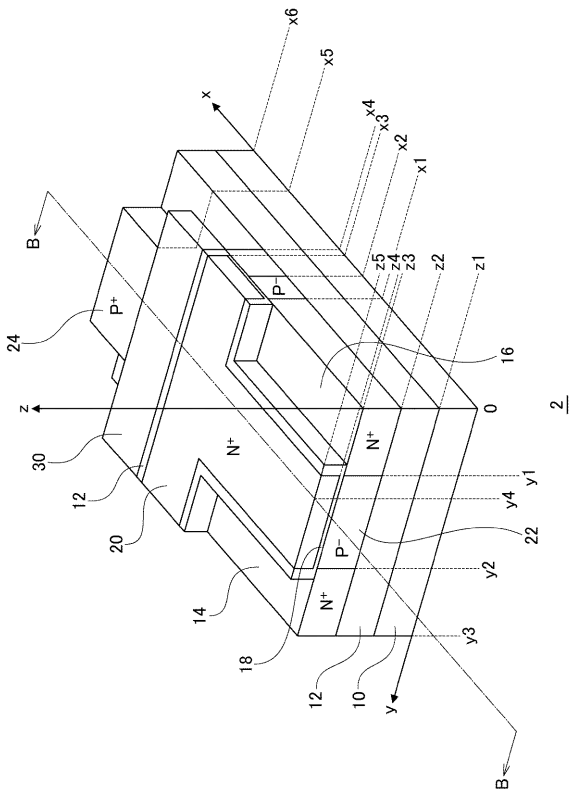
【 図 5 】



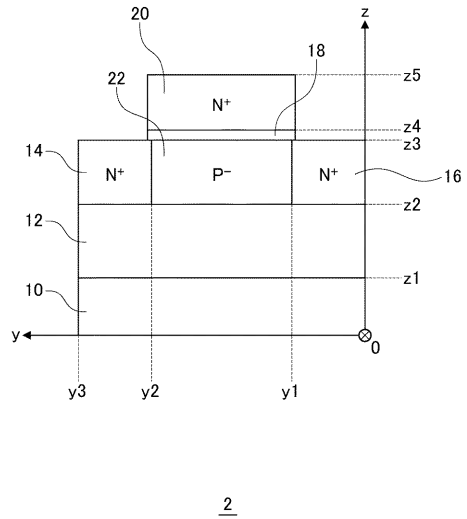
【 図 6 】



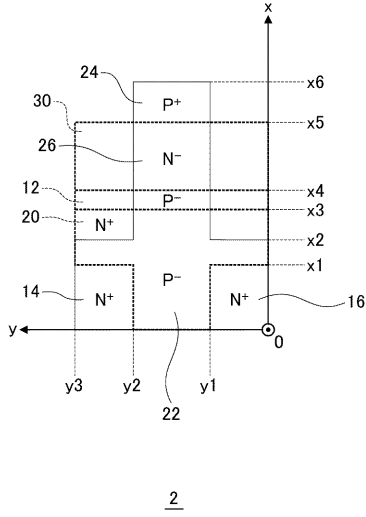
【 図 7 】



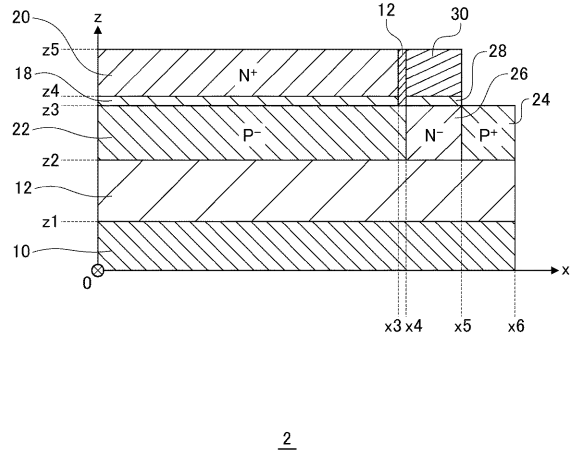
【 図 8 】



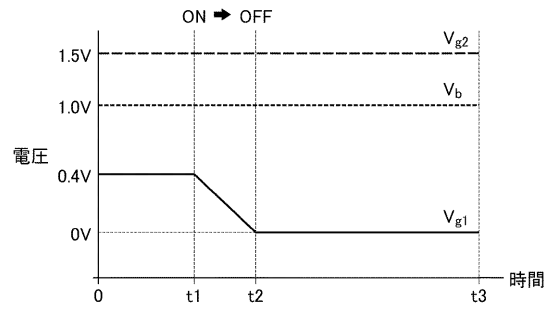
【図9】



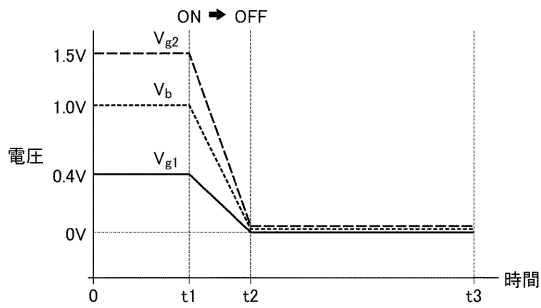
【図10】



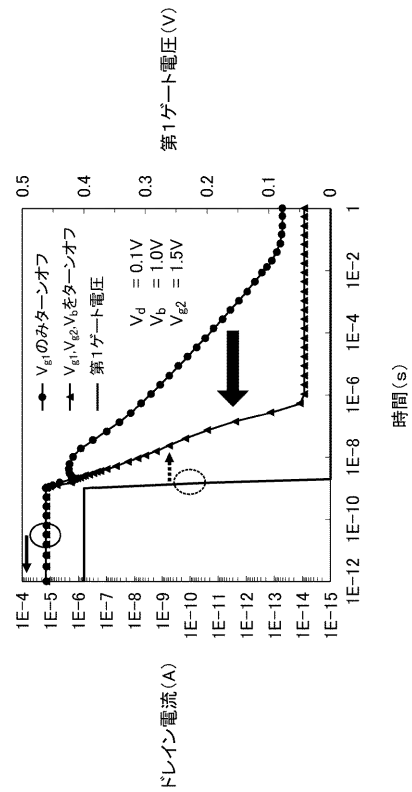
【図11】



【図12】



【図13】



【 図 1 4 】

