

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2020-524907
(P2020-524907A)

(43) 公表日 令和2年8月20日(2020.8.20)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	5 F O 3 3
HO 1 L 21/768 (2006.01)	HO 1 L 21/88 A	5 F O 3 8
HO 1 L 23/522 (2006.01)	HO 1 L 21/88 M	
HO 1 L 23/532 (2006.01)	HO 1 L 21/90 J	
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 D	

審査請求 有 予備審査請求 未請求 (全 41 頁) 最終頁に続く

(21) 出願番号 特願2019-570902 (P2019-570902)
 (86) (22) 出願日 平成30年6月21日 (2018. 6. 21)
 (85) 翻訳文提出日 令和2年2月17日 (2020. 2. 17)
 (86) 国際出願番号 PCT/US2018/038678
 (87) 国際公開番号 W02018/237106
 (87) 国際公開日 平成30年12月27日 (2018. 12. 27)
 (31) 優先権主張番号 62/523, 704
 (32) 優先日 平成29年6月22日 (2017. 6. 22)
 (33) 優先権主張国・地域又は機関
 米国 (US)

(71) 出願人 000219967
 東京エレクトロン株式会社
 東京都港区赤坂五丁目3番1号
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (72) 発明者 スミス, ジェフリー
 アメリカ合衆国 ニューヨーク州 122
 03, オールバニー, フラー ロード 2
 55, スイート 244, ナノファブ 3
 00 サウス

最終頁に続く

(54) 【発明の名称】 埋め込み型電力レール

(57) 【要約】

本開示の態様は、半導体デバイス及び半導体デバイスの製造方法を提供する。半導体デバイスは、分離トレンチ内に形成された電力レールを含む。電力レールは、誘電体キャップによって被覆され、誘電体キャップは、その上の導電パターン構造から電力レールを分離する。更に、導電パターン構造を電力レールと選択的に接続するために、誘電体キャップ内に開口が選択的に形成され、導電材料で充填される。

【選択図】 図1

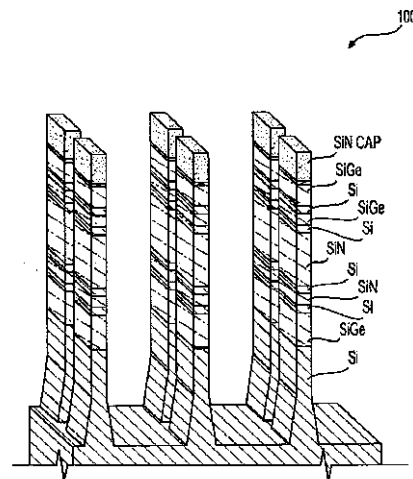


FIG. 1

【特許請求の範囲】

【請求項 1】

分離トレンチ内に形成された電力レールと、
前記電力レール上の誘電体キャップであって、前記電力レールを当該誘電体キャップの上の導電パターン構造から分離する誘電体キャップと、
前記誘電体キャップ内に選択的に形成された開口であって、導電パターン構造を前記電力レールと選択的に接続するように導電材料で充填されている開口と、
を含む半導体デバイス。

【請求項 2】

前記電力レールが前記分離トレンチ内部に形成される、請求項 1 に記載の半導体デバイス。 10

【請求項 3】

前記電力レールが前記分離トレンチを抜けてバルクシリコン基板の中まで形成される、請求項 1 に記載の半導体デバイス。

【請求項 4】

前記誘電体キャップ内に前記開口を生成するための自己整合を可能にするために、前記分離トレンチを形成する材料に対して前記誘電体キャップがエッチング選択性である、請求項 1 に記載の半導体デバイス。

【請求項 5】

前記誘電体キャップが、前記電力レールと前記分離トレンチ及び前記分離トレンチ内の酸化物との間の SiO₂ ライナーに対してエッチング選択性の材料である、請求項 4 に記載の半導体デバイス。 20

【請求項 6】

前記誘電体キャップが前記電力レールの上に選択的に堆積されている、請求項 4 に記載の半導体デバイス。

【請求項 7】

700 以上で熱的安定性を有する金属材料によって前記電力レールが形成される、請求項 1 に記載の半導体デバイス。

【請求項 8】

前記金属材料が高融点金属である、請求項 7 に記載の半導体デバイス。 30

【請求項 9】

前記金属材料がルテニウムを含む、請求項 7 に記載の半導体デバイス。

【請求項 10】

前記電力レールの抵抗率要件を満たすように前記電力レールのアスペクト比が既定される、請求項 1 に記載の半導体デバイス。

【請求項 11】

前記アスペクト比と共に前記電力レールの限界寸法幅が既定される、請求項 10 に記載の半導体デバイス。

【請求項 12】

レール開口を前記高融点金属で充填し、前記高融点金属を特定の深さまでエッチングバックすることによって前記電力レールが形成される、請求項 8 に記載の半導体デバイス。 40

【請求項 13】

半導体デバイスの製造方法であって、
分離トレンチ内に電力レールを形成することと、
誘電体キャップであって、当該誘電体キャップの上の導電パターン構造から前記電力レールを分離する誘電体キャップで前記電力レールを上面被覆することと、
前記誘電体キャップ内に開口を選択的に形成することと、
前記開口を導電材料で充填して、前記充填された開口を介して導電パターン構造を前記電力レールと選択的に接続することと、
を含む方法。 50

【請求項 14】

前記分離トレンチ内に前記電力レールを形成することが、
前記分離トレンチ内部に電力レールトレンチをエッチングすることと、
前記分離トレンチ内部に前記電力レールを形成することと
を更に含む、請求項 13 に記載の方法。

【請求項 15】

前記分離トレンチ内に前記電力レールを形成することが、
前記分離トレンチを抜けてバルクシリコン基材の中まで電力レールトレンチをエッチン
グすることと、
前記分離トレンチ及び前記バルクシリコン基材内に前記電力レールを形成することと
を更に含む、請求項 13 に記載の方法。

10

【請求項 16】

前記電力レールを前記誘電体キャップの上の前記導電パターン構造から分離するために
前記誘電体キャップで前記電力レールを上面被覆することが、
前記誘電体キャップ内に前記開口を生成するための自己整合を可能にするために、前記
分離トレンチを形成する材料に対してエッチング選択性である前記誘電体キャップで前記
電力レールを上面被覆することを更に含む、請求項 13 に記載の方法。

【請求項 17】

前記分離トレンチを形成する材料に対してエッチング選択性である前記誘電体キャップ
で前記電力レールを上面被覆することが、
前記電力レールと前記分離トレンチとの間の SiO₂ライナーに対してエッチング選択性
である前記誘電体キャップとして誘電体材料を選択的に堆積させることを更に含む、請求
項 16 に記載の方法。

20

【請求項 18】

前記分離トレンチ内に前記電力レールを形成することが、
700 以上で熱的安定性を有する金属材料を使用して前記電力レールを形成することを
更に含む、請求項 13 に記載の方法。

【請求項 19】

700 以上で前記熱的安定性を有する前記金属材料を使用して前記電力レールを形成
することが、
ルテニウムを使用して前記電力レールを形成することを更に含む、請求項 18 に記載の
方法。

30

【請求項 20】

ルテニウムを使用して前記電力レールを形成することが、
前記ルテニウムで前記分離トレンチ内のレール開口を充填することと、
前記ルテニウムを特定の深さまでエッチングバックすることと
を更に含む、請求項 19 に記載の方法。

【請求項 21】

前記分離トレンチ内に前記電力レールを形成することが、
2つのレール線を含む前記電力レールを形成することを更に含む、請求項 13 に記載の方
法。

40

【請求項 22】

前記2つのレール線を含む前記電力レールを形成することが、
前記分離トレンチ内のレール開口の側壁及び底部の上にスペーサ層を共形的に堆積させ
ることと、
前記レール開口を誘電体材料で充填することと、
レール開口の側壁に形成された前記スペーサ層を除去して2つのスペーサトレンチを形
成することと、
前記2つのスペーサトレンチをルテニウムで充填することと、
前記ルテニウムを特定の深さまでエッチングバックすることと

50

を更に含む、請求項 21 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

優先権の主張及び相互参照

この本開示は、2017年6月22日に出願された米国仮出願第62/523,704号「Method to Self-align Buried Power Rails and Below-device Wiring for Random and Non-random Logic Applications and Designs」の利点を主張するものであり、この仮出願は、その全体が参照によって本明細書に組み込まれる。

10

【0002】

本開示は、半導体デバイス及び製造プロセスに全体として関連した実施形態を記載する。

【背景技術】

【0003】

本開示は、集積回路ならびに集積回路用トランジスタ及びトランジスタ構成要素などの半導体デバイスの製造方法に関する。(特に顕微鏡的スケールの)半導体デバイスの製造において、様々な製造プロセスが実行される。例えば、膜形成堆積、エッチングマスク作製、パターニング、材料エッチング及び除去、ならびにドーピング処理などが、所望の半導体デバイス素子を基材上に形成するために繰り返し実行される。歴史的には、超微細加工により、トランジスタは、上部に形成された配線/金属皮膜と共に1つの平面内に作製され、従って2次元(2D)回路または2D構造として特徴付けられてきた。スケールアップ効果により、2D回路内の単位領域当たりのトランジスタ数が大幅に増加したものの、一桁ナノメートルの半導体デバイスの製造ノードにスケールアップが突入したため、スケールアップ効果はより大きな課題に直面している。

20

【発明の概要】

【0004】

本発明は、フィン電界効果トランジスタ(fin field effect transistor: FINFET)、ナノワイヤ、ナノシート、または相補型積層ナノワイヤ及び/またはナノシートのいずれかを組み込んだランダムロジックと非ランダムロジックとの両方のデバイス製造に関係する。スタンダードロジックセルにおいて、デバイス(例えば、トランジスタ)への電力は、バックエンドオブライン(back-end of line: BEOL)金属層内の電力レールを介してソース/ドレイン接点に供給される。電力レールは、通常、一般に東西方向と呼ばれる方向で各隣接セルを横切って走る。電力レールは複数のセルに電力を供給する必要があるため、電力レールは、セル内で使用されるスタンダードなルーティングトラック/信号線と比較して非常に大きいサイズ(例えば、より大きい幅)で実装されることが多い。通常、普通のルーティング線と比較した電力レールのサイズの違いは3~4倍の大きさとなり得るため、電力レールは、セルデザイン内で多大な領域を利用する。レールを介した抵抗を適切に維持して、IRドロップ及びデバイス内に供給されるために電力レールが必要とする周波数を含む適切な配電目標値を維持するためには、電力レールの限界寸法をより大きくすることが必要とされる。

30

40

【0005】

電力レールのサイズをより深く(例えば、アスペクト比をより高く)することによって電力レールの水平方向(幅)サイズを縮小することにより、効率的に電力レール内の全金属体積を同一に維持し、または増加させつつトップダウン断面をより小さくすること(例えば、金属線の幅をより小さくすること)を可能にする方式が考案されている。アスペクト比が増加すると、電力レール全体にわたって抵抗がより低くなる。これにより、IRドロップ及び電力レールが供給されるのに必要とする周波数を改善して維持することができ

50

る。単にBEOL内の電力レールのアスペクト比を増加させることは困難であることが多い。というのも、これは、信号線をデバイスに接続するためにより大きいアスペクト比のビア（例えば、より高いビア抵抗）を駆動することになる、あるいは、同様に同程度のアスペクト比を有する信号線を必要とすることによりBEOL内のトラック間の容量が増大することになるためである。1つの方式は、物理デバイス（例えばトランジスタ）の下に電力レールを「埋め込む」、または位置付けることを含む。この場合、電力レールのアスペクト比は、BEOL内の信号線とは別に増加させることができ、これにより、BEOL内の抵抗によっても容量によっても悪影響を及ぼすことなく電力レールを介した抵抗を大幅に小さくする手段が提供される。この方法では、従来のブルダウン方式によるものとは対照的なボトムアップ方式によって金属接点に電力が供給される。

10

【0006】

物理デバイスの下に電力レールを埋め込むことによりセルのフィート数を減少させることができる。例えば、一般に、セルは、スタンダードセルレイアウトライブラリにおいて一定高さ・可変幅セルとして実現される。高さを一定にすることにより、セルを複数列に配置することが可能になり、自動レイアウトデザインのプロセスが容易になる。列方向は東西方向と呼ばれる方向であり、東西方向に対して垂直である方向は南北方向と呼ばれる。この命名規則によれば、M0は、一般に東西方向に走る線を含むことになり、他方、M1は、南北方向に走る線を有することになる。後続の金属層は、直前の金属層に対して垂直に走るようになる。

20

【0007】

物理デバイスの下に電力レールを埋め込むことにより、スタンダードセルのセルの高さを電力レールとルーティングトラックとの組み合わせではなく単にルーティングトラックまたは信号線の数によって定義することができる。これにより、実際のルーティングトラックの数が同一である場合でも、この概念の採用によって（電力レールの幅がルーティングトラック線の幅に等しい、または2もしくは3倍であると仮定して）6.0~6.5ルーティングトラック（6.5T）のセルの高さから5.0ルーティングトラックのセルの高さにまで容易にスケールダウンすることが可能になる。

【0008】

（南北方向の）隣接セルからVssまたはVddのいずれかに接続することは、共通の電力レールに沿って行うことができる。一実施例において、電力レール（例えば、Vdd）は、スタンダードセルの上段とスタンダードセルの下段との間の下方に位置する。電力レールは東西方向に走る。上段のセルは北向きであり、下段のセルは南向きであり、例えば、電力レールをVdd電源として共通に使用することができる。電力レールは、上段の北向きのセルによってタップ付けすることができ、同様に隣接する下段の南向きのセルによってタップ付けすることができる。大きい非埋め込み型レールの場合、これは、両方の接続を行うのに十分な空間がレール上に存在するために適合可能であり、それらの接続は、ビアがレールを介して下の金属ドレイン（メタライゼーションのためのチャンネルまたはトンネルなど）に転写されるトップダウンの集積化方式でなされる。従って、リソグラフィまたはパターニングのいずれかでなされる任意の整合が、エッチングプロセスによって直接転写される。しかしながら、埋め込み型レールの実施形態に関しては、抵抗の仕様を満たすのにどの程度の大きさのアスペクト比が必要とされるかに応じて、電力レールは、シャロートレンチアイソレーション（shallow-trench isolation：STI）の中に、またはバルクシリコンとSTIとの両方の中に封止される場合がある。置換金属ドレインの酸化物充填によって下に接続すること、ならびに金属レール及び物理的にレールに隣接したSTI以外に載置することは実行困難であり得る。配置誤差が生じると、レールに金属が余計に充填されることになる。その理由は、そのプロセスの次のステップにおいて、埋め込み型レールに接続した後に金属ドレインをメタライゼーションするためである。逆に、特にレールと金属ドレインとの間の接続が12nm未満のサイズであるデザインにおいて、電力レールに対して不十分な接続がなされる配置誤差が生じると、重大な抵抗ペナルティが発生する。

30

40

50

【0009】

南北方向の隣接する2つのセルからの2つのソース/ドレイン接点が、共通の電力レールから引き下ろされている場合、両方のスタンダードセル間のソース/ドレイン接点または電極を実際には共有することができる。これにより、ビア接続の配置において、(a)ビア抵抗を改善するために直径を大きくすること、及び(b)電力レールの幅の範囲内で任意の場所に配置することが可能となる。従って、エッジ配置誤差(edg e - p l a c e m e n t e r r o r : E P E)がある程度緩和される。

【0010】

能動デバイスの下に電力レールを埋め込む集積化によって更なるいくつかの課題が生じる。これらの問題は、使用されるレールのサイズ、埋め込み型レールが実装される集積化プロセスシーケンス中の位置、シリコンまたはSiGeフィン構造(またはナノシートゲートオールアラウンド(g a t e - a l l - a r o u n d : G A A)プロセスで使用されるSi/SiGeフィン超格子)に近接した埋め込み型電力レールの配置、これらのレールがタップ付けされる箇所(単一のスタンダードセル内と南北方向の2つの隣接セル間との両方)の密度及び位置、レールのメタライゼーション及びそれに続く金属ドレインへの接続のために必要とされる任意の関連ライナーと併せて埋め込み型レールのために使用される金属、ならびに集積化において埋め込み型電力レールを作る方法及び場所に対する熱制約を含むいくつかの要因によっても影響を受ける。

10

【0011】

本明細書の例示的な実施形態は、主として埋め込み型電力レールへの適用を説明することに焦点を当てている。しかしながら、この適用は非限定的である。本明細書の実施形態は、ルーティング線またはローカル相互接続線もしくはセル間相互接続線などの、物理デバイスの下に存在するあらゆる裏面配線、ならびにウェーハの後部から直接電力レールを供給している埋め込み型配電網を対象とするように拡張することができる。

20

【0012】

現在のところ、物理デバイスの下端部に対してなされるあらゆる配線を自己整合させる方法は存在しない。これは、配線が埋め込み型電力レール、メモリ用の埋め込み型ワード線、埋め込み型相互接続線、埋め込み型ルーティング線、ロジック用の埋め込み型セル間配線などを含むかどうかを問わない。

30

【0013】

本明細書に開示された複数の自己整合方法が可能となることにより、現在の6.5Tから下の5Tまで、または、相補型FETを積層させたナノシートアーキテクチャなどの他のスケールリング概念に関連して実施される場合には更に下までも、ロジックデザインのセルの高さを大幅にスケールリングすることができ、後者の場合、4Tまたは更には3Tのセルの高さが、埋め込み型電力レールと共に実現可能となる。これは、セル自体を次々と積層可能である機構をも最終的に提供する。いくつかの実施例において、相補型積層ナノシート(NMOS上にPMOS)が開示される。このような積層デバイスは、埋め込み型の裏面配線の本明細書の実施形態と共に使用することにより、配置または線及び/または他の配線が、現在のメタライゼーション方法のまま、物理デバイスの下、複数の物理デバイスの中間、ならびに物理デバイスの上のいずれかでなされ得る複数セルの積層化にまで拡張することができる。

40

【0014】

当然のことながら、本明細書で説明した種々のステップを議論する順序は、分かりやすくするために提示されている。一般に、これらのステップは、あらゆる適切な順序で実行することができる。加えて、本明細書の種々の特徴、技術、構成などのそれぞれが本開示の種々の箇所で議論されている場合があるが、各概念は、互いに独立して、または互いに組み合わせて実行できることが意図される。従って、本発明は、多くの異なる方法で具現化及び表現することができる。

【0015】

本開示の態様は、半導体デバイスを提供する。半導体デバイスは、分離トレンチ内に形

50

成され、必要に応じて下方に延びてバルクシリコン内に達する電力レールを含む。電力レールは、高k金属ゲート(h i g h - k m e t a l g a t e : H K M G)、ゲート電極、及び更にはソース/ドレイン電極から電力レールを分離するために、誘電体キャップによって、または別に堆積させたS T I 酸化物によって被覆される。更に、誘電体キャップ内に開口を形成し、それを導電材料で充填して、ソース/ドレイン電極を電力レールと選択的に接続することができる。

【0016】

本開示の態様は、半導体デバイスの製造方法を提供する。方法は、分離トレンチ内に、必要に応じて下方に延びてバルクシリコン内に達する電力レールを形成することを含む。更に、方法は、電力レールを誘電体キャップで上面被覆して誘電体キャップの上の導電パターン構造から電力レールを分離することを含む。次いで、方法は、誘電体キャップ内に開口を選択的に形成し、この開口に導電材料を充填して、充填された開口を介して導電パターン構造を電力レールと選択的に接続することを含む。誘電体キャップ材料を周囲のS T I 酸化物とは別にすることにより、電力レールをソース/ドレイン電極に接続する構造を介して形成するときを選択的にエッチングすることによって自己整合のいくつかの手段を提供することができる。このキャッピング材料の堆積は、(a) 従来の充填、C M P 及びリセスプロセス、またはより好ましくは、(b) 埋め込み型金属レールの上部表面にキャップ材料が選択的に堆積される選択堆積プロセスのいずれかによって行うことができる。

10

【0017】

本開示の態様は、添付図面と併せて読まれるときに以下の詳細な説明から最も良く理解される。なお、業界の標準的慣行に従って、各種特徴は縮尺に合わせて描かれたものではない。実際には、各種特徴の寸法は、議論を分かりやすくするために任意に拡大または縮小される場合がある。

20

【図面の簡単な説明】

【0018】

【図1】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

【図2】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

30

【図3】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

【図4】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

【図5】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

【図6】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

【図7】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

40

【図8】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

【図9】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

【図10】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

【図11】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

【図12】本開示のいくつかの実施形態に係る半導体製造プロセス中の中間段階の各種概略図を示す。

50

【図38】本開示のいくつかの実施形態に係る埋め込み型電力レールを形成するための中間段階の各種概略図を示す。

【図39】本開示のいくつかの実施形態に係る埋め込み型電力レールを形成するための中間段階の各種概略図を示す。

【発明を実施するための形態】

【0019】

以下の開示は、提供される主題の種々の特徴を実装するために、多くの異なる実施形態または実施例を提供する。本開示を単純化するために、構成要素及び配置の特定の実施例について後述する。当然のことながら、これらは、単なる実施例であり、限定を意図するものではない。例えば、後続する説明において第2の特徴の上方に、または第2の特徴の上に第1の特徴を形成することは、第1の特徴と第2の特徴とが直接接触して形成される実施形態を含んでもよく、第1の特徴と第2の特徴とが直接接触し得ないように更なる特徴が第1の特徴と第2の特徴との間に形成され得る実施形態をも含んでもよい。加えて、本開示は、各種実施例において参照番号及び/または文字を繰り返す場合がある。この繰り返しは、単純かつ明確にするためであり、記載される各種の実施形態及び/または構成の間の関係をそれ自体規定するものではない。

10

【0020】

更に、「下方(beneath)」、「下(below)」、「下方(lower)」、「上(above)」、「上方(upper)」などの空間的に相対的な用語は、図面で示されるような、ある要素または特徴の別の要素(複数可)または特徴(複数可)に対する関係を記述するための説明を容易にするために本明細書で使用され得る。空間的に相対的な用語は、図面に示された方向に加えて、使用中または動作中のデバイスの種々の方向を包含するように意図される。それ以外の場合、装置は、(90度回転させて、または他の方向に)方向付けられてもよく、従って、本明細書で使用される空間的に相対的な記述語も同様に解釈され得る。

20

【0021】

本明細書の開示は、埋め込み型電力レールの自己整合方法をランダムロジックセルと非ランダムロジックセルとの両方に提供する。埋め込み型電力レールは、所与のロジック集積化フロー:(a)スタンダードフィン電界効果トランジスタ(fin field effect transistor:FINFET)プロセスの場合はバルクシリコンの直接上、(b)SiGe P型金属酸化物半導体(P-type metal-oxide-semiconductor:PMOS)チャネルプロセスの場合はバルクシリコンの上のSiGeエピタキシー膜の直接上、(c)ナノワイヤ及び/またはナノシート処理の場合はSi/SiGe多層スタックの直接上、または(d)フィンFETもしくはSi/SiGeフィンスタックがパターン化され、STI酸化物で充填された後、に挿入するための複数の位置を有する。

30

【0022】

一般に、パターン密度を均一化して均一な処理環境を構成するために、ダミーフィンパターンがレイアウトにおいて追加される。処理中、例えば、ダミーフィンパターンは、個々のフィンFETデバイスを互いに隔離するために分離領域が最終的に形成される空間のためのスペースを作るために、または該スペースを画定するために、ある特定の時点にて除去される。ダミーフィンパターンの除去はフィンカット(FIN cut)と呼ばれる。ダミーフィンパターンの除去は、例えば、フィンエッチングをマスクングするためのハードマスク層内のダミーパターンを除去することにより、フィンエッチングプロセスの前に生じ得る。これは、CUTファースト方式と呼ばれる。ダミーフィンパターンの除去は、フィンエッチングプロセスの途中に生じ得る。これは、CUTミドル方式と呼ばれる。ダミーフィンパターンの除去は、フィン形成の後に生じ得る。これは、CUTラスト方式と呼ばれる。CUTラスト方式は、プロセス均一性を改善することができる。

40

【0023】

用途(a)、(b)及び(c)のために埋め込み型レールを形成する場合、レールは、

50

S i、S i G e、または積層 S i / S i G e フィンの任意のパターニングの前において一定距離にパターン化及びエッチングすることができる。従って、バックエンドオブライン (B E O L) のためのデュアルダマシシ法と類似の方法などで、完全なレールの深さがフィンエッチングプロセス中に転写される。この方式により、フィンエッチングプロセスを、先端技術のために半導体製造業者によって現在支持されている C U T ラストではなく、C U T ミドルまたは C U T ファーストのいずれかで行うことができる。

【 0 0 2 4 】

フィン C U T ラスト方式は、埋め込み型レールの深さ及び形状を歪ませる場合がある。同様に、抵抗制御を維持するために重要となる、深い狭いレールを形成する場合、これは、パターン化されたフィンに隣接するレールの間に非常に限定された空間を有する深いトレンチを残し得るが、これにより、物理的な電力レールのサイズ及び/または形状に何らかの歪みが生じ得る。これにより、電気的パラメータに等しく関わる問題が起きる場合がある。加えて、フィン F E T 用途の場合、バルクシリコンは、電力レール及び隣接するフィンの形成後、いくつかの注入ステップに影響される場合があり、バルクシリコン内にエッチングされるレールに接した領域内への注入特性を制御することは困難である。このような集積化方式は可能であり、今説明してきたが、実施態様においていくつかの制限を有する。フィンエッチング及び S T I 充填 / C M P の後に埋め込み型レールがパターン化される選択肢 (d) の場合、これは、埋め込み型電力レールを組み込むための好ましい実施形態である。

【 0 0 2 5 】

この実施形態において、埋め込み型レールは、S T I 酸化物の上部にパターン化され、S T I 酸化物の深さの範囲内で適切に停止するか、または S T I 酸化物の深さを完全に超えてバルクシリコン内に及ぶかのいずれかで、S T I 酸化物を介して転写される。バルクシリコン内への電力レールの最終的な深さは、埋め込み型レールの所望のアスペクト比に依存し、通常、I R ドロップ、電力をレールに伝達及び供給する周波数、ならびに電力をレールに供給する周波数に対するデザインルール適合性及びこの周波数とルーティングの観点からのエリアスケールリングに対するその影響とに基づいた上部金属層のルーティングの影響などの配電網の仕様を満たすために、使用される金属の選択及び埋め込み型電力レールに要求される抵抗によって決められる。広い (ルーティング線と比較して 1 . 5 T ~ 4 T の広いレール) 電力レールの場合、このトレンチのアスペクト比は 2 . 5 ~ 5 . 0 のオーダーである。深く狭いレールは、更なる利点を有し得るが、最大 3 倍のアスペクト比、すなわち 7 . 5 ~ 1 5 . 0 を有する。このエッチングプロセスにより、非常に薄い (1 2 n m 未満) S T I 酸化物が生じる。これは、S T I 内の埋め込み型電力レールの意図された深さと同程度の深さである場合がある。これらの狭いトレンチをフィン間に充填した酸化物内に転写する際の課題には、埋め込み型電力レール間の空間の倒壊マージン (t o p p l e m a r g i n) 及び歪みが含まれる。これは、寄生要素にとって重要である。

【 0 0 2 6 】

いくつかの実施形態において、自己整合プロセスにより、狭い埋め込み型レールを形成することができる。例えば、1 . 5 T ~ 4 T の電力レールのサイズを有する最初のトレンチが S T I 中にエッチングされる。埋め込み型電力レールの意図された深さに一旦達すると、エッチング選択膜をトレンチ内に共形的に堆積させてトレンチの両側に「スペーサ」を形成することができる。次いで、このエッチング選択材料は、トレンチの最下部における共形堆積を除去するために通常の「スペーサ開口」エッチングを経ることにより、広いトレンチの側壁に沿ったエッチング選択材料のみを残すことができる。次いで、酸化物または他の誘電体ライナー及び/または充填材料を、トレンチの残部に充填するために選択することができる。次いで、(C M P などによって) 平坦化し、または乾式もしくは湿式で下方に陥凹 (リセス化) させて、「 A / B 」母材を露出させる。ここで、A は S T I 酸化物または充填酸化物であり、B はトレンチ内のエッチング選択材料である。次いで、非攻撃的エッチングプロセスを利用してエッチング選択材料「 B 」を掘削することができる。

これにより、2つの同一トレンチが形成される。2つのトレンチは、これらが共に単一の共形堆積プロセスによって当初から形成されたために同一となる。2つの隣接する狭いトレンチの間の酸化物が倒壊することを防止する低アグレッシブエッチングプロセスが多数存在する。こうしたプロセスの1つに、化学的酸化物除去 (chemical oxide removal: COR) 気相エッチングがある。これは、100対1に至る選択性を実現することができる。加えて、他の準原子層エッチング (Atomic Layer Etching: ALE)、ならびに湿式及び/または乾式エッチングもある。

【0027】

一旦、自己整合されたトレンチを形成して隣接する埋め込み型レールを生成すると、次いで、電力レールをメタライゼーションすることができる。

10

【0028】

埋め込み型電力レールのためのメタライゼーションの選択は、集積化フローにおいて、レールが形成され、メタライゼーションされる箇所に影響を与える。S/Dエピ上にスパイクアニールが実行される前に埋め込み型レールを適切に形成し、メタライゼーションする場合、金属は、酸化物に対して非常に良好な熱特性を有する必要がある。例えば、金属は、金属ゲートに使用される膜の任意の堆積温度はもとより、700 ~ 1100 の範囲に及ぶ場合があるスパイクアニール温度下で安定であり得ることが必要である。埋め込み型レールが金属ゲート堆積及びS/Dスパイクアニールの前に配置される実施形態の場合、これにより、銅 (450 未満の熱的安定性)、コバルトまたはアルミニウムなどの金属の使用が排除される。いくつかの実施形態において、ルテニウムは、酸化物と比較して優れた熱的安定性を有することを考えると、埋め込み型電力レールをメタライゼーションするために集積化のこの時点で選択可能であり、ボトムアップ堆積プロセスを利用して深いトレンチ内に堆積させることもできる。

20

【0029】

本開示の態様によれば、本明細書の技術は、リセス化されたルテニウム (または任意の他の材料) の上方にエッチング選択キャップを使用することによる電力レールの金属ドレインに対するボトムアップ自己整合を含む。いくつかの実施形態において、金属上誘電体 (dielectric on metal: DoM) を堆積させるための選択堆積プロセスを利用してキャップを形成する。ルテニウムの場合、キャップは、(a) 誘電体である、かつ電力レールとレールの上に位置する金属ドレインとの間の真の誘電体となるのに十分なサイズを有すること、または (b) 接しているSTI酸化物もしくは誘電体ライナーに対してエッチング選択性であること、(c) 電力レールと任意のオーバーハングしたゲート電極との間の誘電体であること、ならびに (d) 誘電体キャップの高さが、埋め込み型電力レールの上部に対するHKMG及びゲート電極の最終的な配置を実質的に定めること、及び電力レールとゲート電極との間の容量を制御するためにこの堆積量を制御可能であること、が可能である。キャップのエッチング選択特性を採用することにより、金属ドレインが開口される時、自己整合エッチングプロセスを確実に用いることができる。その場合、埋め込み型電力レールと任意のシリコンまたはSi/SiGeフィン構造との間の物理的隔離を適切に制御する必要もあるため、埋め込み型レールの軸に沿ってSTI酸化物を更に開口させずにキャップを開口することができる。これは、金属ドレイン全体が埋め込み型電力レールに対してキャップを開口し、タップが最初の埋め込み型レールトレンチと同じ同一のサイズとなるように制御することも可能にする。このサイズは、トレンチ内に更に堆積されるライナーを引いた埋め込み型電力レール自体のサイズとも同一である。これにより、使用される金属ドレインのサイズを完全に自由にすることができる。これは、ピンアクセスが制限されるエリアスケールデバイスにとって有益である。

30

40

【0030】

本明細書のいくつかの実施形態の詳細な説明において、金属充填は、フィンエッチングの後に実行され、最後のSTI充填に後続するものとみなされ、フィン構造の上部に達するまで下方に研磨される。例示的な実施形態は埋め込み型電力レールに焦点を当てているものの、本明細書の技術は、物理デバイスの下に存在するルーティング線またはローカル

50

相互接続線またはセル間相互接続線などのあらゆるバックサイド配線を対象とするように拡張することができる。

【0031】

以下の例示的な実施形態は、相補型積層ナノシートデバイス (complementary stacked nanosheet device: CFET) のためのプロセスフローを例示する。集積化プロセスフローは、フィンFET、水平積層ナノワイヤ及び/またはナノシート、ならびにSiGeチャネルフィンFETデバイスの製造に使用する場合と類似していることに注意されたい。

【0032】

リセス化されたルテニウムの上方にエッチング選択キャップを使用することによって電力レールを金属ドレインに対してボトムアップで自己整合させることを利用する半導体プロセスについて、図1～図14を参照して説明する。

【0033】

図1は、いくつかの実施形態に係る半導体製造プロセス中の半導体デバイス100の一部の概略図を示す。図1の実施例において、Si/SiGeフィンエッチングが完了し、パッド酸化物/SiNキャップがフィンの上部に残されている。この特定の状況において、フィンエッチングは、フィンエッチングプロセスの前に既に行われている。これは、STIの下シリコンがフィンの間の領域内で「平坦である」とみなされることを意味する。フィンCUTラスト方式を用いると、ダミーフィンは、フィン間のシリコン内に深い凹みを提供するこのステップの前にエッチングされる。これにより、埋め込み型電力レールの形成がより問題となる。従って、埋め込み型電力レールをこの例の集積化に組み込むために、フィンCUTファーストまたはフィンCUTミドル方式を採用してフィンパターンを画定することが好ましい。以下の図面は、例示的な結果を示す。

【0034】

図2は、酸化物を堆積させ、CMPでSi/SiGeフィン構造の上部まで戻すことによってシャロートレンチアイソレーション(STI)がなされた後の半導体デバイス100の概略図を示す。

【0035】

図3は、フォトレジスト層内にレールトレンチのためのパターンを生成した後の半導体デバイス100の概略図を示す。図3の例では、多層フォトリソグラフィスタックを使用してパターンを転写する。多層フォトリソグラフィスタックは、スピンオンカーボン(spin-on carbon: SOC)の下層、Si含有反射防止コーティング(Si-containing anti-reflective coating: SiARC)の中間層、及び上層のフォトレジストを含む。一例において、フォトレジスト内のパターンは、中間層SiARC及び下層SOCに最初に転写される。次いで、中間層SiARC及び下層SOC内のパターンが、例えば、レールトレンチエッチングにより、下方に転写されてSTI酸化物に達する。

【0036】

図4は、埋め込み型レールトレンチエッチング後の半導体デバイス100の概略図を示す。埋め込み型レールトレンチは、STI酸化物の上部にパターン化され、例えば、エッチングによってSTI酸化物中に転写されることに注意されたい。一例において、パターンの転写は、STI酸化物の深さの範囲内で適切に停止する。別の一例において、パターン転写は、STI酸化物の深さを完全に超えてバルクシリコン内に及ぶまでエッチングする。広い(ルーティング線と比較して1.5T~4Tの広いレール)電力レールの場合、このトレンチのアスペクト比は、2.5~5.0のオーダーである。深くて狭いレールは、最大3倍のアスペクト比、すなわち7.5~15.0を有し得る。このエッチングプロセスにより、非常に薄い(12nm未満)のSTI酸化物が生じる。これは、STI内の埋め込み型電力レールの意図された深さと同程度の深さである。これらの狭いトレンチをフィン間に充填した酸化物内に転写する際の課題には、埋め込み型電力レール間の空間の倒壊マージン及び歪みが含まれる。以下の図面は、例示的な結果を示す。

10

20

30

40

50

【 0 0 3 7 】

フィン F E T 用途において、バルクシリコンは、高濃度にドーピングすることができ、レールを完全に S T I 内に保持することが好ましい場合がある。しかしながら、深いレールを S T I 内に保持するは、フィンの最初の高さを従来作製されるものよりも非常に大きくさせる。通常、フィン F E T の場合、フィン寸法は 7 5 A 前後に達するため、この例の実施形態において、フィンのアスペクト比は、1 5 - 1 を超えて十分に拡大される場合があり、2 0 - 1 に迫る場合もある。これは極めて攻撃的であり、フィン形状に歪みをもたらす傾向があるため、いくつかの実施形態では埋め込み型レールをシリコン内まで掘ることが好ましい場合がある。一実施形態において、狭い埋め込み型レールを自己整合プロセスによって形成することができる。その場合、最初のトレンチは、S T I を介してエッチングされるが、より一般的な 1 . 5 T ~ 4 T の電力レールのサイズである。

10

【 0 0 3 8 】

下方に延びてバルクシリコンに達する埋め込み型レールトレンチの実施形態において、埋め込み型レールは、バルクシリコン内へのパターンの転写後のトレンチ内への共形的 (コンフォーマル) 誘電体堆積により、バルクシリコンから物理的に分離される利点を得る。

【 0 0 3 9 】

図 5 は、原子層堆積 (a t o m i c l a y e r d e p o s i t i o n : A L D) S i O 2 ライナーなどのライナーを堆積させた後の半導体デバイス 1 0 0 の概略図を示す。

20

【 0 0 4 0 】

埋め込み型電力レールの意図された深さに一旦達すると、エッチング選択膜をトレンチ内に共形的に堆積させてトレンチの両側に「スペーサ」を形成することができる。次いで、このエッチング選択材料は、通常の「スペーサ開口」エッチングを経ることにより、トレンチの最下部における共形堆積を除去し、広いトレンチの側壁に沿ったエッチング選択材料のみを残すことができる。

【 0 0 4 1 】

本明細書の一実施形態において、狭い埋め込み型レールを、自己整合プロセスによっても形成することができる。その場合、最初のトレンチは、S T I 中にエッチングされるが、より一般的な 1 . 5 T ~ 4 T の電力レールのサイズである。埋め込み型電力レールの意図された深さに一旦達すると、エッチング選択膜をトレンチ内に共形的に堆積させてトレンチの両側に「スペーサ」を形成することができる。

30

【 0 0 4 2 】

図 6 は、エッチング選択膜 (例えば、A L D 犠牲膜) を堆積させた後の半導体デバイス 1 0 0 の概略図を示す。

【 0 0 4 3 】

次いで、このエッチング選択材料は、トレンチの最下部における共形堆積を除去するために通常の「スペーサ開口」エッチングを経ることにより、広いトレンチの側壁に沿ったエッチング選択材料のみを残すことができる。次いで、酸化物または他の誘電体ライナー及び / または充填材料を使用して、トレンチの残部を充填し、平坦化 (例えば、C M P) させ、または乾式もしくは湿式で下方に陥凹させて、「A / B」母材を露出させる。ここで、A は S T I 酸化物または充填酸化物であり、B はトレンチ内のエッチング選択材料である。

40

【 0 0 4 4 】

図 7 は、酸化物充填後の半導体デバイス 1 0 0 の概略図を示す。

【 0 0 4 5 】

更に、次いで、非攻撃的エッチングプロセスを利用して、エッチング選択材料「B」を掘削することができる。これにより、2 つの同一トレンチが形成される。

【 0 0 4 6 】

図 8 は、2 つの同一トレンチが形成された後の半導体デバイス 1 0 0 の概略図を示す。

【 0 0 4 7 】

50

実施形態において、2つのトレンチは、これらが共に単一の共形堆積プロセスによって当初から形成されたために同一になり得る。2つの隣接する狭いトレンチの間の酸化物が倒壊することを防止する低アグレッシブエッチングプロセスが多数存在する。こうしたプロセスの1つに、化学的酸化物除去(COR)気相エッチングがある。これは、100:1に至る選択性を実現することができる。加えて、他の準原子層エッチング(ALE)、ならびに湿式及び/または乾式エッチングもある。以下の図面は、例示的な結果を示す。

【0048】

次に、一例において、埋め込み型電力レールのために使用される金属及び/またはライナーでトレンチの底部が充填される。埋め込み型電力レールのための金属被覆の選択は、集積化フローにおいて、レールが形成され、メタライゼーションされる箇所に基づいている。S/Dエピ上にスパイクアニールがなされる前に埋め込み型レールを適切に形成し、メタライゼーションする場合、金属は、酸化物に対して非常に良好な熱特性を有すること、特に、金属ゲートに使用される膜の堆積温度はもとより、700~1100の範囲に及ぶ場合があるスパイクアニール温度下で安定であり得ることが必要である。埋め込み型レールが金属ゲート堆積及びS/Dスパイクアニールの前に配置される実施形態の場合、これにより、銅(450未満の熱的安定性)、コバルトまたはアルミニウムなどの金属の使用が排除される。しかしながら、ルテニウムは、酸化物と比較して優れた熱的安定性を有することを考えると、埋め込み型電力レールをメタライゼーションするために集積化のこの時点で選択可能であり、ボトムアップ堆積プロセスを利用して深いトレンチ内に堆積させることもできる。しかしながら、ルテニウムなどの金属が使用された場合、これにより、ルテニウムの抵抗率及びそれによって生じる抵抗のため、埋め込み型電力レールが1.5T~4Tのサイズのレールではなく狭いレールになる。狭い電力レールにボトムアップで接続することがより困難となるため、いくつかの実施形態において、金属ドレインへの接続を自己整合させることができる。以下の図面は、例示的な結果を示す。

【0049】

図9は、ルテニウムでトレンチの底部を充填した後の半導体デバイス100の概略図を示す。一実施例において、ルテニウムは、トレンチ及び表面を覆って充填され、トレンチの底部までエッチングバック(陥凹)される。

【0050】

本明細書の技術は、リセス化されたルテニウム(または任意の他の金属)の上方にエッチング選択キャップを使用することによって電力レールを金属ドレインに対してボトムアップで自己整合させることを含む。置換法によって電力レールが作製されるとき、S/Dスパイクアニールの後、または実際の金属ドレインメタライゼーションの最中にメタライゼーションが実行され得ることに注意されたい。ルテニウムの場合、キャップは、(a)誘電体である、かつ電力レールとレールの上に位置する金属ドレインとの間の真の誘電体となるのに十分なサイズを有すること、または、(b)接しているSTI酸化物または誘電体ライナーに対してエッチング選択性であること、が可能である。

【0051】

図10は、エッチング選択キャップが凹型ルテニウムの上方に形成された後の半導体デバイス100の概略図を示す。

【0052】

次いで、埋め込み型レールトレンチの残部をSTI酸化物または他の誘電体で充填した後、フィン構造の上部に達するまで下方に研磨する。

【0053】

図11は、STI酸化物を充填し、下方に研磨した後の半導体デバイス100の概略図を示す。

【0054】

次に、STIリセスエッチングプロセスを実行して、相補型積層ナノシートのための本実施例の場合、アクティブなフィンの底部またはSiGeに達するまでSTIを下げるることができる。STIエッチングは、埋め込み型電力レールの上方のエッチング選択誘電キ

10

20

30

40

50

キャップの上部で停止することができる。

【 0 0 5 5 】

図 1 2 は、S T I リセスエッチングプロセスの後の半導体デバイス 1 0 0 の概略図を示す。

【 0 0 5 6 】

他の任意の実施形態を利用して埋め込み型電力レールをメタライゼーションすることにより、ルテニウムまたは他の選択的に堆積可能な金属以外にまで金属選択を推進できることに注意されたい。他の金属を埋め込み型電力レールに組み込むことを可能にする別の選択肢は、完全置換の金属レールとすることである。その場合、レールを金属で充填し、エッチング選択誘電体でキャップする代わりに、埋め込み型レールトレンチ画定プロセスの最中、トレンチを誘電体で完全に充填した後、メタライゼーションされた埋め込み型レールの意図された高さに達するまで下方に陥凹させる。続けて金属ドレインに接続する間、置換レール全体を等方的に除去し、次いで、金属で再充填することができる。埋め込み型電力レールが所与のセルを横切って、更には隣接する所与のセルにまで邪魔されずに走っていることは有益である。こうした連続的な電力レール金属を有することは困難となり得る。このような実施形態では、置換レール全体が、アクティブな接点から金属ドレインと、接続が要求されない箇所との両方まで除去される。金属が充填されるとき、この場合のこのような充填は、(単なるトップダウンまたはボトムアップ充填の代わりに)「サブウェイ」充填として実行される。その場合、金属は、レールへの所望の接続を伴わずに金属ドレインの下に走る埋め込み型レールの長さに沿って延びる。

【 0 0 5 7 】

レールがメタライゼーションされ、エッチング選択誘電体キャップでキャップされた本明細書の集積化実施形態を続けると、プロセスフローは、S / D が形成された後、スパイクアニールを経て、その後の置換金属ゲートメタライゼーションを経るよう継続する。集積化フローのこの時点で、意図された金属ドレインと電力レールに対する選択した接点の位置との間に接点が作られる。

【 0 0 5 8 】

例示的な実施形態は、一例として相補型 F E T 積層ナノシートを使用し、説明は、主として、金属ドレインから V s s に作られるタップに焦点を当てている。V s s は、2 つの積層電極 (底部は N M O S であり、上部は P M O S である) の最下部に繋がる。

【 0 0 5 9 】

この時点で、金属ドレインは、メタライゼーションされておらず、金属ゲートのメタライゼーションの最中に酸化物で充填される。この時点で、金属ドレイン内の酸化物は、埋め込み型電力レールの上方のエッチング選択誘電キャップの上部に達するまで下方に陥凹される (または、S T I と金属ドレイン充填酸化物との間でエッチングが停止する場合、酸化物は完全に除去することができる)。キャップのエッチング選択特性を採用することにより、金属ドレインが開口されるとき、自己整合エッチングプロセスを確実に用いることができる。その場合、埋め込み型レールの軸に沿って S T I 酸化物を更に開口させずにキャップを開口させることができる。これは、金属ドレイン全体が埋め込み型電力レールに対してキャップを開口し、タップが最初の埋め込み型レールトレンチと同じ同一のサイズとなるように常に制御することも可能にする。このサイズは、トレンチ内に更に堆積されるライナーを引いた埋め込み型電力レール自体のサイズとも同一である。これにより、使用される金属ドレインのサイズを完全に自由にすることができる。これは、ピンアクセスが極度に制限されるエリアスケールデバイスにとって有益である。

【 0 0 6 0 】

図 1 3 は、金属ドレイン内の酸化物をエッチング選択誘電キャップの上部に達するまで下方に陥凹させた後の半導体デバイス 1 0 0 の概略図を示す。

【 0 0 6 1 】

金属ドレインは、いずれの酸化物 (停止層が酸化物と S T I との間に存在する場合) によって、または一般に置換接点と呼ばれるものの中に充填されるいくつかの他の材料によ

って充填することができる。置換接点は、一般に、複数の膜：(a) STI内の酸化物、(b)埋め込み型レールを保護する誘電体キャップ、(c)通常、ある種類の窒化物である、金属ゲートを保護するキャップ、及び(d)低kゲートスペーサ、に対する非常に良好な選択性を有する。以下の図面は、例示的な結果を示す。

【0062】

図14は、置換接点を充填した後の半導体デバイス100の概略図を示す。

【0063】

電力レールに対する電力タップは、結像(パターン化)され、置換接点を介して下方に転写される。埋め込み型電力レールが一連の高密度ルーティング線となるBEOL金属線を駆動するため、南北方向のセル間の間隔は、単純に限界金属ピッチの1/2となり、またはFoundry N5技術を考慮すると、約12nmとなる。2つの隣接セルによって電力レールの緯度方向軸に沿った同じ位置に電力タップがなされた場合、これは、EUV多重パターンングを用いた場合でも、ディスクリットビアを結像することが困難となることを意味する。従って、このような状況によって隣接セルの間に短絡が生じないことを確実にするために自己整合は有益である。これは、最初の広いトレンチが自己整合的にパターン化されて2つの同一の狭いレールを形成するという事実から自己整合が入る箇所である。従って、南北方向のセルがVssまたはVddレールのいずれかを共有するため、レールの各「ペア」はVddまたはVssのいずれかに対応する。この自己整合方法は、抵抗を改善するだけでなく、2つの隣接セルが短絡しないことを確実にする。

【0064】

図15は、例えば、フォトリソ層からSiARC及びSOC層内に電力タップが結像された後の半導体デバイス100の概略図を示す。

【0065】

電力レールの上方のエッチング選択キャップは、このような電力レールへのタッピングが必要とされる金属ドレイン接点のために除去することができる。

【0066】

図16は、エッチング選択キャップを除去した後の半導体デバイス100の概略図を示す。

【0067】

次いで、金属ドレイン内の置換接点材料を除去することができる。

【0068】

図17は、置換接点を除去した後の半導体デバイス100の概略図を示す。

【0069】

次いで、金属ドレインをメタライゼーションして所望のレールへの接続を等しく満たすことができるが、不要な接続は、金属ドレインを介したタップの転写中に開口されなかったエッチング選択キャップによって遮断されたままである。

【0070】

図18は、底部電極のためのドレインメタライゼーションの後の半導体デバイス100の概略図を示す。

【0071】

相補型積層ナノシートFETの場合、底部電極(NMOS)は、上部電極(PMOS)とは別個にメタライゼーションする必要がある。同様に、Vss及びVddレールへの電力タップは、両方の組の電極に対して発生する。本明細書の実施形態において、別個のメタライゼーションは、複数のメタライゼーション及びエッチングステップを用いて、または選択堆積によって実行することができる。

【0072】

図19は、底部電極のためのメタライゼーションのパターンング及び酸化層の堆積の後の半導体デバイス100の概略図を示す。

【0073】

図20は、上部電極のためのドレインメタライゼーション及び酸化層の堆積の後の半導

10

20

30

40

50

体デバイス100の概略図を示す。

【0074】

半導体デバイス100において、各電力レールは、開口スペーサ技術を利用して形成された2つのレール線を含むことに注意されたい。図21~30によって示したものなどのように、プロセスを変更して広い電力レールを形成することができる。

【0075】

図21は、いくつかの実施形態に係る半導体製造プロセス中の半導体デバイス200の一部の概略図を示す。図21は図1と同様である。図21の例において、Si/SiGeフィンエッチングが完了し、パッド酸化物/SiNキャップがフィンの上部に残されている。

10

【0076】

図22は、酸化物を堆積させ、CMPでSi/SiGeフィン構造の上部まで戻すことによってシャロートレンチアイソレーション(STI)がなされた後の半導体デバイス200の概略図を示す。図22は図2と同様である。

【0077】

図23は、フォトリソ層内にレールトレンチのためのパターンを生成した後の半導体デバイス200の概略図を示す。図23は図3と同様である。

【0078】

図24は、例えば、エッチングによってSTI酸化物中にパターンが転写されるとき半導体デバイス200の概略図を示す。

20

【0079】

図25は、バルクシリコン内にパターンが更に転写されるとき半導体デバイス200の概略図を示す。一例において、シリコン内へのパターン転写の前にスペーサ層を堆積させてシリコン内へのパターン転写を補助する。

【0080】

図26は、SiO/TaNライナーなどのエッチング選択膜を堆積させた後の半導体デバイス200の概略図を示す。

【0081】

図27は、ルテニウムを底部充填した後の半導体デバイス200の概略図を示す。

【0082】

図28は、ルテニウムをエッチングバックした後の半導体デバイス200の概略図を示す。ルテニウムは、特定の深さのレールトレンチ内にエッチングで陥凹される。更に、ライナー内のTaNが除去される。

30

【0083】

図29は、リセス化されたルテニウムの上にエッチング選択キャップが形成された後の半導体デバイス200の概略図を示す。

【0084】

図30は、STI酸化物を充填し、下方に研磨した後の半導体デバイス200の概略図を示す。

【0085】

更に、図12~20を参照して説明した同様のプロセスを利用して半導体デバイス200に対する製造プロセスを継続することができる。

40

【0086】

半導体デバイス100及び200が積層デバイスを有する3Dデバイスであることに注意されたい。埋め込み型電力レールを製造するためのオペレーションは、積層しない通常のフィンFETのためにインテグレートすることができる。図31~39は、本開示のいくつかの実施形態に係るフィンFETデバイス用の埋め込み型電力レールを形成するための中間段階の各種概略図を示す。

【0087】

図31は、いくつかの実施形態に係る半導体製造プロセス中の半導体デバイス300の

50

一部の概略図を示す。図31の実施例では、Siフィンエッチングが完了し、パッド酸化物/SiNキャップがフィンの上部に残されている。

【0088】

図32は、酸化物を堆積させ、CMPでSi/SiGeフィン構造の上部まで戻すことによってシャロートレンチアイソレーション(STI)がなされた後の半導体デバイス300の概略図を示す。

【0089】

図33は、例えば、エッチングによってSTI酸化物中にパターンが転写されるときの半導体デバイス300の概略図を示す。

【0090】

図34は、スペーサ層を堆積させた後の半導体300の概略図を示す。スペーサ層は、(a)バルクシリコン内に埋め込み型レールパターンを転写している間、開口されたシリコンもSiGeフィン構造も全くエッチングされないことを確実にすること、及び(b)最終的な埋め込み型電力レールとシリコン、SiGeまたはシリコン/SiGeフィン構造との間に一定かつ制御可能な距離が存在することを原子層堆積によって確実にすることにより、シリコン内へのパターン転写を補助することができる。

【0091】

図35は、バルクシリコン内にパターンが更に転写されるときの半導体デバイス300の概略図を示す。

【0092】

図36は、SiO/TaNライナーなどのエッチング選択膜を堆積させた後にルテニウムをトレンチの底部から充填したときの半導体デバイス300の概略図を示す。

【0093】

図37は、ルテニウムをエッチングバックした後の半導体デバイス300の概略図を示す。ルテニウムは、特定の深さのレールトレンチ内にエッチングで陥凹される。更に、ライナー内のTaNが除去される。

【0094】

図38は、リセス化されたルテニウムの上方にエッチング選択キャップが形成された後の半導体デバイス300の概略図を示す。

【0095】

図39は、ウェーハ製造プロセス後の半導体デバイス300の概略図を示す。

【0096】

記載したように、本明細書の例示的な実施形態は、埋め込み型電力レールのための用途に焦点を当てている。これは、単なる1つの例示的な実施形態であり、本明細書の技術は、物理デバイスまたはトランジスタデバイスの下に存在するルーティング線またはローカル相互接続線またはセル間相互接続線などのあらゆるバックサイド配線を対象とするように拡張することができる。

【0097】

上記の記述において、処理システムの特定の形状及び本明細書で使用される各種の構成要素及びプロセスについての説明などの、具体的な詳細事項が記載されている。しかしながら、これらの具体的な詳細事項から逸脱する他の実施形態において本明細書の技術が実施されてもよく、このような詳細事項は説明のためであり限定的ではないことを理解すべきである。本明細書で開示された実施形態について、添付図面を参照して説明してきた。同様に、説明のために、特定の番号、材料及び構成が、完全な理解を提供するために記載されてきた。しかしながら、実施形態は、このような具体的な詳細事項を用いずに実施されてもよい。実質的に同一の機能的構造を有する構成要素は同様の参照符号によって示されるため、冗長な説明は省略される場合がある。

【0098】

各種技術は、各種実施形態を理解するのに役立つ複数の個別オペレーションとして説明されてきた。説明の順序は、これらのオペレーションが必然的に順序依存であることを

10

20

30

40

50

意味するものとして解釈されるべきではない。実際、これらのオペレーションは、表現した順序で実行される必要はない。説明したオペレーションは、説明した実施形態とは異なる順序で実行されてもよい。各種の追加的なオペレーションが実行されてもよく、及び/または、説明したオペレーションが追加的な実施形態において省略されてもよい。

【0099】

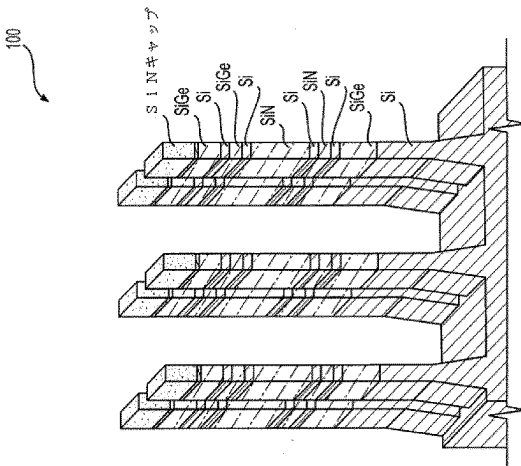
本明細書で使用された「基材」または「対象基材」とは、一般に、本発明に従って処理されているものを指す。基材は、あらゆる材料部分、またはデバイス、特に半導体もしくは他の電子デバイスの構造を含んでもよく、例えば、半導体ウェーハなどのベース基材構造、レチクル、ベース基材構造の上にある、またはそれを覆っている薄膜などの層であってもよい。従って、基材は、特定のベース構造、下側層または上側層、パターン有りまたはパターン無しいずれにも限定されず、むしろ、このような任意の層またはベース構造、ならびに層及び/またはベース構造の任意の組み合わせを含むように企図される。本説明は、特定の種類の基材を参照し得るが、これは単に例示目的のためである。

10

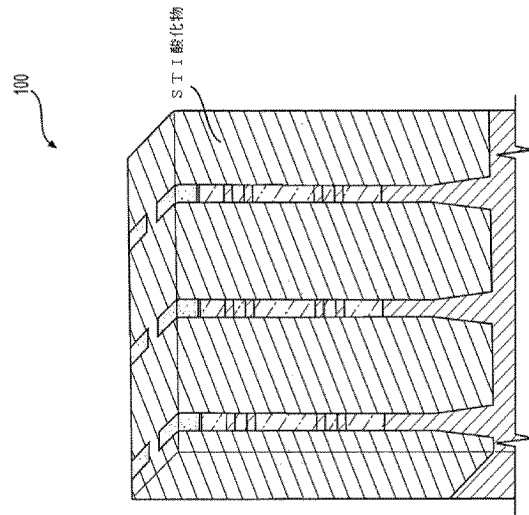
【0100】

当業者は、本発明の同一の目的を依然として達成しつつ上述した技術のオペレーションに多くの変形を加えることが可能であることも理解するであろう。このような変形は、本開示の範囲によって包含されるように意図される。従って、本発明の実施形態についての前述の説明は、限定を意図するものではない。むしろ、本発明の実施形態に対するあらゆる限定は、以下の特許請求の範囲において提示される。

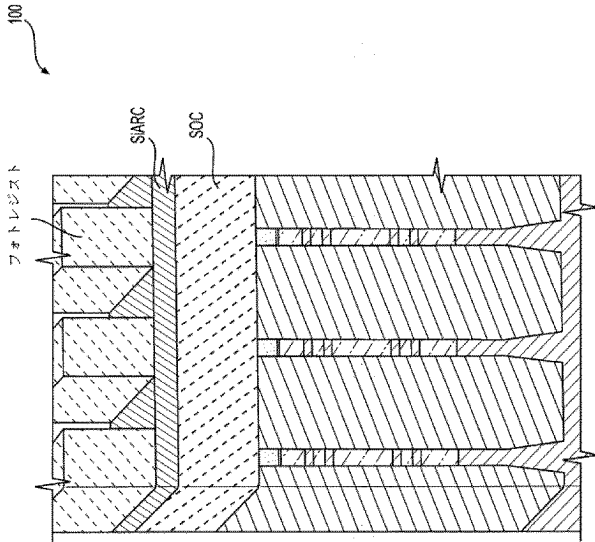
【図1】



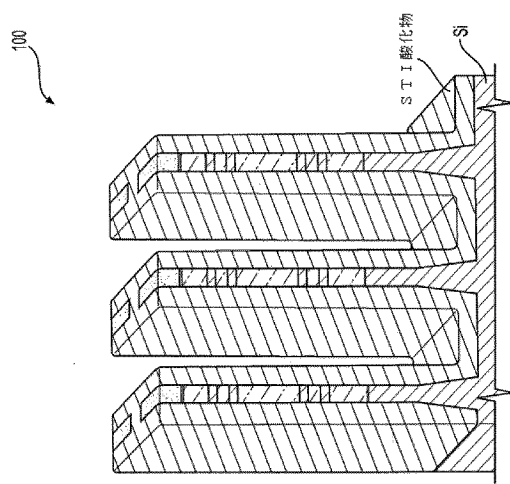
【図2】



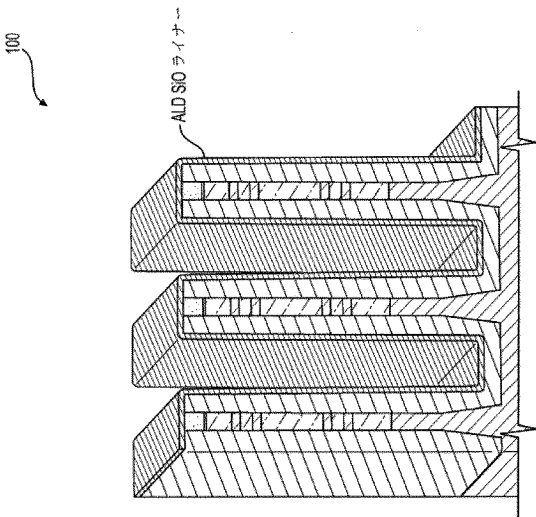
【図3】



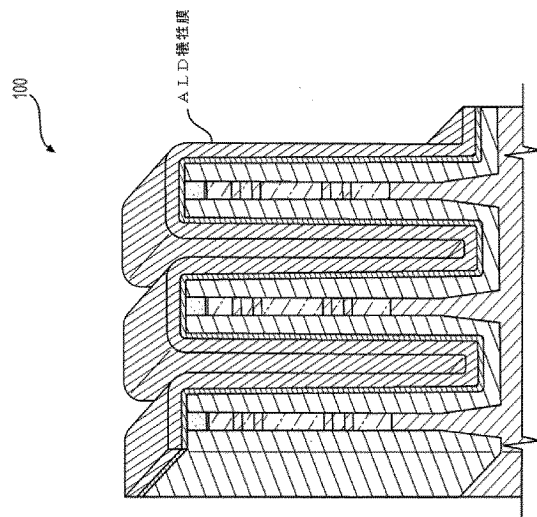
【図4】



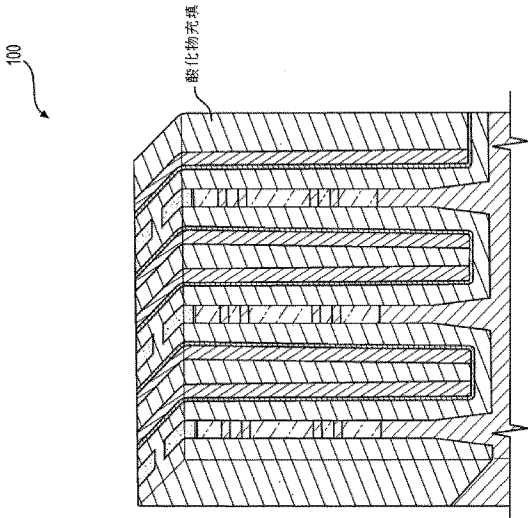
【図5】



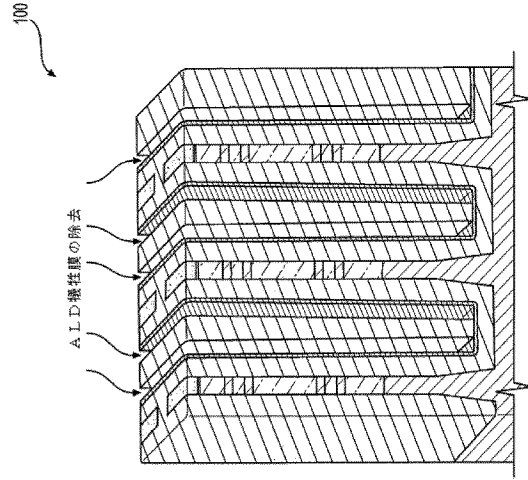
【図6】



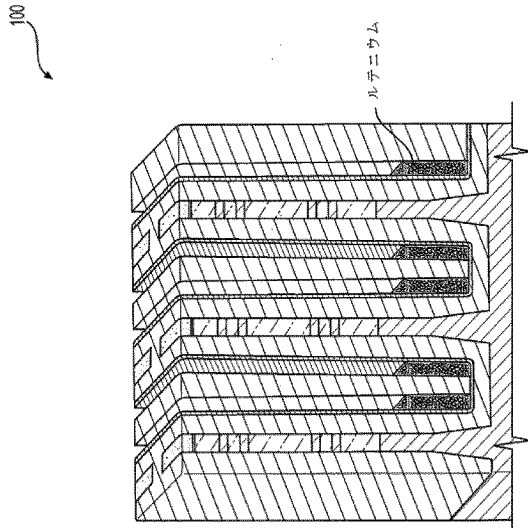
【図7】



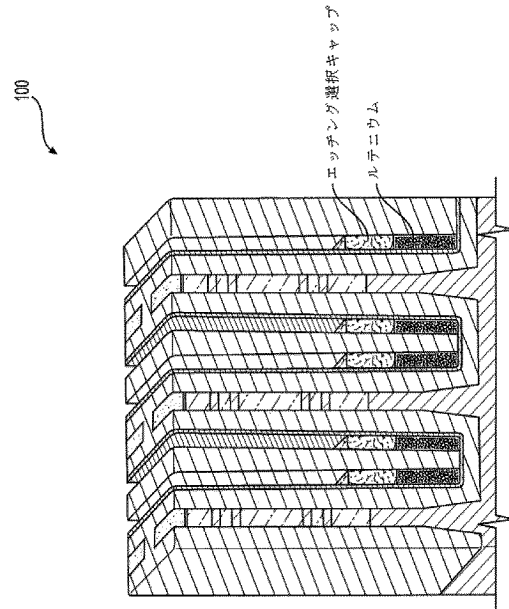
【図8】



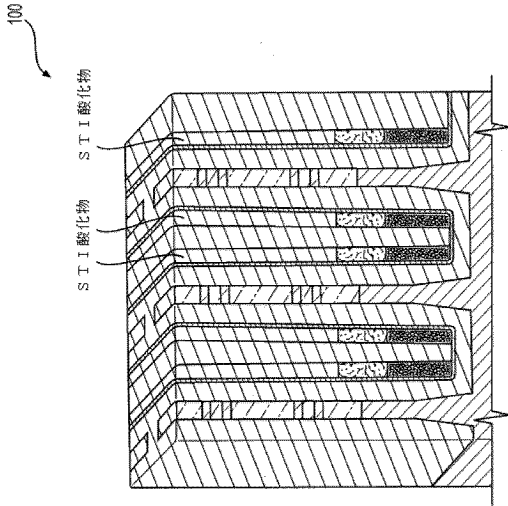
【図9】



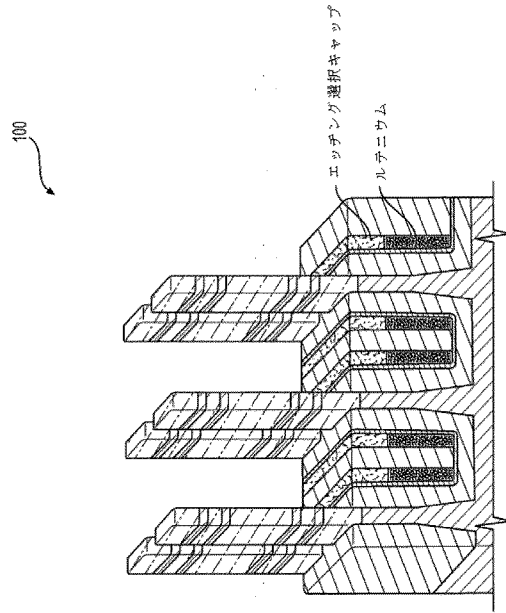
【図10】



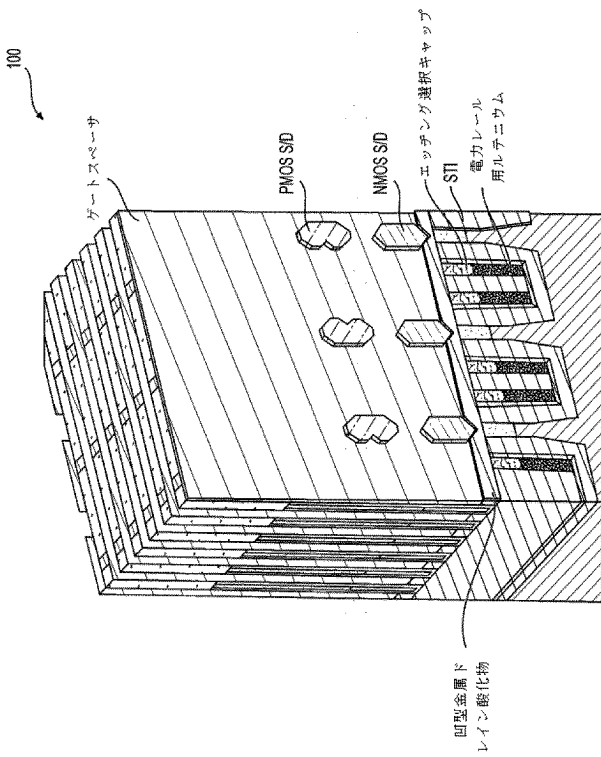
【図11】



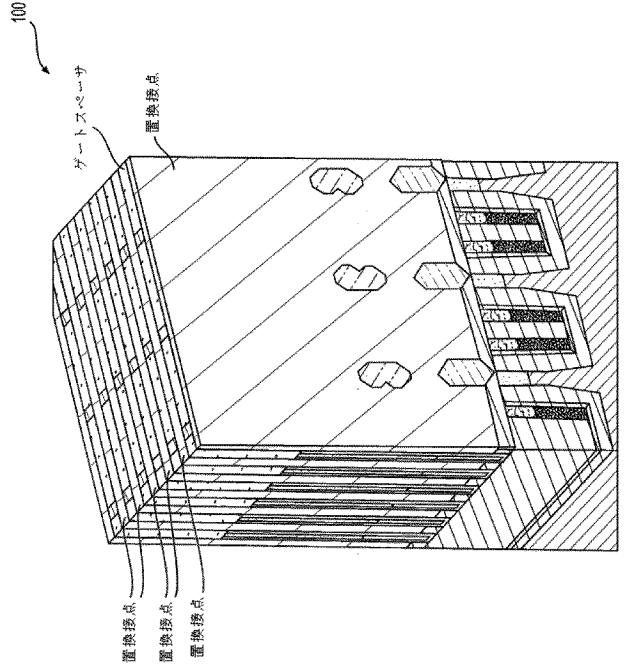
【図12】



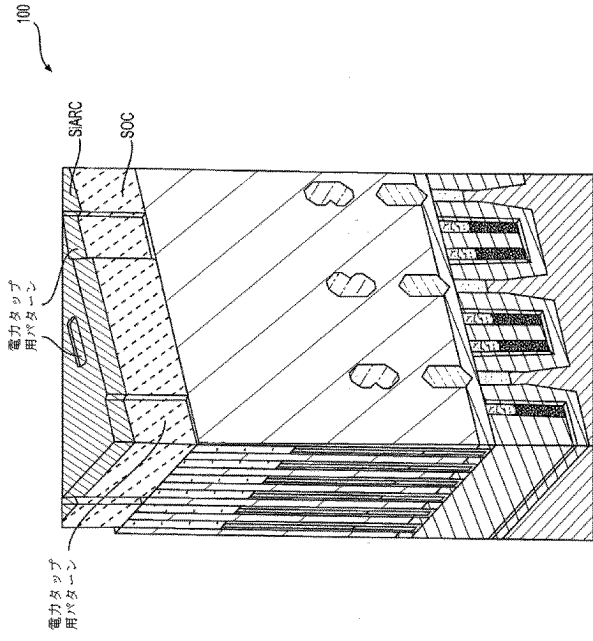
【図13】



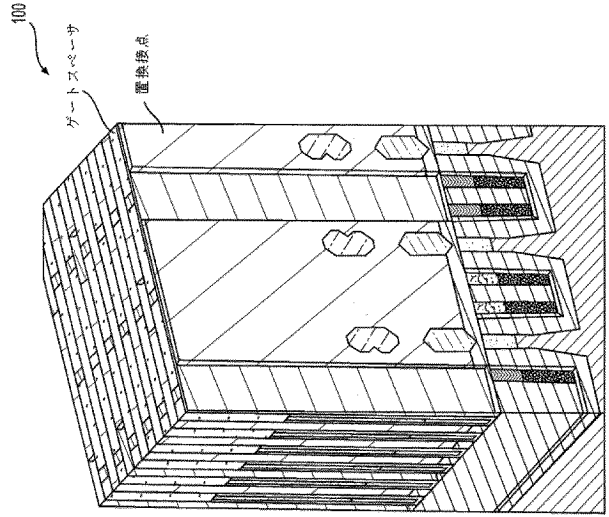
【図14】



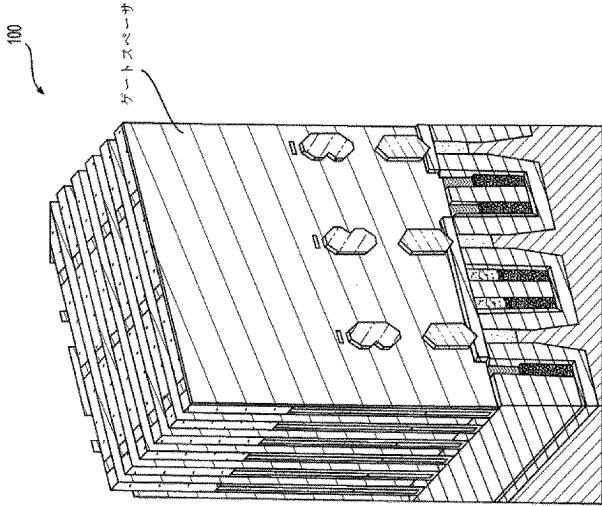
【図 15】



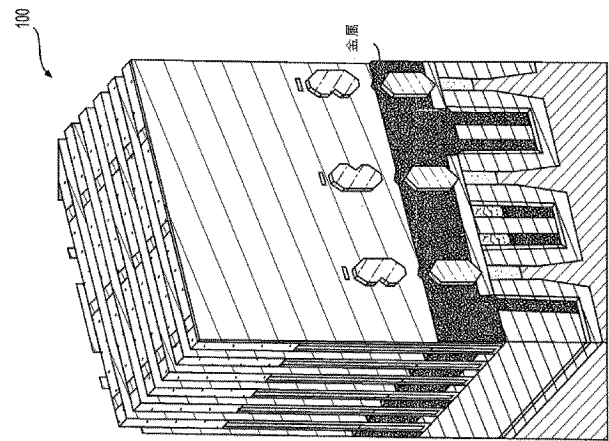
【図 16】



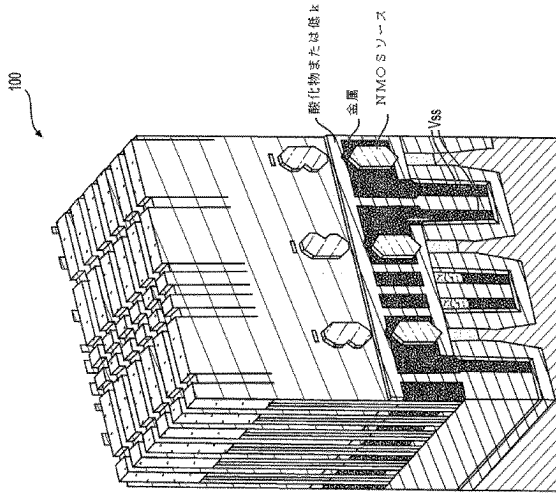
【図 17】



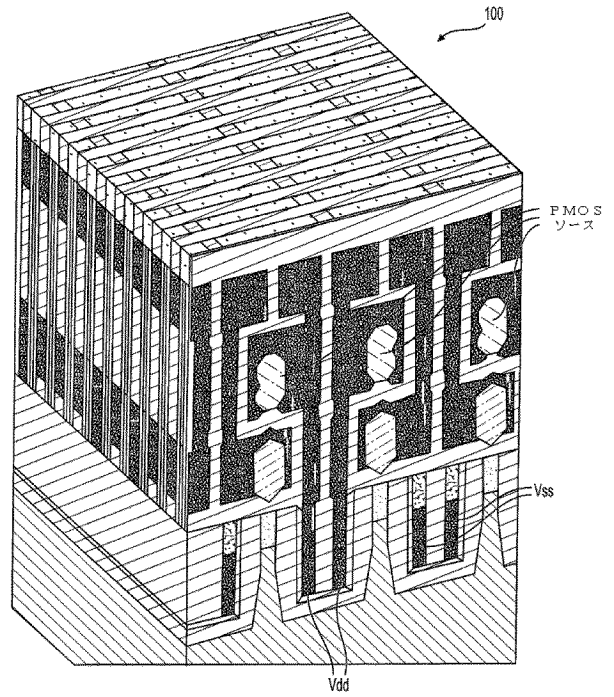
【図 18】



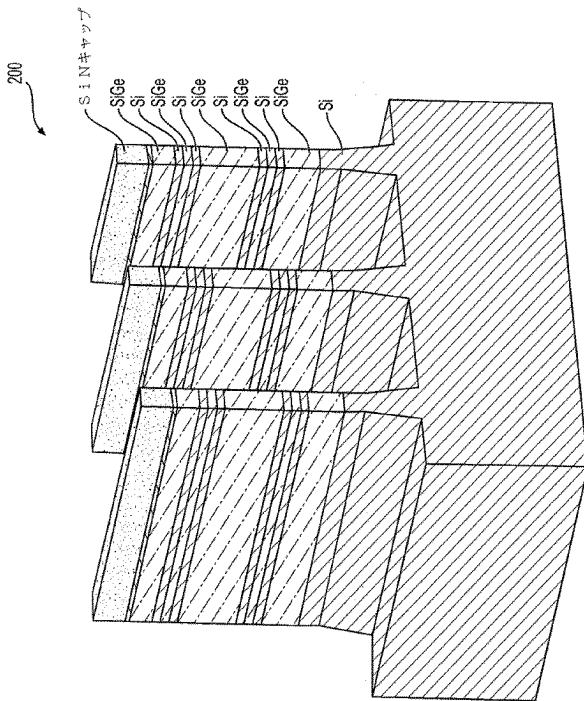
【図 19】



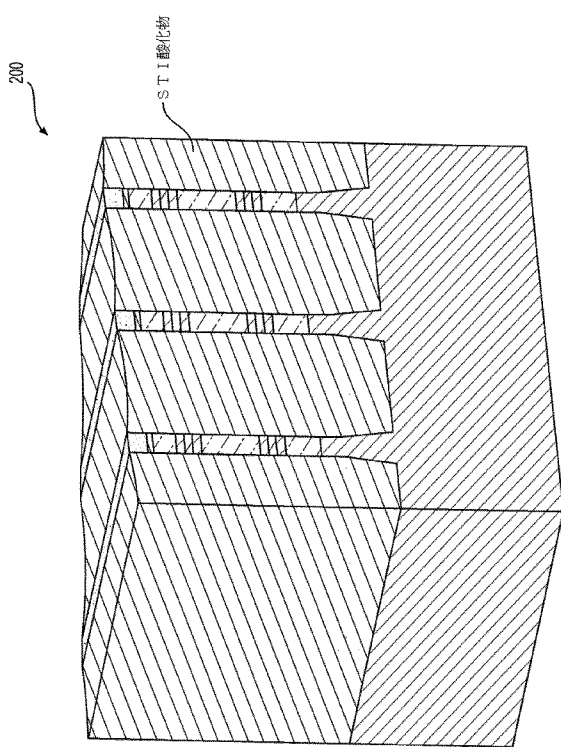
【図 20】



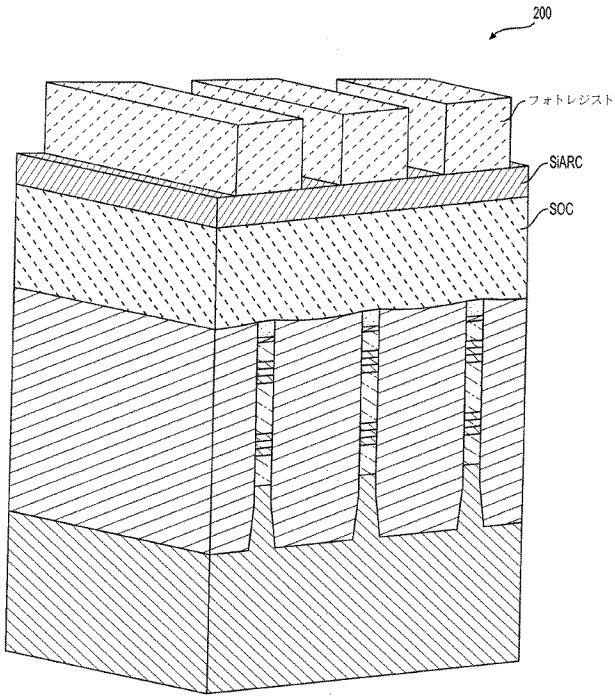
【図 21】



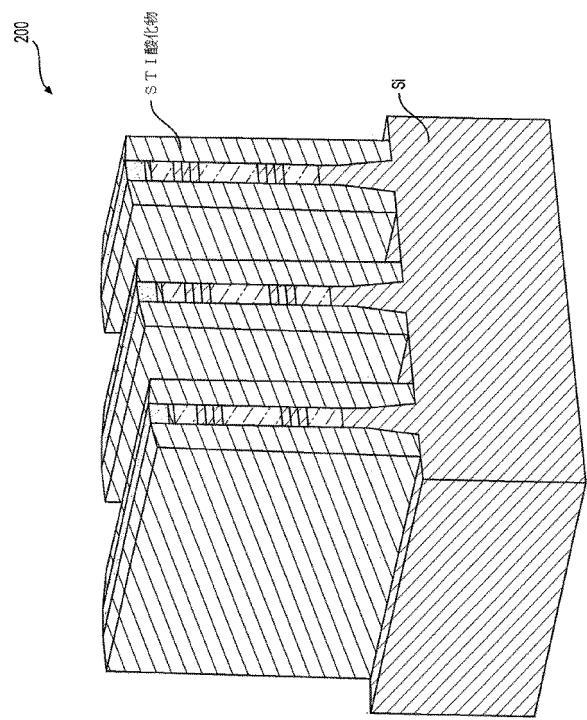
【図 22】



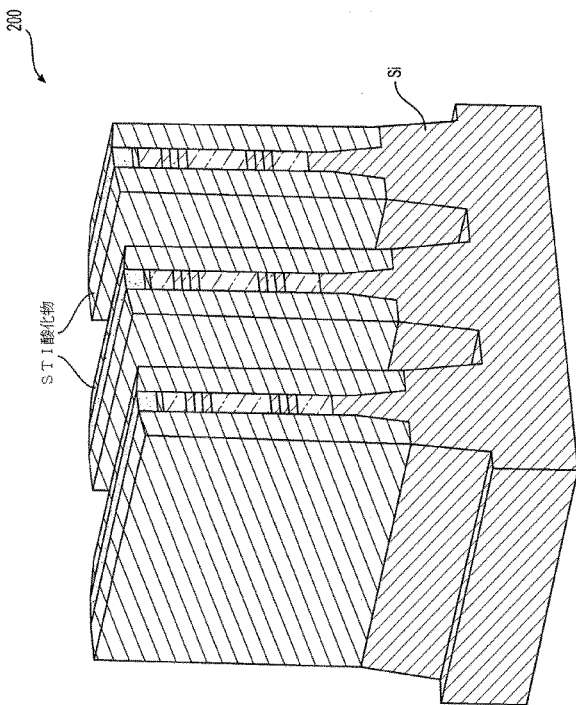
【図23】



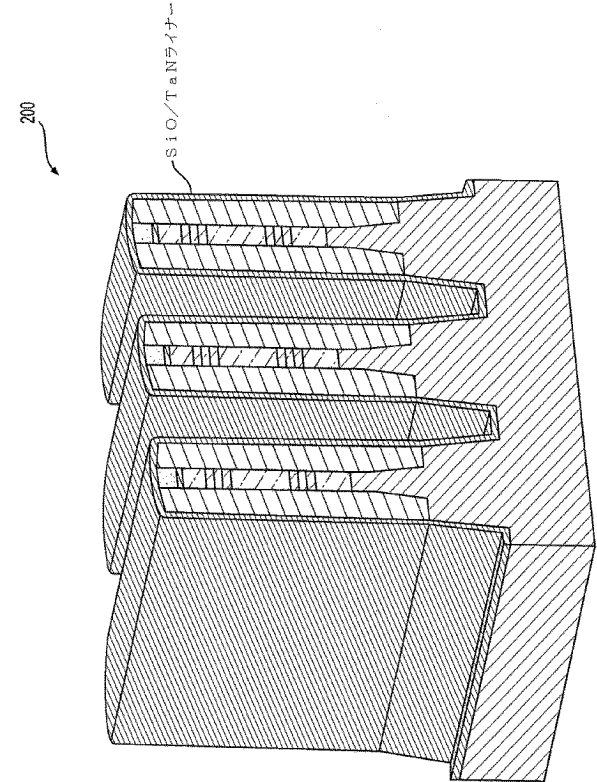
【図24】



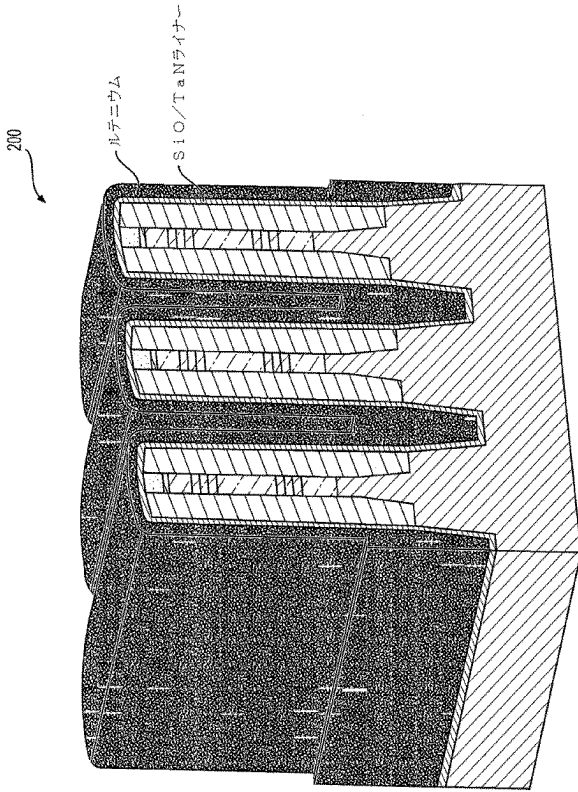
【図25】



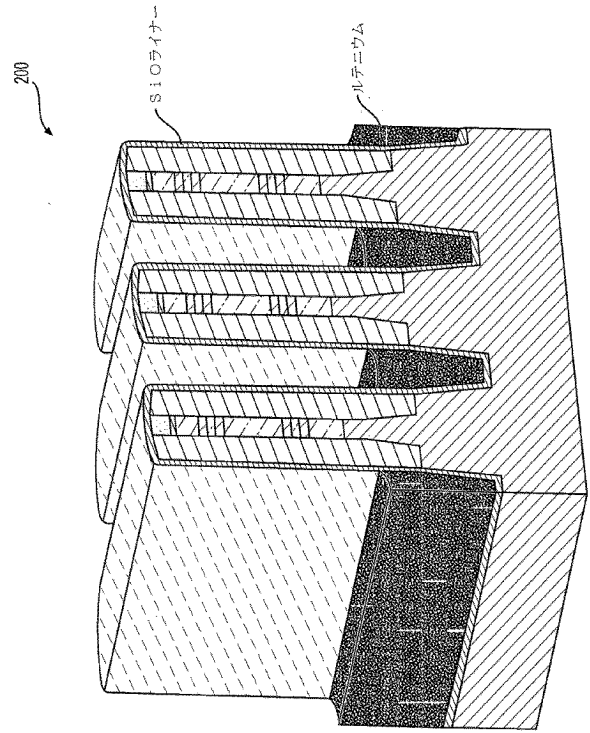
【図26】



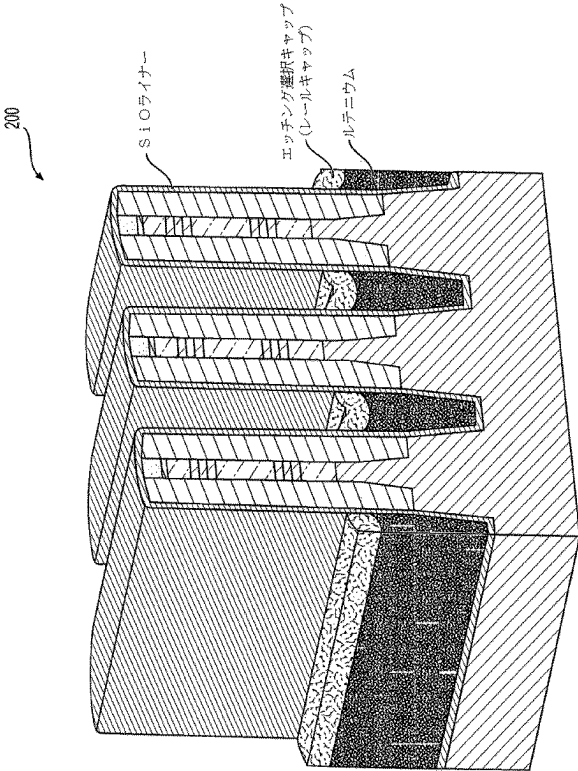
【図 27】



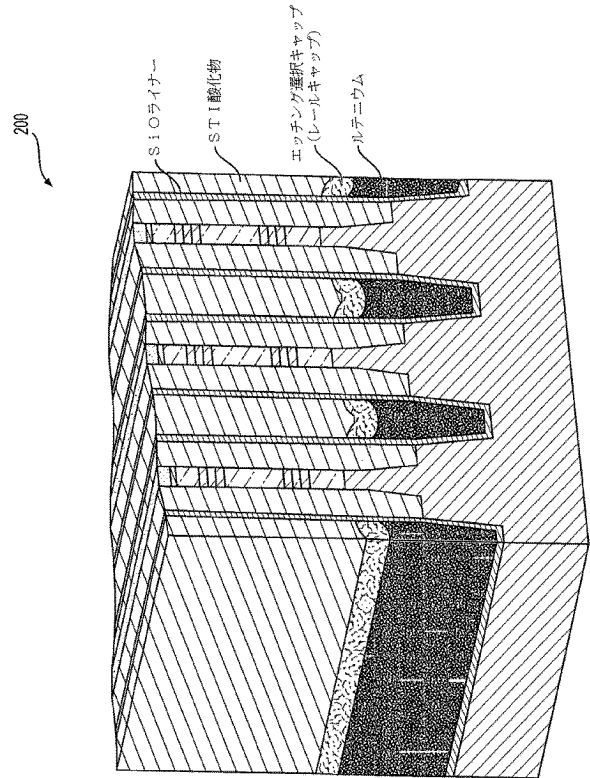
【図 28】



【図 29】



【図 30】



【図 3 1】

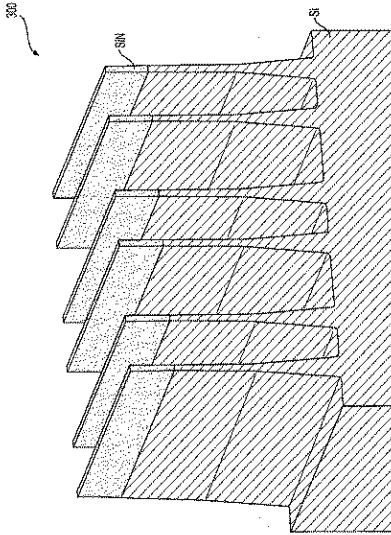
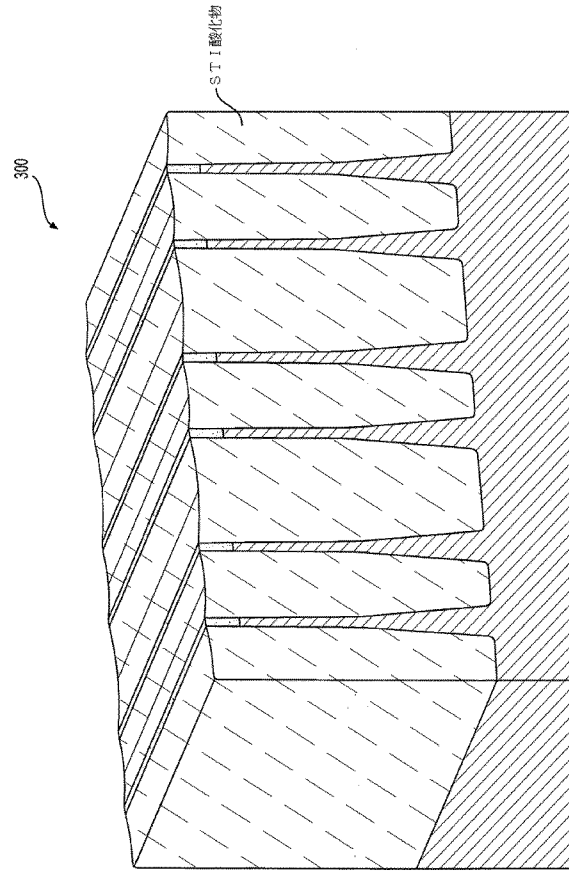


FIG. 31

【図 3 2】



【図 3 3】

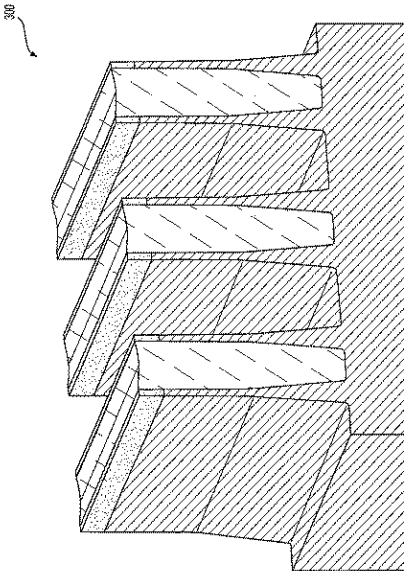
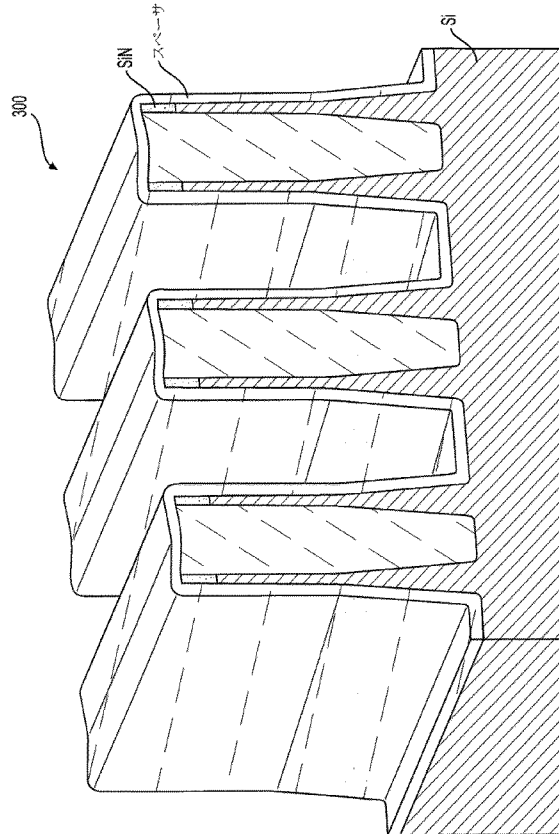
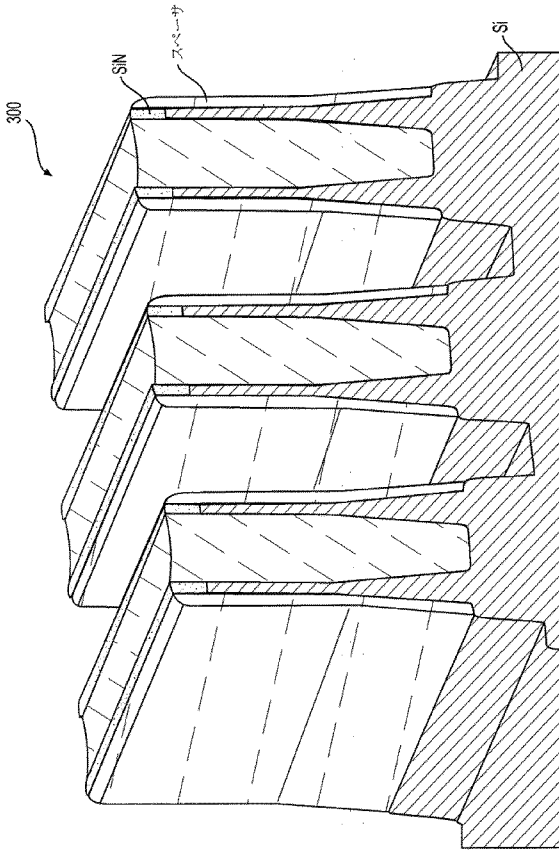


FIG. 33

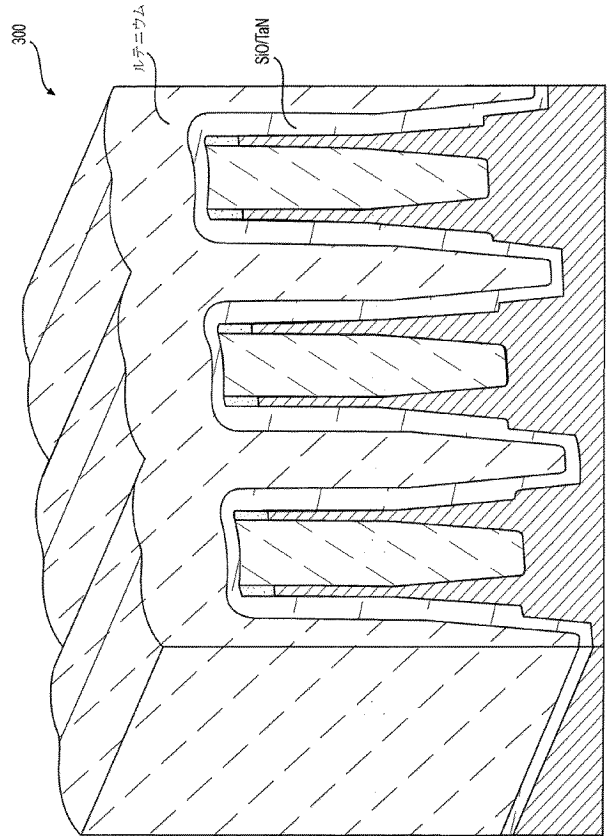
【図 3 4】



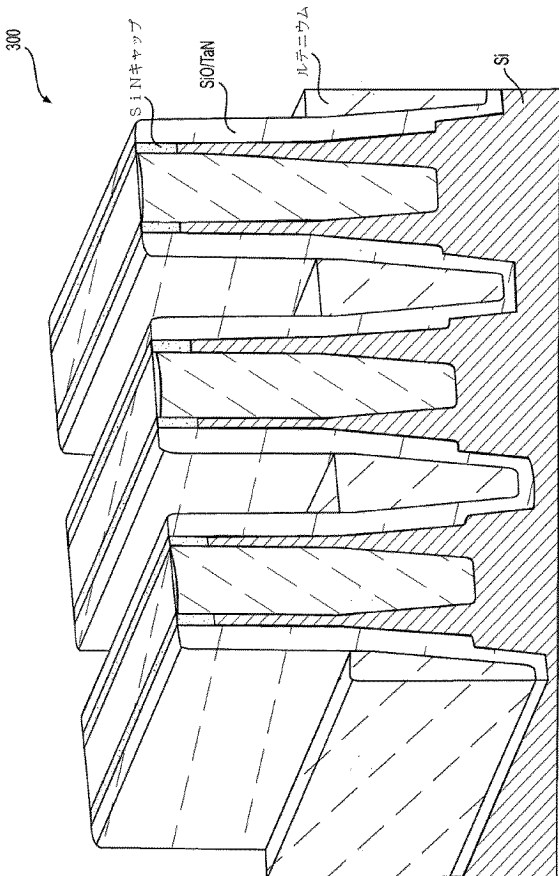
【図 35】



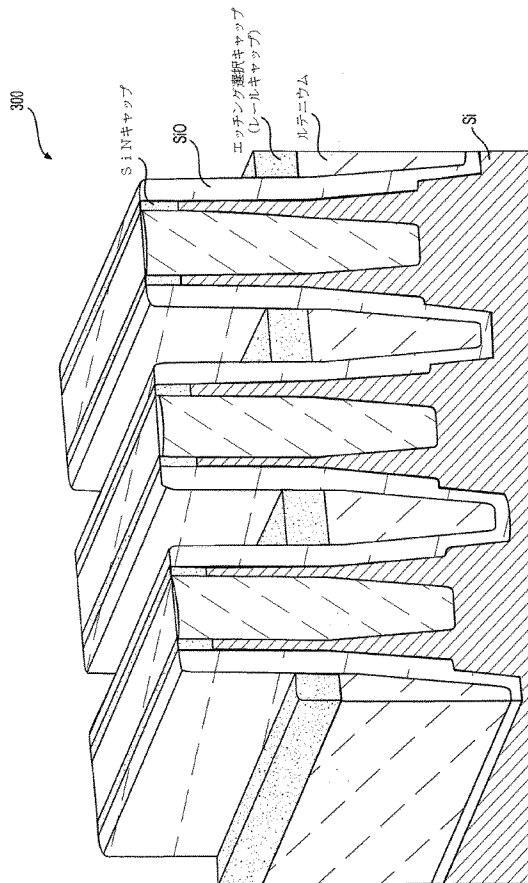
【図 36】



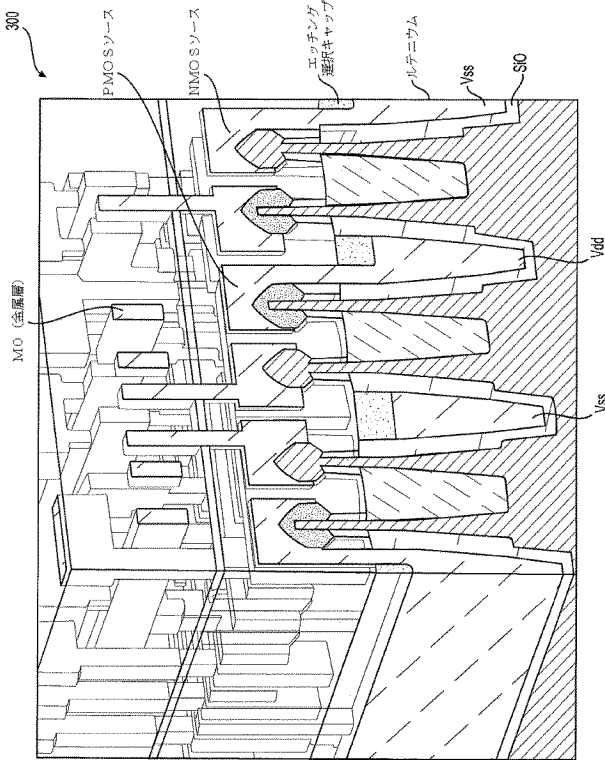
【図 37】



【図 38】



【図 39】



【手続補正書】

【提出日】令和2年4月1日(2020.4.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第1の分離トレンチ内の第1のレール開口内に形成された第1の電力レールと、
 前記第1のレール開口内の前記第1の電力レール上の第1の誘電体キャップであって、
 前記第1の電力レールを当該第1の誘電体キャップの上の導電パターン構造から分離する
 第1の誘電体キャップと、

第2の分離トレンチ内の第2のレール開口内に形成され、前記第1の電力レールと実質
 的に同じ厚さを持つ第2の電力レールと、

前記第2のレール開口内の前記第2の電力レール上の第2の誘電体キャップであって、
 前記第2のレール開口の側面材料に対してエッチング選択性である第2の誘電体キャップ
 と、

前記第2のレール開口の前記側面材料に対してエッチング選択性である前記第2の誘電
 体キャップをエッチングすることによって形成され、その結果として前記第2の電力レー
 ルとアライメントされた側面を持つ開口であって、前記導電パターン構造を前記第2の電
 力レールと接続する導電材料で充填されている開口と、
 を含む半導体デバイス。

【請求項 2】

前記第1の電力レールが前記第1の分離トレンチ内部に形成され、且つ前記第2の電力

30

40

50

ルールが前記第 2 の分離トレンチ内部に形成されている、請求項 1 に記載の半導体デバイス。

【請求項 3】

前記第 1 の電力ルールが前記第 1 の分離トレンチを抜けてバルクシリコン基材の中まで形成され、且つ前記第 2 の電力ルールが前記第 2 の分離トレンチを抜けて前記バルクシリコン基材の中まで形成されている、請求項 1 に記載の半導体デバイス。

【請求項 4】

前記第 2 の誘電体キャップが、前記第 2 の電力ルールと前記第 2 の分離トレンチ及び前記第 2 の分離トレンチ内の酸化物との間の SiO₂ライナーに対してエッチング選択性の材料である、請求項 1 に記載の半導体デバイス。

10

【請求項 5】

前記第 1 の誘電体キャップが前記第 1 の電力ルールの上に選択的に堆積されている、請求項 1 に記載の半導体デバイス。

【請求項 6】

前記第 1 及び第 2 の電力ルールは、700 以上で熱的安定性を有する金属材料で形成される、請求項 1 に記載の半導体デバイス。

【請求項 7】

前記金属材料が高融点金属である、請求項 6 に記載の半導体デバイス。

【請求項 8】

前記金属材料がルテニウムを含む、請求項 6 に記載の半導体デバイス。

20

【請求項 9】

前記第 1 及び第 2 の電力ルールの抵抗率要件を満たすように前記第 1 及び第 2 の電力ルールのアスペクト比が既定される、請求項 1 に記載の半導体デバイス。

【請求項 10】

前記アスペクト比と共に前記第 1 及び第 2 の電力ルールの限界寸法幅が既定される、請求項 9 に記載の半導体デバイス。

【請求項 11】

前記第 1 及び第 2 の電力ルールは、前記第 1 及び第 2 のルール開口を前記高融点金属で充填し、前記高融点金属を特定の深さまでエッチングバックすることによって形成されている、請求項 7 に記載の半導体デバイス。

30

【請求項 12】

半導体デバイスの製造方法であって、

第 1 の分離トレンチ内の第 1 のルール開口内に第 1 の電力ルールを形成し、且つ第 2 の分離トレンチ内の第 2 のルール開口内に、前記第 1 の電力ルールと実質的に同じ厚さを持つ第 2 の電力ルールを形成し、

前記第 1 の電力ルールを第 1 の誘電体キャップで、及び前記第 2 の電力ルールを第 2 の誘電体キャップで上面被覆し、前記第 2 の誘電体キャップは、前記第 2 のルール開口の側面材料に対してエッチング選択性であり、

前記第 2 のルール開口の前記側面材料に対してエッチング選択性である前記第 2 の誘電体キャップ内に開口をエッチングし、その結果として該開口の側面が前記第 2 のルール開口とアライメントされることをもたらし、そして、

40

前記開口を導電材料で充填して、該充填された開口を介して導電パターン構造を前記第 2 の電力ルールと接続し、前記第 1 の誘電体キャップが前記第 1 の電力ルールを前記導電パターン構造から分離する、

ことを含む方法。

【請求項 13】

前記第 1 の分離トレンチ内の前記第 1 のルール開口内に前記第 1 の電力ルールを形成し、且つ前記第 2 の分離トレンチ内の前記第 2 のルール開口内に前記第 2 の電力ルールを形成することが、

前記第 1 の分離トレンチ内部に前記第 1 のルール開口を、及び前記第 2 の分離トレンチ

50

内部に前記第 2 のレール開口をエッチングすることと、

前記第 1 の分離トレンチ内部の前記第 1 のレール開口内に前記第 1 の電力レールを、及び前記第 2 の分離トレンチ内部の前記第 2 のレール開口内に前記第 2 の電力レールを形成することと

を更に含む、請求項 1 2 に記載の方法。

【請求項 1 4】

前記第 1 の分離トレンチ内の前記第 1 のレール開口内に前記第 1 の電力レールを形成し、且つ前記第 2 の分離トレンチ内の前記第 2 のレール開口内に前記第 2 の電力レールを形成することが、

前記第 1 の分離トレンチを抜けてバルクシリコン基材の中まで前記第 1 のレール開口を、及び前記第 2 の分離トレンチを抜けて前記バルクシリコン基材の中まで前記第 2 のレール開口をエッチングすることと、

前記第 1 の分離トレンチと前記バルクシリコン基材との中にある前記第 1 のレール開口内に前記第 1 の電力レールを、及び前記第 2 の分離トレンチと前記バルクシリコン基材との中にある前記第 2 のレール開口内に前記第 2 の電力レールを形成することと

を更に含む、請求項 1 2 に記載の方法。

【請求項 1 5】

前記第 1 の分離トレンチ内で前記第 1 の電力レールを前記第 1 の誘電体キャップで上面被覆することが、

前記第 1 の電力レールと前記第 1 の分離トレンチとの間の SiO₂ライナーに対してエッチング選択性である前記第 1 の誘電体キャップとして誘電体材料を選択的に堆積させることを更に含む、請求項 1 2 に記載の方法。

【請求項 1 6】

前記第 1 の分離トレンチ内の前記第 1 のレール開口内に前記第 1 の電力レールを形成し、且つ前記第 2 の分離トレンチ内の前記第 2 のレール開口内に前記第 2 の電力レールを形成することが、

700 以上で熱的安定性を有する金属材料を使用して前記第 1 の電力レール及び前記第 2 の電力レールを形成することを更に含む、請求項 1 2 に記載の方法。

【請求項 1 7】

700 以上で前記熱的安定性を有する前記金属材料を使用して前記第 1 の電力レール及び前記第 2 の電力レールを形成することが、

ルテニウムを使用して前記第 1 の電力レール及び前記第 2 の電力レールを形成することを更に含む、請求項 1 6 に記載の方法。

【請求項 1 8】

ルテニウムを使用して前記第 1 の電力レール及び前記第 2 の電力レールを形成することが、

前記第 1 の分離トレンチ内の前記第 1 のレール開口を、及び前記第 2 の分離トレンチ内の前記第 2 のレール開口を、前記ルテニウムで充填することと、

前記ルテニウムを特定の深さまでエッチングバックすることと

を更に含む、請求項 1 7 に記載の方法。

【請求項 1 9】

前記第 1 の分離トレンチ内の前記第 1 のレール開口内に前記第 1 の電力レールを形成し、且つ前記第 2 の分離トレンチ内の前記第 2 のレール開口内に前記第 2 の電力レールを形成することが、

2 つのレール線を含む電力レールを形成することを更に含む、請求項 1 2 に記載の方法。

【請求項 2 0】

前記 2 つのレール線を含む前記電力レールを形成することが、

分離トレンチ内のレール開口の側壁及び底部の上にスペーサ層を共形的に堆積させることと、

10

20

30

40

50

前記レール開口を誘電体材料で充填することと、
 前記レール開口の側壁に形成された前記スペーサ層を除去して2つのスペーサトレンチを形成することと、
 前記2つのスペーサトレンチをルテニウムで充填することと、
 前記ルテニウムを特定の深さまでエッチングバックすることと
 を更に含む、請求項19に記載の方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正の内容】

【0003】

本開示は、集積回路ならびに集積回路用トランジスタ及びトランジスタ構成要素などの半導体デバイスの製造方法に関する。(特に顕微鏡的スケールの)半導体デバイスの製造においては、例えば、膜形成堆積、エッチングマスク作製、パターニング、材料エッチング及び除去、ならびにドーピング処理などの様々な製造プロセスが、所望の半導体デバイス素子を基材上に形成するために繰り返し実行される。歴史的には、超微細加工により、トランジスタは、上部に形成された配線/金属皮膜と共に1つの平面内に作製され、従って2次元(2D)回路または2D構造として特徴付けられてきた。スケーリング効果により、2D回路内の単位領域当たりのトランジスタ数が大幅に増加したものの、一桁ナノメートルの半導体デバイスの製造ノードにスケーリングが突入したため、スケーリング効果はより大きな課題に直面している。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

図1は、いくつかの実施形態に係る半導体製造プロセス中の半導体デバイス100の一部の概略図を示す。図1の実施例において、Si/SiGeフィンエッチングが完了し、パッド酸化物/SiNキャップがフィンの上部に残されている。この特定の状況において、フィンカットは、フィンエッチングプロセスの前に既に行われている。これは、STIの下シリコンがフィン間の領域内で「平坦である」とみなされることを意味する。フィンCUTラスト方式を用いると、ダミーフィンは、フィン間のシリコン内に深い凹みを提供するこのステップの前にエッチングされる。これにより、埋め込み型電力レールの形成がより問題となる。従って、埋め込み型電力レールをこの例の集積化に組み込むために、フィンCUTファーストまたはフィンCUTミドル方式を採用してフィンパターンを画定することが好ましい。以下の図面は、例示的な結果を示す。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2018/038678
A. CLASSIFICATION OF SUBJECT MATTER H01L 29/66(2006.01)i, H01L 29/78(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L 29/66; H01L 21/31; H01L 21/469; H01L 21/8238; H01L 23/544; H01L 27/092; H01L 27/24; H01L 29/06; H01L 29/78; H01L 45/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & keywords: power rail, trench, isolate, opening, cap, conductive		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2014-0145272 A1 (MONOLITHIC 3D INC.) 29 May 2014 See paragraph [0077] and figure 5.	1-6, 10, 11, 13-17
Y		7-9, 12, 18-20
A		21, 22
Y	US 2016-0365385 A1 (INTEL CORPORATION) 15 December 2016 See paragraphs [0058]-[0069] and figure 10.	7-9, 12, 18-20
A	US 2017-0033020 A1 (QUALCOMM INCORPORATED) 02 February 2017 See paragraphs [0070]-[0089] and figures 5-71.	1-22
A	US 2015-0097155 A1 (UNITY SEMICONDUCTOR CORPORATION) 09 April 2015 See claims 1-20 and figures 1, 20.	1-22
A	US 2009-0098740 A1 (KIM et al.) 16 April 2009 See paragraphs [0025]-[0031] and figures 2A-2E.	1-22
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 October 2018 (12.10.2018)		Date of mailing of the international search report 12 October 2018 (12.10.2018)
Name and mailing address of the ISA/KR International Application Division Korean Intellectual Property Office 189 Cheongsu-ro, Seo-gu, Daejeon, 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer KANG, Sung Chul Telephone No. +82-42-481-8405

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2018/038678

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2014-0145272 A1	29/05/2014	CN 103003940 A	27/03/2013
		EP 2599112 A2	05/06/2013
		EP 2599112 A4	26/07/2017
		SG 10201406527 RA	30/12/2014
		TW 201130113 A	01/09/2011
		TW 201608697 A	01/03/2016
		TW 1517355 B	11/01/2016
		US 2010-0259296 A1	14/10/2010
		US 2010-0289064 A1	18/11/2010
		US 2010-0291749 A1	18/11/2010
		US 2010-0295136 A1	25/11/2010
		US 2011-0031997 A1	10/02/2011
		US 2011-0037497 A1	17/02/2011
		US 2011-0049577 A1	03/03/2011
		US 2011-0084314 A1	14/04/2011
		US 2011-0092030 A1	21/04/2011
		US 2011-0108888 A1	12/05/2011
		US 2011-0121366 A1	26/05/2011
		US 2011-0199116 A1	18/08/2011
		US 2011-0233617 A1	29/09/2011
		US 2011-0233676 A1	29/09/2011
		US 2012-0012895 A1	19/01/2012
		US 2012-0028436 A1	02/02/2012
		US 2012-0032294 A1	09/02/2012
		US 2012-0086067 A1	12/04/2012
		US 2012-0088355 A1	12/04/2012
		US 2012-0091587 A1	19/04/2012
		US 2012-0107967 A1	03/05/2012
		US 2012-0129301 A1	24/05/2012
		US 2012-0193621 A1	02/08/2012
		US 2012-0193681 A1	02/08/2012
		US 2012-0193719 A1	02/08/2012
		US 2012-0193806 A1	02/08/2012
		US 2012-0194216 A1	02/08/2012
		US 2012-0194218 A1	02/08/2012
		US 2012-0196390 A1	02/08/2012
		US 2012-0196409 A1	02/08/2012
		US 2012-0220102 A1	30/08/2012
		US 2012-0223436 A1	06/09/2012
		US 2012-0223738 A1	06/09/2012
		US 2012-0231572 A1	13/09/2012
US 2012-0248595 A1	04/10/2012		
US 2012-0273955 A1	01/11/2012		
US 2012-0306082 A1	06/12/2012		
US 2012-0313227 A1	13/12/2012		
US 2012-0322203 A1	20/12/2012		
US 2013-0020707 A1	24/01/2013		
US 2013-0021060 A1	24/01/2013		
US 2013-0069191 A1	21/03/2013		

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2018/038678

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 2013-0119557 A1	16/05/2013
		US 2013-0122672 A1	16/05/2013
		US 2013-0193488 A1	01/08/2013
		US 2015-0061036 A1	05/03/2015
		US 2015-0123072 A1	07/05/2015
		US 2015-0249053 A1	03/09/2015
		US 2015-0311142 A1	29/10/2015
		US 2015-0348945 A1	03/12/2015
		US 2016-0064439 A1	03/03/2016
		US 2016-0111369 A1	21/04/2016
		US 2016-0204085 A1	14/07/2016
		US 2016-0343774 A1	24/11/2016
		US 2017-0092541 A1	30/03/2017
		US 2017-0133432 A1	11/05/2017
		US 2017-0162585 A1	08/06/2017
		US 2017-0179155 A1	22/06/2017
		US 2017-0186770 A1	29/06/2017
		US 2017-0200715 A1	13/07/2017
		US 7960242 B2	14/06/2011
		US 7964916 B2	21/06/2011
		US 7986042 B2	26/07/2011
		US 8026521 B1	27/09/2011
		US 8058137 B1	15/11/2011
		US 8115511 B2	14/02/2012
		US 8148728 B2	03/04/2012
		US 8153499 B2	10/04/2012
		US 8163581 B1	24/04/2012
		US 8203148 B2	19/06/2012
		US 8237228 B2	07/08/2012
		US 8258810 B2	04/09/2012
		US 8273610 B2	25/09/2012
		US 8294159 B2	23/10/2012
		US 8298875 B1	30/10/2012
		US 8362482 B2	29/01/2013
		US 8362800 B2	29/01/2013
		US 8373230 B1	12/02/2013
		US 8373439 B2	12/02/2013
		US 8378494 B2	19/02/2013
		US 8378715 B2	19/02/2013
		US 8384426 B2	26/02/2013
		US 8395191 B2	12/03/2013
		US 8405420 B2	26/03/2013
		US 8427200 B2	23/04/2013
		US 8450804 B2	28/05/2013
		US 8461035 B1	11/06/2013
		US 8476145 B2	02/07/2013
		US 8492886 B2	23/07/2013
		US 8536023 B2	17/09/2013
		US 8541819 B1	24/09/2013
		US 8581349 B1	12/11/2013

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2018/038678

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 8642416 B2	04/02/2014
		US 8664042 B2	04/03/2014
		US 8669778 B1	11/03/2014
		US 8703597 B1	22/04/2014
		US 8709880 B2	29/04/2014
		US 8742476 B1	03/06/2014
		US 8753913 B2	17/06/2014
		US 8754533 B2	17/06/2014
		US 8823122 B2	02/09/2014
		US 8846463 B1	30/09/2014
		US 8901613 B2	02/12/2014
		US 8907442 B2	09/12/2014
		US 8912052 B2	16/12/2014
		US 8956959 B2	17/02/2015
		US 8975670 B2	10/03/2015
		US 8987079 B2	24/03/2015
		US 8993385 B1	31/03/2015
		US 9099424 B1	04/08/2015
		US 9099526 B2	04/08/2015
		US 9136153 B2	15/09/2015
		US 9197804 B1	24/11/2015
		US 9219005 B2	22/12/2015
		US 9299641 B2	29/03/2016
		US 9385088 B2	05/07/2016
		US 9406670 B1	02/08/2016
		US 9412645 B1	09/08/2016
		US 9419031 B1	16/08/2016
		US 9509313 B2	29/11/2016
		US 9564432 B2	07/02/2017
		US 9577642 B2	21/02/2017
		US 9613844 B2	04/04/2017
		US 9613887 B2	04/04/2017
		US 9711407 B2	18/07/2017
		US 9818800 B2	14/11/2017
		US 9853089 B2	26/12/2017
		US 9887203 B2	06/02/2018
		US 9892972 B2	13/02/2018
		US 9941319 B2	10/04/2018
		US 9941332 B2	10/04/2018
		US 9953925 B2	24/04/2018
		US 9953972 B2	24/04/2018
		WO 2011-046844 A1	21/04/2011
		WO 2012-015550 A2	02/02/2012
		WO 2012-015550 A3	19/04/2012
		WO 2012-015550 A9	31/05/2012
US 2016-0365385 A1	15/12/2016	CN 104517858 A	15/04/2015
		DE 102014014234 A1	02/04/2015
		KR 10-1684463 B1	08/12/2016
		KR 10-2015-0035418 A	06/04/2015

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2018/038678

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		KR 10-2015-0135174 A	02/12/2015
		TW 201517137 A	01/05/2015
		TW 201640572 A	16/11/2016
		TW 1538026 B	11/06/2016
		TW 1607494 B	01/12/2017
		US 2015-0091067 A1	02/04/2015
		US 9455343 B2	27/09/2016
		US 9825095 B2	21/11/2017
		WO 2012-015550 A2	02/02/2012
		WO 2012-015550 A3	19/04/2012
US 2017-0033020 A1	02/02/2017	CN 107258017 A	17/10/2017
		EP 3262682 A1	03/01/2018
		US 2016-0254261 A1	01/09/2016
		US 9502414 B2	22/11/2016
		US 9824936 B2	21/11/2017
		WO 2016-137589 A1	01/09/2016
US 2015-0097155 A1	09/04/2015	CN 101057298 A	17/10/2007
		CN 101057298 B	01/08/2012
		CN 102694122 A	26/09/2012
		EP 1800314 A2	27/06/2007
		EP 2284840 A2	16/02/2011
		EP 2284840 A3	22/06/2011
		JP 2008-512857 A	24/04/2008
		JP 2012-238893 A	06/12/2012
		KR 10-2007-0047341 A	04/05/2007
		US 2005-0174835 A1	11/08/2005
		US 2006-0050598 A1	09/03/2006
		US 2006-0171200 A1	03/08/2006
		US 2006-0245243 A1	02/11/2006
		US 2008-0109775 A1	08/05/2008
		US 2008-0293196 A1	27/11/2008
		US 2009-0026442 A1	29/01/2009
		US 2009-0045390 A1	19/02/2009
		US 2009-0154232 A1	18/06/2009
		US 2009-0177833 A1	09/07/2009
		US 2009-0204777 A1	13/08/2009
		US 2009-0231906 A1	17/09/2009
		US 2009-0303772 A1	10/12/2009
		US 2009-0303773 A1	10/12/2009
		US 2010-0155722 A1	24/06/2010
		US 2010-0155953 A1	24/06/2010
		US 2010-0157657 A1	24/06/2010
		US 2010-0157658 A1	24/06/2010
		US 2010-0157710 A1	24/06/2010
		US 2010-0159641 A1	24/06/2010
		US 2010-0159688 A1	24/06/2010
		US 2010-0215483 A1	26/08/2010
		US 2011-0141831 A1	16/06/2011

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2018/038678

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 2011-0155990 A1	30/06/2011
		US 2011-0186803 A1	04/08/2011
		US 2011-0188281 A1	04/08/2011
		US 2011-0188283 A1	04/08/2011
		US 2011-0188284 A1	04/08/2011
		US 2011-0188289 A1	04/08/2011
		US 2011-0278532 A1	17/11/2011
		US 2011-0280060 A1	17/11/2011
		US 2011-0310658 A1	22/12/2011
		US 2011-0315943 A1	29/12/2011
		US 2011-0315948 A1	29/12/2011
		US 2012-0020143 A1	26/01/2012
		US 2012-0026780 A1	02/02/2012
		US 2012-0033481 A1	09/02/2012
		US 2012-0043521 A1	23/02/2012
		US 2012-0064691 A1	15/03/2012
		US 2012-0087174 A1	12/04/2012
		US 2012-0176832 A1	12/07/2012
		US 2012-0176840 A1	12/07/2012
		US 2012-0206980 A1	16/08/2012
		US 2012-0286232 A1	15/11/2012
		US 2012-0292585 A1	22/11/2012
		US 2012-0307542 A1	06/12/2012
		US 2012-0314477 A1	13/12/2012
		US 2013-0003437 A1	03/01/2013
		US 2013-0043452 A1	21/02/2013
		US 2013-0043455 A1	21/02/2013
		US 2013-0059436 A1	07/03/2013
		US 2013-0082228 A1	04/04/2013
		US 2013-0082232 A1	04/04/2013
		US 2013-0135920 A1	30/05/2013
		US 2013-0214233 A1	22/08/2013
		US 2013-0215667 A1	22/08/2013
		US 2013-0229856 A1	05/09/2013
		US 2014-0009998 A1	09/01/2014
		US 2014-0014893 A1	16/01/2014
		US 2014-0140122 A1	22/05/2014
		US 2014-0198584 A1	17/07/2014
		US 2014-0211542 A1	31/07/2014
		US 2014-0219006 A1	07/08/2014
		US 2014-0346435 A1	27/11/2014
		US 2014-0367629 A1	18/12/2014
		US 2015-0029780 A1	29/01/2015
		US 2015-0055425 A1	26/02/2015
		US 2015-0132917 A1	14/05/2015
		US 2015-0138874 A1	21/05/2015
		US 2015-0179250 A1	25/06/2015
		US 2015-0221377 A1	06/08/2015
		US 2015-0364169 A1	17/12/2015
		US 2015-0380642 A1	31/12/2015

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2018/038678

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 2016-0005793 A1	07/01/2016
		US 2016-0172025 A1	16/06/2016
		US 2016-0267973 A1	15/09/2016
		US 2016-0300883 A1	13/10/2016
		US 2016-0379691 A1	29/12/2016
		US 2016-0379692 A1	29/12/2016
		US 2017-0010831 A1	12/01/2017
		US 2017-0110514 A1	20/04/2017
		US 2017-0140816 A1	18/05/2017
		US 2017-0179197 A1	22/06/2017
		US 2017-0364296 A1	21/12/2017
		US 2018-0012934 A1	11/01/2018
		US 2018-0019008 A1	18/01/2018
		US 2018-0019009 A1	18/01/2018
		US 2018-0096726 A1	05/04/2018
		US 2018-0114573 A1	26/04/2018
		US 2018-0122857 A1	03/05/2018
		US 2018-0130850 A1	10/05/2018
		US 2018-0130946 A1	10/05/2018
		US 7082052 B2	25/07/2006
		US 7394679 B2	01/07/2008
		US 7538338 B2	26/05/2009
		US 7633790 B2	15/12/2009
		US 7889539 B2	15/02/2011
		US 7889571 B2	15/02/2011
		US 7897951 B2	01/03/2011
		US 7985963 B2	26/07/2011
		US 7986567 B2	26/07/2011
		US 8003511 B2	23/08/2011
		US 8020132 B2	13/09/2011
		US 8027215 B2	27/09/2011
		US 8031509 B2	04/10/2011
		US 8062942 B2	22/11/2011
		US 8111572 B2	07/02/2012
		US 8139409 B2	20/03/2012
		US 8141021 B2	20/03/2012
		US 8164960 B2	24/04/2012
		US 8237142 B2	07/08/2012
		US 8254196 B2	28/08/2012
		US 8264864 B2	11/09/2012
		US 8268667 B2	18/09/2012
		US 8270193 B2	18/09/2012
		US 8305796 B2	06/11/2012
		US 8314024 B2	20/11/2012
		US 8320161 B2	27/11/2012
		US 8347254 B2	01/01/2013
		US 8358529 B2	22/01/2013
		US 8363443 B2	29/01/2013
		US 8390100 B2	05/03/2013
		US 8419345 B2	16/04/2013

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/US2018/038678

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
		US 8427868 B2	23/04/2013
		US 8559209 B2	15/10/2013
		US 8565003 B2	22/10/2013
		US 8565006 B2	22/10/2013
		US 8565039 B2	22/10/2013
		US 8569160 B2	29/10/2013
		US 8588005 B2	19/11/2013
		US 8611130 B2	17/12/2013
		US 8654565 B2	18/02/2014
		US 8675389 B2	18/03/2014
		US 8705260 B2	22/04/2014
		US 8848425 B2	30/09/2014
		US 8854881 B2	07/10/2014
		US 8897050 B2	25/11/2014
		US 8929126 B2	06/01/2015
		US 8937292 B2	20/01/2015
		US 8988930 B2	24/03/2015
		US 9030889 B2	12/05/2015
		US 9058300 B2	16/06/2015
		US 9129668 B2	08/09/2015
		US 9159408 B2	13/10/2015
		US 9159913 B2	13/10/2015
		US 9293702 B2	22/03/2016
		US 9299427 B2	29/03/2016
		US 9312307 B2	12/04/2016
		US 9378825 B2	28/06/2016
		US 9384806 B2	05/07/2016
		US 9401202 B2	26/07/2016
		US 9484533 B2	01/11/2016
		US 9514811 B2	06/12/2016
		US 9570515 B2	14/02/2017
		US 9691821 B2	27/06/2017
		US 9715910 B2	25/07/2017
		US 9720611 B2	01/08/2017
		US 9767897 B2	19/09/2017
		US 9767899 B2	19/09/2017
		US 9806130 B2	31/10/2017
		US 9818799 B2	14/11/2017
		US 9831425 B2	28/11/2017
		US 9870809 B2	16/01/2018
		WO 2006-029228 A2	16/03/2006
		WO 2006-029228 A3	20/07/2006
US 2009-0098740 A1	16/04/2009	KR 10-1002548 B1	17/12/2010
		KR 10-2009-0036873 A	15/04/2009
		US 7892919 B2	22/02/2011

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/04 (2006.01)

(81)指定国・地域 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT

(72)発明者 デヴィリアーズ, アンTON ジェイ.

アメリカ合衆国 ニューヨーク州 1 2 2 0 3 , オールバニー, フラワーロード 2 5 5 , スイート 2 4 4 , ナノファブ 3 0 0 サウス

(72)発明者 タピリー, カンダバラ エヌ.

アメリカ合衆国 ニューヨーク州 1 2 2 0 3 , オールバニー, フラワーロード 2 5 5 , スイート 2 4 4 , ナノファブ 3 0 0 サウス

F ターム(参考) 5F033 GG01 HH07 MM01 MM19 MM30 QQ09 QQ48 RR04 RR06 VV04
VV05 VV16 VV17 XX03 XX10
5F038 CA16 CD02 CD18 EZ02 EZ20