

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-150305
(P2020-150305A)

(43) 公開日 令和2年9月17日(2020.9.17)

(51) Int. Cl.	F 1			テーマコード(参考)
HO3K 17/16 (2006.01)	HO3K 17/16	D	5H740	
HO2M 1/08 (2006.01)	HO2M 1/08	A	5J055	
HO3K 17/687 (2006.01)	HO3K 17/687	F		
HO3K 17/695 (2006.01)	HO3K 17/695			

審査請求 未請求 請求項の数 9 O L (全 18 頁)

(21) 出願番号 特願2019-43764(P2019-43764)
(22) 出願日 平成31年3月11日(2019.3.11)

(71) 出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(74) 代理人 110000176
一色国際特許業務法人
(72) 発明者 赤羽 正志
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
Fターム(参考) 5H740 BA12 BB04 BB08 BC01 BC02
HH06 JA01 JB01 KK01
5J055 AX22 BX16 CX13 CX20 DX13
DX22 DX56 EX07 EY01 EY12
EY21 EZ16 EZ20 EZ31 GX01
GX04

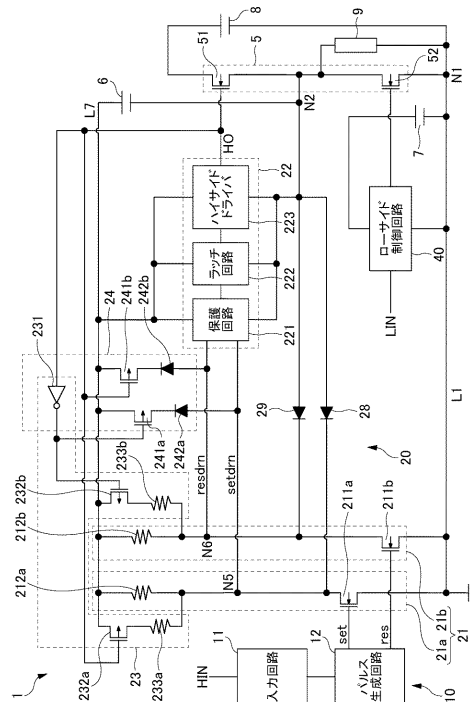
(54) 【発明の名称】 駆動回路

(57) 【要約】

【課題】 パワーデバイスに接続されるノードに負電圧が発生した後でも、そのパワーデバイスを駆動する制御回路を正常に動作させる。

【解決手段】 駆動回路は、セット信号をレベルシフトすることによって、レベルシフト済みセット信号を生成するセット側レベルシフト回路と、リセット信号をレベルシフトすることによって、レベルシフト済みリセット信号を生成するリセット側レベルシフト回路と、前記レベルシフト済みリセット信号に基づいてパワーデバイスをオフさせる第1論理レベルと、前記レベルシフト済みセット信号に基づいて前記パワーデバイスをオンさせる第2論理レベルとの間で変化する駆動信号を出力する制御回路と、前記制御回路が前記レベルシフト済みセット信号に基づいて前記パワーデバイスをオンさせ且つ前記レベルシフト済みリセット信号に基づいて前記パワーデバイスをオフさせる状態を、前記駆動信号に基づいて保証する保証回路と、を備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

セット信号をレベルシフトすることによって、レベルシフト済みセット信号を生成するセット側レベルシフト回路と、

リセット信号をレベルシフトすることによって、レベルシフト済みリセット信号を生成するリセット側レベルシフト回路と、

前記レベルシフト済みリセット信号に基づいてパワーデバイスをオフさせる第 1 論理レベルと、前記レベルシフト済みセット信号に基づいて前記パワーデバイスをオンさせる第 2 論理レベルとの間で変化する駆動信号を出力する制御回路と、

前記制御回路が前記レベルシフト済みセット信号に基づいて前記パワーデバイスをオンさせ且つ前記レベルシフト済みリセット信号に基づいて前記パワーデバイスをオフさせる状態を、前記駆動信号に基づいて保証する保証回路と、

を備える駆動回路。

【請求項 2】

前記セット側レベルシフト回路は、基準電位と、前記基準電位よりも高い高電位との間で変化する前記レベルシフト済みセット信号を生成し、

前記リセット側レベルシフト回路は、前記基準電位と、前記高電位との間で変化する前記レベルシフト済みリセット信号を生成し、

前記保証回路は、

前記駆動信号が前記第 2 論理レベルの際に、カソードが前記高電位の配線に接続されるとともに、アノードが前記セット側レベルシフト回路の出力ノードに接続されるセット側ダイオードと、

前記駆動信号が前記第 1 論理レベルの際に、カソードが前記高電位の配線に接続されるとともに、アノードが前記セット側レベルシフト回路の出力ノードに接続されるリセット側ダイオードと、

を有する

請求項 1 に記載の駆動回路。

【請求項 3】

前記セット側ダイオードは、前記駆動信号が前記第 1 論理レベルの際に、そのカソードが前記高電位の配線に接続されるとともにそのアノードが前記セット側レベルシフト回路の出力ノードに接続される状態が解除され、

前記リセット側ダイオードは、前記駆動信号が前記第 2 論理レベルの際に、そのカソードが前記高電位の配線に接続されるとともにそのアノードが前記リセット側レベルシフト回路の出力ノードに接続される状態が解除される

請求項 2 に記載の駆動回路。

【請求項 4】

前記保証回路は、

前記高電位の配線と前記セット側レベルシフト回路の出力ノードとの間において前記セット側ダイオードに直列に接続され、前記駆動信号が前記第 2 論理レベルの際にオンし、前記駆動信号が前記第 1 論理レベルの際にオフするセット側スイッチング素子と、

前記高電位の配線と前記セット側レベルシフト回路の出力ノードとの間において前記リセット側ダイオードに直列に接続され、前記駆動信号が前記第 1 論理レベルの際にオンし、前記駆動信号が前記第 2 論理レベルの際にオフするリセット側スイッチング素子と、

を有する

請求項 2 又は 3 に記載の駆動回路。

【請求項 5】

前記駆動信号が前記第 1 論理レベルの際に、前記高電位の配線と前記セット側レベルシフト回路の出力ノードとの間のインピーダンスを低下させるとともに前記高電位の配線と前記リセット側レベルシフト回路の出力ノードとの間のインピーダンスを増加させ、前記駆動信号が前記第 2 論理レベルの際に、前記セット側レベルシフト回路の出力ノードのイ

10

20

30

40

50

ンピーダンスを増加させるとともに前記リセット側レベルシフト回路の出力ノードのインピーダンスを低下させる調整回路、
を備える

請求項 2 から 4 の何れか一項に記載の駆動回路。

【請求項 6】

前記セット側レベルシフト回路は、
前記高電位の配線に接続されたセット側抵抗器と、
前記高電位の配線と前記基準電位の配線との間において前記セット側抵抗器に直列に接続され、前記セット信号に基づいてオン・オフするセット側レベルシフトスイッチング素子と、
を有し、

10

前記セット側レベルシフトスイッチング素子と前記セット側抵抗器との間のノードが前記セット側レベルシフト回路の出力ノードであり、

前記リセット側レベルシフト回路は、
前記高電位の配線に接続されたリセット側抵抗器と、
前記高電位の配線と前記基準電位の配線との間において前記リセット側抵抗器に直列に接続され、前記リセット信号に基づいてオン・オフするリセット側レベルシフトスイッチング素子と、
を有し、

前記リセット側レベルシフトスイッチング素子と前記リセット側抵抗器との間のノードが前記リセット側レベルシフト回路の出力ノードであり、

20

前記調整回路は、
前記駆動信号が前記第 1 論理レベルの際に、一端が前記高電位の配線に接続されるとともに、他端が前記セット側レベルシフト回路の出力ノードに接続される第 2 のセット側抵抗器と、

前記駆動信号が前記第 2 論理レベルの際に、一端が前記高電位の配線に接続されるとともに、他端が前記セット側レベルシフト回路の出力ノードに接続される第 2 のリセット側抵抗器と、
を有する

30

請求項 5 に記載の駆動回路。

【請求項 7】

前記第 2 のセット側抵抗器は、前記駆動信号が前記第 2 論理レベルの際に、その一端が前記高電位の配線に接続されるとともにその他端が前記セット側レベルシフト回路の出力ノードに接続される状態が解除され、

前記第 2 のリセット側抵抗器は、前記駆動信号が前記第 1 論理レベルの際に、その一端が前記高電位の配線に接続されるとともにその他端が前記リセット側レベルシフト回路の出力ノードに接続される状態が解除される

請求項 6 に記載の駆動回路。

【請求項 8】

前記調整回路は、
前記高電位の配線と前記セット側レベルシフト回路の出力ノードとの間において前記第 2 のセット側抵抗器に直列に接続され、前記駆動信号が前記第 2 論理レベルの際にオフし、前記駆動信号が前記第 1 論理レベルの際にオンする第 2 のセット側スイッチング素子と、
、

40

前記高電位の配線と前記セット側レベルシフト回路の出力ノードとの間において前記第 2 のリセット側抵抗器に直列に接続され、前記駆動信号が前記第 2 論理レベルの際にオンし、前記駆動信号が前記第 1 論理レベルの際にオフする第 2 のリセット側スイッチング素子と、

を有する

請求項 6 又は 7 に記載の駆動回路。

50

【請求項 9】

アノードが前記セット側レベルシフト回路の出力ノードに接続され、カソードが前記高電位の配線に接続されたセット側保証ダイオードと、

アノードが前記リセット側レベルシフト回路の出力ノードに接続され、カソードが前記高電位の配線に接続されたりセット側保証ダイオードと、
を備える請求項 2 から 8 の何れか一項に記載の駆動回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、パワーデバイスを駆動する駆動回路に関する。

10

【背景技術】**【0002】**

特許文献 1 及び 2 に開示されているように、ハーフブリッジ回路は、電源の高電位端子と低電位端子との間において直列接続された第 1 及び第 2 のパワースイッチング素子を有しており、第 1 パワースイッチング素子と第 2 パワースイッチング素子との間のノードがモータ等の負荷に接続されている。第 1 パワースイッチング素子がオン・オフし、第 2 パワースイッチング素子が第 1 パワースイッチング素子に対して相補的にオン・オフすることによって、負荷が駆動される。第 2 パワースイッチング素子は、電源の低電位端子の電位を基準電位として動作するローサイド制御回路によって駆動されることによって、オン・オフする。第 1 パワースイッチング素子は、第 1 パワースイッチング素子と第 2 パワースイッチング素子との間のノードの電位を基準電位として動作するハイサイド制御回路によって駆動されることによって、オン・オフする。

20

【0003】

ハイサイド制御回路の前段にはレベルシフト回路が接続され、レベルシフト回路の前段には前段回路が接続されている。ハイサイド制御回路及びレベルシフト回路は高電圧で動作するものであり、前段回路は低電圧で動作するものである。前段回路は、外部からの論理入力信号に基づいてパルス型のセット信号及びリセット信号を生成し、レベルシフト回路は、セット信号及びリセット信号をレベルシフトする。ハイサイド制御回路は、レベルシフト済みのセット信号及びリセット信号に基づいて駆動信号を生成して、その駆動信号に従って第 1 パワースイッチング素子をオン・オフさせる。

30

【先行技術文献】**【特許文献】****【0004】**

【特許文献 1】国際公開第 2016/163142 号

【特許文献 2】国際公開第 2016/009719 号

【発明の概要】**【発明が解決しようとする課題】****【0005】**

ところで、第 1 及び第 2 のパワースイッチング素子のオン・オフが切り替わると、第 1 パワースイッチング素子と第 2 パワースイッチング素子との間のノードの電位が負荷のインダクタンスの影響によって電源の低電位端子の電位よりも低下して、そのノードの電圧が負電圧となることがある。そのような負電圧が発生すると、レベルシフト回路のセット出力端子及びリセット出力端子の電圧が上昇する。その後、そのような負電圧が解消されると、後に、レベルシフト回路のセット出力端子及びリセット出力端子の電圧がリングングにより降下する。ハイサイド制御回路がセットされている場合に、リセット出力端子の電圧がリングングによって閾値電圧を超えると、ハイサイド制御回路が誤ってリセットされて、誤動作してしまう。一方、ハイサイド制御回路がリセットされている場合に、セット出力端子の電圧がリングングによって閾値電圧を超えると、ハイサイド制御回路が誤ってセットされて、誤動作してしまう。

40

本発明は、上記のような従来の問題に鑑みてなされたものであって、パワーデバイスに

50

接続されるノードに負電圧が発生した後でも、そのパワーデバイスを駆動する制御回路を正常に動作させることを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するための主たる発明は、セット信号をレベルシフトすることによって、レベルシフト済みセット信号を生成するセット側レベルシフト回路と、リセット信号をレベルシフトすることによって、レベルシフト済みリセット信号を生成するリセット側レベルシフト回路と、前記レベルシフト済みリセット信号に基づいてパワーデバイスをオフさせる第1論理レベルと、前記レベルシフト済みセット信号に基づいて前記パワーデバイスをオンさせる第2論理レベルとの間で変化する駆動信号を出力する制御回路と、前記制御回路が前記レベルシフト済みセット信号に基づいて前記パワーデバイスをオンさせ且つ前記レベルシフト済みリセット信号に基づいて前記パワーデバイスをオフさせる状態を、前記駆動信号に基づいて保証する保証回路と、を備える駆動回路である。

10

【発明の効果】

【0007】

本発明の実施態様によれば、パワースイッチング素子を駆動する制御回路を正常に動作させることができる。

【図面の簡単な説明】

【0008】

【図1】駆動回路の構成を出力回路、負荷及び電源とともに示す図である。

20

【図2】ハイサイドの入力信号、ローサイドの入力信号、セット信号、レベルシフト済みセット信号、リセット信号、レベルシフト済みリセット信号、ラッチ回路の出力、出力信号及び各スイッチング素子の状態の関係を示すタイミングチャートである。

【図3】ハイサイドのパワースイッチング素子がオンからオフに切り替わった後のノードの電圧、入力信号、出力信号、レベルシフト済みセット信号及びレベルシフト済みセット信号の波形を示したタイミングチャートである。

【図4】図3に示すレベルシフト済みセット信号及びレベルシフト済みセット信号の波形を重ね合わせたものである。

【図5】ハイサイドのパワースイッチング素子がオフからオンに切り替わった後のノードの電圧、入力信号、出力信号、レベルシフト済みセット信号及びレベルシフト済みセット信号の波形を示したタイミングチャートである。

30

【図6】図5に示すレベルシフト済みセット信号及びレベルシフト済みセット信号のチャートを重ね合わせたものである。

【図7】別の実施形態の駆動回路の構成を出力回路、負荷及び電源とともに示す図である。

【発明を実施するための形態】

【0009】

本明細書及び添付図面の記載により、少なくとも以下の事項が明らかとなる。

【0010】

====本実施形態====

40

以下、図面を参照して、本発明の実施形態について説明する。但し、以下に述べる実施形態には、本発明を実施するために技術的に好ましい種々の限定が付されているので、本発明の範囲を以下の実施形態及び図示例に限定するものではない。

【0011】

<<< 1. 駆動回路及び出力回路の概要 >>>

図1は、駆動回路1、出力回路5及び負荷9等を示す図である。図2は、入力信号HIN、入力信号LIN、セット信号set、レベルシフト済みセット信号setdrn、リセット信号res、レベルシフト済みリセット信号resdrn、ラッチ回路222の出力、駆動信号H0及びスイッチング素子232a、232b、241a、241bの状態の関係を表したタイミングチャートである。

50

【 0 0 1 2 】

ハイサイド側の入力信号HIN及びローサイド側の入力信号LINがマイコンから駆動回路 1 に入力されることによって、駆動回路 1 が動作する。詳細は後述するが、入力信号HINは、入力回路 1 1 に入力され、入力信号LINは、ローサイド制御回路 4 0 に入力される。入力信号HIN及び入力信号LINは、第 1 論理レベルと第 2 論理レベルに繰り返し切り替わる論理入力信号である。ここで、第 1 論理レベルとはローレベルのことをいい、第 2 論理レベルとはハイレベルのことをいう。

【 0 0 1 3 】

入力信号HINと入力信号LINは相補的な関係にある。つまり、入力信号HINがハイレベルである際には、入力信号LINがローレベルであり、入力信号HINがローレベルである際には、入力信号LINがハイレベルである。

10

【 0 0 1 4 】

駆動回路 1 は、ハイサイド側の入力信号HIN及びローサイド側の入力信号LINに基づいて、出力回路 5 を制御し、出力回路 5 は、負荷 9 の状態を、高圧直流電源 8 の電圧を印加する電圧印加状態と、接地電圧を印加する接地電圧印加状態とに交互に繰り返し切り替える。駆動信号H0はローレベル（第 1 論理レベル）とハイレベル（第 2 論理レベル）に繰り返し切り替わる論理信号である。なお、駆動回路 1 における信号遅延を考慮しなければ、ハイサイド側のパワーデバイスを駆動する駆動信号H0は、入力信号HINに対して同期して変化する。

【 0 0 1 5 】

出力回路 5 は、ハーフブリッジを構成するパワースイッチング素子 5 1 , 5 2 を含んで構成される。パワースイッチング素子 5 1 , 5 2 はNチャネル型のパワーMOSFETであるが、IGTB又はバイポーラトランジスタ等といったパワーデバイスであってもよい。パワースイッチング素子 5 1 , 5 2 が高圧直流電源 8 の高電位出力端子と低電位出力端子との間に直列接続されている。パワースイッチング素子 5 2 と高圧直流電源 8 の低電位出力端子との間のノードN1が基準電位配線L1に接続されて、その基準電位配線L1が接地されている。このため、基準電位配線L1及びノードN1は、駆動回路 1 の基準電位（接地電位）となる。パワースイッチング素子 5 1 とパワースイッチング素子 5 2 との間のノードN2が負荷 9 の一端に接続されている。負荷 9 の他端が基準電位配線L1によって接地されていて、基準電位とされている。ノードN2はハイサイド直流電源 6 の低電位出力端子に接続されている。ハイサイド直流電源 6 の高電位出力端子が高電位配線L7に接続されており、ノードN2の電位を基準としたハイサイド直流電源 6 の出力電圧が高電位配線L7に印加される。

20

30

【 0 0 1 6 】

駆動回路 1 は、ハイサイド側の入力信号HINに基づいて、ハイサイド側のパワースイッチング素子 5 1 をオン・オフさせる。更に、駆動回路 1 は、ローサイド側の入力信号LINに基づいて、パワースイッチング素子 5 1 に対して相補的にローサイド側のパワースイッチング素子 5 2 をオン・オフさせる。パワースイッチング素子 5 1 がオンし且つパワースイッチング素子 5 2 がオフすると、ノードN2の電位が高圧直流電源 8 の出力電圧となり、負荷 9 が電圧印加状態となる。パワースイッチング素子 5 2 がオフし且つパワースイッチング素子 5 2 がオンすると、ノードN2の電位が基準電位になり、負荷 9 が接地電圧印加状態となる。従って、ノードN2の電位は基準電位から高圧直流電源 8 の出力電圧までの間で変動し得る。ここで、負荷 9 が電圧印加状態からデッドタイムを経て接地電圧印加状態に切り替わるが、そのデッドタイムではパワースイッチング素子 5 1 , 5 2 が共にオフすることによって、高圧直流電源 8 のショート及び貫流電流が防止される。同様に、負荷 9 が接地電圧印加状態からデッドタイムを経て電圧印加状態に切り替わる。

40

【 0 0 1 7 】

< < < 2 . 駆動回路の構成 > > >

駆動回路 1 は前段回路 1 0、後段回路 2 0 及びローサイド制御回路 4 0 を含んで構成される。

50

駆動回路 1 は 1 つのチップに内蔵されている。但し、前段回路 1 0 及び後段回路 2 0 が共通のチップに内蔵され、ローサイド制御回路 4 0 が別のチップに内蔵されていてもよい。或いは、前段回路 1 0 及びローサイド制御回路 4 0 が共通のチップに内蔵され、後段回路 2 0 が別のチップに内蔵されていてもよい。或いは、後段回路 2 0 及びローサイド制御回路 4 0 が共通のチップに内蔵され、前段回路 1 0 が別のチップに内蔵されていてもよい。或いは、前段回路 1 0、後段回路 2 0 及びローサイド制御回路 4 0 が別々のチップに内蔵されていてもよい。

【 0 0 1 8 】

前段回路 1 0 は低電圧で動作し、後段回路 2 0 は低電圧と高電圧で動作する。

前段回路 1 0 は入力回路 1 1 及びパルス生成回路 1 2 を含んで構成される。後段回路 2 0 はレベルシフト回路 2 1、ハイサイド制御回路 2 2、調整回路 2 3、保証回路 2 4 及びダイオード 2 8, 2 9 を含んで構成される。

10

【 0 0 1 9 】

<<< 2 - 1 . ローサイド制御回路 >>>

ローサイド制御回路 4 0 には、ローサイドの直流電源 7 から電力が供給されるとともに、マイコンから入力信号 LIN が入力される。ローサイド制御回路 4 0 は、入力信号 LIN に基づいて、パワースイッチング素子 5 1 に対して相補的にパワースイッチング素子 5 2 をオン・オフさせる。

【 0 0 2 0 】

<<< 2 - 2 . 入力回路 >>>

入力回路 1 1 は、入力信号 HIN を参照電圧と比較することによって入力信号 HIN がハイレベルとローレベルのどちらかであることを判定するコンパレータ (不図示) と、そのコンパレータの出力信号のノイズを除去した上で出力するノイズフィルタ (不図示) と、を有する。入力回路 1 1 の遅延を考慮しなければ、入力回路 1 1 の出力信号、つまりノイズフィルタの出力信号は入力信号 HIN に同期する。

20

【 0 0 2 1 】

<<< 2 - 3 . パルス生成回路 >>>

パルス生成回路 1 2 は、入力回路 1 1 の出力信号がローレベルからハイレベルに立ち上がる時においてパルスを発生させるとともに、そのパルス発生時にハイレベルであるとともにそのパルス消失時にローレベルであるセット信号 set (図 2 参照) を出力する。また、パルス生成回路 1 2 は、入力回路 1 1 の出力信号がハイレベルからローレベルに立ち下がる時においてパルスを発生させて、そのパルス発生時にハイレベルであるとともにそのパルス消失時においてローレベルであるリセット信号 res (図 2 参照) を出力する。セット信号 set がハイレベルであるタイミングとリセット信号 res がハイレベルであるタイミングは時間的にずれている。セット信号 set 及びリセット信号 res は後段回路 2 0 のレベルシフト回路 2 1 に入力される。

30

【 0 0 2 2 】

<<< 2 - 4 . レベルシフト回路及びクランプダイオード >>>

図 1 に示すように、レベルシフト回路 2 1 は、セット側レベルシフト回路 2 1 a とリセット側レベルシフト回路 2 1 b とを含んで構成される。セット側レベルシフト回路 2 1 a は、パルス生成回路 1 2 により出力されたセット信号 set を反転しつつ直流レベルをシフトして、レベルシフト済みセット信号 setdrn (図 2 参照) としてハイサイド制御回路 2 2 へ出力する。リセット側レベルシフト回路 2 1 b は、パルス生成回路 1 2 により出力されたリセット信号 res を反転しつつ直流レベルをシフトして、レベルシフト済みリセット信号 resdrn (図 2 参照) としてハイサイド制御回路 2 2 へ出力する。

40

【 0 0 2 3 】

セット側レベルシフト回路 2 1 a は、セット側レベルシフトスイッチング素子 2 1 1 a 及びセット側抵抗器 2 1 2 a を含んで構成される。リセット側レベルシフト回路 2 1 b は、リセット側レベルシフトスイッチング素子 2 1 1 b 及びリセット側抵抗器 2 1 2 b を含んで構成される。

50

【 0 0 2 4 】

レベルシフトスイッチング素子 2 1 1 a , 2 1 1 b は高耐圧の N チャネル型 M O S F E T であるが、 I G T B 又はバイポーラトランジスタ等であってもよい。

【 0 0 2 5 】

セット側抵抗器 2 1 2 a とセット側レベルシフトスイッチング素子 2 1 1 a とは高電位配線 L 7 と基準電位配線 L 1 との間において直列接続されている。つまり、セット側レベルシフトスイッチング素子 2 1 1 a のドレインがセット側抵抗器 2 1 2 a を介して高電位配線 L 7 に接続され、セット側レベルシフトスイッチング素子 2 1 1 a のソースが基準電位配線 L 1 に接続されている。

【 0 0 2 6 】

リセット側抵抗器 2 1 2 b とリセット側レベルシフトスイッチング素子 2 1 1 b が高電位配線 L 7 と基準電位配線 L 1 との間で直列接続されている。つまり、リセット側レベルシフトスイッチング素子 2 1 1 b のドレインがリセット側抵抗器 2 1 2 b を介して高電位配線 L 7 に接続され、リセット側レベルシフトスイッチング素子 2 1 1 b のソースが基準電位配線 L 1 に接続されている。

【 0 0 2 7 】

ダイオード 2 8 のアノードがノード N 2 に接続され、ダイオード 2 8 のカソードがセット側抵抗器 2 1 2 a とセット側レベルシフトスイッチング素子 2 1 1 a との間のノード N 5 に接続されている。ダイオード 2 8 がノード N 5 の電位をノード N 2 の電位にクランプするので、ノード N 5 の電圧がノード N 2 の電位を基準とする。そのため、過電圧がハイ

10

20

【 0 0 2 8 】

サイド制御回路 2 2 に入力されないようになっている。

ダイオード 2 9 のアノードがノード N 2 に接続され、ダイオード 2 9 のカソードがリセット側抵抗器 2 1 2 b とリセット側レベルシフトスイッチング素子 2 1 1 b との間のノード N 6 に接続されている。ダイオード 2 9 がノード N 6 の電位をノード N 2 の電位にクランプするので、ノード N 6 の電圧がノード N 2 の電位を基準とする。そのため、過電圧がハイ

【 0 0 2 9 】

サイド制御回路 2 2 に入力されないようになっている。

セット側レベルシフトスイッチング素子 2 1 1 a のゲートがパルス生成回路 1 2 のセット側出力端子に接続され、パルス生成回路 1 2 によって出力されたセット信号 set がセット側レベルシフトスイッチング素子 2 1 1 a のゲートに入力される。セット側レベルシフトスイッチング素子 2 1 1 a はセット信号 set に基づいてオン・オフする。セット側レベルシフトスイッチング素子 2 1 1 a がオフすると、ドレイン電圧 (ノード N 5 の電圧) がハイ

30

【 0 0 3 0 】

サイド制御回路 2 2 に入力される。従って、ノード N 5 がセット側レベルシフト回路 2 1 a の出力ノード且つハイサイド制御回路 2 2 のセット側入力ノードである。

リセット側レベルシフトスイッチング素子 2 1 1 b のゲートがパルス生成回路 1 2 のリセット側出力端子に接続され、パルス生成回路 1 2 によって出力されたリセット信号 res がリセット側レベルシフトスイッチング素子 2 1 1 b のゲートに入力される。リセット側レベルシフトスイッチング素子 2 1 1 b はリセット信号 res に基づいてオン・オフする。リセット側レベルシフトスイッチング素子 2 1 1 b がオフすると、ノード N 6 の電圧がハイ

40

【 0 0 3 1 】

50

なお、セット信号setがハイレベルになるタイミングと、リセット信号resがハイレベルになるタイミングは異なる。このため、レベルシフト済みセット信号setdrnがローレベルであるタイミングと、レベルシフト済みリセット信号resdrnがローレベルであるタイミングも異なる。

【 0 0 3 2 】

<<< 2 - 4 . ハイサイド制御回路 >>>

ハイサイド制御回路 2 2 は、レベルシフト済みセット信号setdrn及びレベルシフト済みリセット信号resdrnに基づいて駆動信号H0を生成して、その駆動信号H0をパワースイッチング素子 5 1 のゲートに出力する。これにより、ハイサイド制御回路 2 2 は、パワースイッチング素子 5 1 をオン・オフさせる。レベルシフト済みセット信号setdrnがローレベルであり且つレベルシフト済みリセット信号resdrnがハイレベルである際に、ハイサイド制御回路 2 2 が駆動信号H0をハイレベルにする。一方、レベルシフト済みセット信号setdrnがハイレベルであり且つレベルシフト済みリセット信号resdrnがローレベルである際に、ハイサイド制御回路 2 2 が駆動信号H0をローレベルにする。なお、レベルシフト済みセット信号setdrnとレベルシフト済みリセット信号resdrnが共にローレベル又はハイレベルである際に、ハイサイド制御回路 2 2 は駆動信号H0のレベルを維持する。

10

【 0 0 3 3 】

ここで、ハイサイド制御回路 2 2 がレベルシフト済みセット信号setdrnのローレベルを検知するための基準電圧をセット用閾値電圧といい、ハイサイド制御回路 2 2 がレベルシフト済みリセット信号resdrnのローレベルを検知するための基準電圧をリセット用閾値電圧という。

20

【 0 0 3 4 】

ハイサイド制御回路 2 2 は保護回路 2 2 1、ラッチ回路 2 2 2 及びハイサイドドライバ 2 2 3 を含んで構成される。

【 0 0 3 5 】

保護回路 2 2 1 には、ノード N 2 の電位を基準としたハイサイド直流電源 6 の出力電圧が供給される。また、保護回路 2 2 1 には、レベルシフト済みセット信号setdrn及びレベルシフト済みリセット信号resdrnが入力される。保護回路 2 2 1 は、レベルシフト済みセット信号setdrn及びレベルシフト済みリセット信号resdrnに基づいて、ラッチ回路 2 2 2 を制御する。図 2 に示すように、レベルシフト済みセット信号setdrnがローレベルであり且つレベルシフト済みリセット信号resdrnがハイレベルである際に、保護回路 2 2 1 がハイレベルの信号をラッチ回路 2 2 2 に出力する。レベルシフト済みセット信号setdrnがハイレベルであり且つレベルシフト済みリセット信号resdrnがローレベルである際に、保護回路 2 2 1 がローレベルの信号をラッチ回路 2 2 2 に出力する。レベルシフト済みセット信号setdrnとレベルシフト済みリセット信号resdrnが共にローレベル又はハイレベルである際に、保護回路 2 2 1 が出力を高インピーダンスにする。なお、セット用閾値電圧及びリセット用閾値電圧は保護回路 2 2 1 の構成によって定まる。

30

【 0 0 3 6 】

ラッチ回路 2 2 2 には、ノード N 2 の電位を基準としたハイサイド直流電源 6 の出力電圧が供給される。ラッチ回路 2 2 2 は保護回路 2 2 1 の出力に応じて制御される。ラッチ回路 2 2 2 は、保護回路 2 2 1 の出力（ラッチ回路 2 2 2 の入力）がハイレベル又はローレベルであればその値を記憶して出力する。また、ラッチ回路 2 2 2 は、保護回路 2 2 1 の出力が高インピーダンスになると、保護回路 2 2 1 の出力が高インピーダンスになる直前に記憶した値を保持・出力する。

40

【 0 0 3 7 】

ここで、駆動回路 1 が正常の場合、レベルシフト済みセット信号setdrnがローレベルであり且つレベルシフト済みリセット信号resdrnがハイレベルである際には、ラッチ回路 2 2 2 の出力がハイレベルとなる。その後、レベルシフト済みセット信号setdrn及びレベルシフト済みリセット信号resdrnが共にローレベル又はハイレベルである際には、ラッチ回路 2 2 2 の出力がハイレベルに保持される。レベルシフト済みセット信号setdrnがハイレ

50

ベルであり且つレベルシフト済みリセット信号resdrmがローレベルである際には、ラッチ回路222の出力がローレベルである。その後、レベルシフト済みセット信号setdrn及びレベルシフト済みリセット信号resdrmが共にローレベル又はハイレベルである際には、ラッチ回路222の出力がローレベルに保持される。

【0038】

ハイサイドドライバ223には、ノードN2の電位を基準としたハイサイド直流電源6の出力電圧が供給される。また、ハイサイドドライバ223には、ラッチ回路222の出力が入力される。ハイサイドドライバ223は、ラッチ回路222の出力に応じた駆動信号H0を生成して、その駆動信号H0をパワースイッチング素子52のゲートに出力する。つまり、ハイサイドドライバ223は、ラッチ回路222の出力がローレベルであれば、駆動信号H0をローレベルにし、ラッチ回路222の出力がハイレベルであれば、駆動信号H0をハイレベルにする。

10

【0039】

<<<2-5. 調整回路>>>

調整回路23は、ハイサイド制御回路22の駆動信号H0に基づいて、セット側レベルシフト回路21aのノードN5と高電位配線L7との間のインピーダンスと、リセット側レベルシフト回路21bのノードN6と高電位配線L7との間のインピーダンスとを制御する。これにより、調整回路23は、ハイサイド制御回路22の駆動信号H0に同期して、これらインピーダンスの大小関係を制御する。

【0040】

具体的には、ハイサイド制御回路22の駆動信号H0がハイレベルである際に、調整回路23は、セット側レベルシフト回路21aのノードN5と高電位配線L7との間のインピーダンスを増加させる。更に、ハイサイド制御回路22の駆動信号H0がハイレベルである際に、調整回路23は、リセット側レベルシフト回路21bのノードN6と高電位配線L7との間のインピーダンスを低下させる。従って、ハイサイド制御回路22の駆動信号H0がハイレベルである際には、セット側レベルシフト回路21aのノードN5と高電位配線L7との間のインピーダンスが、リセット側レベルシフト回路21bのノードN6と高電位配線L7との間のインピーダンスよりも高い。

20

【0041】

一方、ハイサイド制御回路22の駆動信号H0がローレベルである際には、調整回路23は、セット側レベルシフト回路21aのノードN5と高電位配線L7との間のインピーダンスを低下させる。更に、ハイサイド制御回路22の駆動信号H0がローレベルである際には、調整回路23は、リセット側レベルシフト回路21bのノードN6と高電位配線L7との間のインピーダンスを増加させる。従って、ハイサイド制御回路22の駆動信号H0がローレベルである際には、セット側レベルシフト回路21aのノードN5と高電位配線L7との間のインピーダンスが、リセット側レベルシフト回路21bのノードN6と高電位配線L7との間のインピーダンスよりも低い。

30

【0042】

調整回路23は、インバータ231、第2のセット側スイッチング素子232a、第2のリセット側スイッチング素子232b、第2のセット側抵抗器233a及び第2のリセット側抵抗器233bを含んで構成される。

40

スイッチング素子232a, 232bはPチャネル型のMOSFETである。

第2のセット側スイッチング素子232aと第2のセット側抵抗器233aとは高電位配線L7とセット側レベルシフト回路21aのノードN5との間において直列接続されている。第2のリセット側スイッチング素子232bと第2のリセット側抵抗器233bとは高電位配線L7とリセット側レベルシフト回路21bのノードN6との間において直列接続されている。なお、第2のセット側スイッチング素子232aと第2のセット側抵抗器233aを入れ換えて、第2のセット側スイッチング素子232aと第2のセット側抵抗器233aとを高電位配線L7とノードN5との間において直列接続してもよい。第2のリセット側スイッチング素子232bと第2のリセット側抵抗器233bについても同

50

様である。

【 0 0 4 3 】

第 2 のセット側スイッチング素子 2 3 2 a のゲートがハイサイドドライバ 2 2 3 の出力端子に接続されている。第 2 のリセット側スイッチング素子 2 3 2 b のゲートがインバータ 2 3 1 の出力端子に接続され、インバータ 2 3 1 の入力端子がハイサイドドライバ 2 2 3 の出力端子に接続されている。

【 0 0 4 4 】

ハイサイドドライバ 2 2 3 によって出力された駆動信号 H0 が第 2 のセット側スイッチング素子 2 3 2 a のゲートに入力される。駆動信号 H0 がインバータ 2 3 1 によって反転され、その反転信号が第 2 のリセット側スイッチング素子 2 3 2 b のゲートに入力される。そのため、第 2 のセット側スイッチング素子 2 3 2 a がその駆動信号 H0 に基づいてオン・オフするとともに、第 2 のリセット側スイッチング素子 2 3 2 b が第 2 のセット側スイッチング素子 2 3 2 a に対して相補的にオン・オフする。

10

【 0 0 4 5 】

駆動信号 H0 がハイレベルである際に、第 2 のリセット側スイッチング素子 2 3 2 b がオンするとともに、第 2 のセット側スイッチング素子 2 3 2 a がオフする。そのため、第 2 のリセット側抵抗器 2 3 3 b とリセット側抵抗器 2 1 2 b がノード N 6 と高電位配線 L 7 との間で並列接続され、ノード N 6 と高電位配線 L 7 との間のインピーダンスが低いのに対して、セット側抵抗器 2 1 2 a がノード N 5 と高電位配線 L 7 との間で接続されるため、ノード N 5 と高電位配線 L 7 との間のインピーダンスは高くなる。従って、ノード N 5 と高電位配線 L 7 との間のインピーダンスが、ノード N 6 と高電位配線 L 7 との間のインピーダンスよりも高い。そのため、レベルシフトスイッチング素子 2 1 1 a , 2 1 1 b の寄生容量等に起因した dv/dt ノイズが発生した場合、ノード N 5 の電圧がノード N 6 の電圧よりも遅く立ち上がるため、 dv/dt ノイズが発生した場合でも、ハイサイド制御回路 2 2 が必ずセットされるので、ハイサイドドライバ 2 2 3 の駆動信号 H0 がハイレベルに維持される。よって、 dv/dt ノイズに起因したハイサイド制御回路 2 2 の誤動作を防止できる。

20

【 0 0 4 6 】

駆動信号 H0 がローレベルである際に、第 2 のセット側スイッチング素子 2 3 2 a がオンするとともに、第 2 のリセット側スイッチング素子 2 3 2 b がオフする。そのため、第 2 のセット側抵抗器 2 3 3 a とセット側抵抗器 2 1 2 a がノード N 5 と高電位配線 L 7 との間で並列接続され、ノード N 5 と高電位配線 L 7 との間のインピーダンスが低いのに対して、リセット側抵抗器 2 1 2 b がノード N 6 と高電位配線 L 7 との間で接続され、ノード N 6 と高電位配線 L 7 との間のインピーダンスは高くなる。従って、ノード N 6 と高電位配線 L 7 との間のインピーダンスが、ノード N 5 と高電位配線 L 7 との間のインピーダンスよりも高い。そのため、レベルシフトスイッチング素子 2 1 1 a , 2 1 1 b の寄生容量等に起因した dv/dt ノイズが発生した場合、ノード N 6 の電圧がノード N 5 の電圧よりも遅く立ち上がるため、 dv/dt ノイズが発生した場合でも、ハイサイド制御回路 2 2 が必ずリセットされるので、ハイサイドドライバ 2 2 3 の駆動信号 H0 がローレベルに維持される。よって、 dv/dt ノイズに起因したハイサイド制御回路 2 2 の誤動作を防止できる。

30

40

【 0 0 4 7 】

< < < 2 - 6 . 保証回路 > > >

保証回路 2 4 は、インバータ 2 3 1、セット側スイッチング素子 2 4 1 a、リセット側スイッチング素子 2 4 1 b、セット側ダイオード 2 4 2 a 及びリセット側ダイオード 2 4 2 b を含んで構成される。インバータ 2 3 1 は保証回路 2 4 と調整回路 2 3 に共有された構成要素であるが、保証回路 2 4 と調整回路 2 3 が個別にインバータを有していてもよい。

【 0 0 4 8 】

スイッチング素子 2 4 1 a , 2 4 1 b は P チャネル型の MOS F E T である。

50

セット側ダイオード242aのアノードがノードN5に接続されている。セット側ダイオード242aのカソードがセット側スイッチング素子241aを介して高電位配線L7に接続されている。つまり、セット側ダイオード242aのカソードがセット側スイッチング素子241aのドレインに接続され、セット側スイッチング素子241aのソースが高電位配線L7に接続されている。

【0049】

リセット側ダイオード242bのアノードがノードN6に接続されている。リセット側ダイオード242bのカソードがリセット側スイッチング素子241bを介して高電位配線L7に接続されている。つまり、リセット側ダイオード242bのカソードがリセット側スイッチング素子241bのドレインに接続され、リセット側スイッチング素子241bのソースが高電位配線L7に接続されている。

10

【0050】

セット側スイッチング素子241aのゲートがインバータ231の出力端子に接続されている。リセット側スイッチング素子241bのゲートがハイサイドドライバ223の出力端子に接続されている。

【0051】

ハイサイドドライバ223の駆動信号H0がリセット側スイッチング素子241bのゲートに入力される。ハイサイドドライバ223の駆動信号H0がインバータ231によって反転され、その反転信号がセット側スイッチング素子241aのゲートに入力される。そのため、リセット側スイッチング素子241bが駆動信号H0に基づいてオン・オフするとともに、セット側スイッチング素子241aがリセット側スイッチング素子241bに対して相補的にオン・オフする。

20

【0052】

保証回路24は、駆動信号H0に基づいてセット側スイッチング素子241aをオン・オフすることによって、ノードN5と高電位配線L7との間におけるセット側ダイオード242aの接続の確立と解除を実行する。なお、接続の確立とは、ノードN5と高電位配線L7との間が、セット側ダイオード242aを介して接続される状態をいい、接続の解除とは、ノードN5と高電位配線L7との間が開放状態となることをいう。また、保証回路24は、駆動信号H0に基づいてリセット側スイッチング素子241bをオン・オフすることによって、ノードN6と高電位配線L7との間におけるリセット側ダイオード242bの接続の確立と解除を、セット側ダイオード242aの接続の確立と解除に対して相補的に実行する。具体的には、以下の通りである。

30

【0053】

ハイサイドドライバ223の駆動信号H0がハイレベルである際に、セット側スイッチング素子241aがオンする。そのため、セット側ダイオード242aのカソードと高電位配線L7との接続が確立されて、ノードN5と高電位配線L7との間におけるセット側ダイオード242aの接続が確立される。また、ハイサイドドライバ223の駆動信号H0がハイレベルである際に、リセット側スイッチング素子241bがオフする。そのため、リセット側ダイオード242bのカソードと高電位配線L7との接続が解除されて、ノードN6と高電位配線L7との間におけるリセット側ダイオード242bの接続が解除（開放）される。

40

【0054】

ハイサイドドライバ223の駆動信号H0がローレベルである際に、リセット側スイッチング素子241bがオンする。そのため、リセット側ダイオード242bのカソードと高電位配線L7との接続が確立されて、ノードN6と高電位配線L7との間におけるリセット側ダイオード242bの接続が確立される。ハイサイドドライバ223の駆動信号H0がローレベルである際に、セット側スイッチング素子241aがオフする。そのため、セット側ダイオード242aのカソードと高電位配線L7との接続が解除されて、ノードN5と高電位配線L7との間におけるセット側ダイオード242aの接続が解除される。

【0055】

50

ここで、正常時、ノードN5が高電位配線L7よりも低電位であるので、セット側ダイオード242aには逆バイアスが掛かった状態である。同様に、ノードN6が高電位配線L7よりも低電位であるので、リセット側ダイオード242bには逆バイアスが掛かった状態である。

【0056】

なお、セット側スイッチング素子241aとセット側ダイオード242aを入れ換えてもよい。つまり、セット側スイッチング素子241aは、高電位配線L7からセット側ダイオード242aを經由してノードN5までの電路を開閉するように接続すればよい。リセット側スイッチング素子241bとリセット側ダイオード242bについても同様である。

10

【0057】

<<<3. 負電圧の発生時>>>

パワースwitching素子51, 52のオン・オフ切り替わり後、負荷9のインダクタンスと dv/dt の影響によって、図3~図5のチャートに示すようにノードN2が負電圧になる虞がある。ノードN2が負電圧になった場合、ノードN2を基準としたノードN5, N6の電圧が上昇する。その後、ノードN2の負電圧が解消すると、ノードN5, N6の電圧(レベルシフト済みセット信号setdrn及びレベルシフト済みリセット信号resdrn)にリングングが生じる。本実施形態では、このリングングによるハイサイド制御回路22の誤動作が保証回路24によって防止されて、ハイサイド制御回路22の駆動信号H0は、ノードN2の負電圧の解消後も、ノードN2が負電圧になる前の状態に維持される。このことについて、より具体的に以下に説明する。

20

【0058】

なお、図3は、ハイサイドのパワースwitching素子51がオンからオフに切り替わった後のノードN2の電圧、入力信号HIN、駆動信号H0、レベルシフト済みセット信号setdrn及びレベルシフト済みリセット信号resdrnの波形を示したタイミングチャートである。図4は、図3に示すレベルシフト済みセット信号setdrn及びレベルシフト済みリセット信号resdrnのチャートを重ね合わせたものである。図5は、ハイサイドのパワースwitching素子がオフからオンに切り替わった後のノードN2の電圧、入力信号HIN、駆動信号H0、レベルシフト済みセット信号setdrn及びレベルシフト済みリセット信号resdrnの波形を示したタイミングチャートである。図6は、図5に示すレベルシフト済みセット信号setdrn及びレベルシフト済みリセット信号resdrnのチャートを重ね合わせたものである。

30

【0059】

<<<3-1. 駆動信号H0がローレベルである場合>>>

入力信号HINが立ち下がると、レベルシフト済みリセット信号resdrnが一旦ローレベルになった後に、レベルシフト済みリセット信号resdrn及びレベルシフト済みセット信号setdrnが共にハイレベルになる(図2参照)。そのため、ハイサイド制御回路22の駆動信号H0がローレベルになる。

【0060】

そして、パワースwitching素子51, 52のオン・オフの切替後、図3及び図4に示すようにノードN2が負電圧になることで、ノードN5, N6の電圧が上昇する。具体的には、ノードN5, N6は、セット側レベルシフトスイッチング素子211a、リセット側レベルシフトスイッチング素子211bの寄生容量を介して、接地(0V)されているため、負電圧より高い電圧になる。この際、ノードN6と高電位配線L7との間におけるリセット側ダイオード242bの接続が確立されている。そうすると、ノードN6の電圧上昇によりリセット側ダイオード242bがオンすることによって、順方向電流がリセット側ダイオード242bに流れて、ノードN6の電圧は高電位配線L7の電圧でクランプされる。それに対して、ノードN5と高電位配線L7との間におけるセット側ダイオード242aの接続が解除されているため、ノードN5の電圧は高電位配線L7でクランプされていない。よって、ノードN6の電圧がノードN5の電圧よりも遅く上昇する。

40

【0061】

50

その後、ノードN5, N6の電圧がリングングにより降下して、ノードN6の電圧が高電位配線L7の電圧以下になる。そうすると、リセット側ダイオード242bがすぐにオフすることなく、逆回復現象がリセット側ダイオード242bに生じて、逆方向電流がリセット側ダイオード242bに流れる。そのため、ノードN6の電圧がノードN5の電圧よりも大きく降下する。

【0062】

以上のようなリセット側ダイオード242bのクランプと逆回復現象は、ノードN6の電圧をノードN5の電圧よりも低くすることに寄与する。更にそのクランプ及び逆回復現象は、ノードN6の電圧をリセット用閾値電圧よりも低くし易くすることに寄与する。従って、ノードN2の負電圧の解消後もハイサイド制御回路22がセットされることなく、ハイサイド制御回路22の駆動信号H0はノードN2が負電圧になる前の状態を維持する。つまり、ノードN2の負電圧が解消した後も、ハイサイド制御回路22の駆動信号H0はローレベルに維持される。

10

【0063】

従って、保証回路24は、ハイサイド制御回路22がレベルシフト済みリセット信号resdrnに基づいてパワースイッチング素子51をオフさせる状態を、駆動信号H0に基づいて保証する。また、本実施形態では、ノードN6と高電位配線L7との間のインピーダンスが、ノードN5と高電位配線L7との間のインピーダンスよりも高いため、ノードN6の電圧がノードN5の電圧よりも遅く立ち上がる傾向にある。したがって、調整回路23は、よりパワースイッチング素子51をオフした状態を維持することができる。

20

【0064】

<<<3-2. 駆動信号H0がハイレベルである場合>>>

入力信号HINが立ち上がった後にレベルシフト済みリセット信号resdrn及びレベルシフト済みセット信号setdrnが共にハイレベルである時には、駆動信号H0がハイレベルである(図2参照)。その際、図5及び図6に示すようにノードN2が負電圧になると、ノードN5, N6の電圧が上昇する。この際、ノードN5と高電位配線L7との間におけるセット側ダイオード242aの接続が確立されている。そのため、セット側ダイオード242aがオンすることで、順方向電流がセット側ダイオード242aに流れて、ノードN5の電圧は高電位配線L7の電圧でクランプされる。それに対して、ノードN6と高電位配線L7との間におけるリセット側ダイオード242bの接続が解除されているため、ノードN6の電圧は高電位配線L7の電圧でクランプされていない。よって、ノードN5の電圧がノードN6の電圧よりも遅く上昇する。

30

【0065】

その後、ノードN5, N6の電圧がリングングにより降下して、ノードN5の電圧が高電位配線L7の電圧以下になる。そうすると、セット側ダイオード242aがすぐにオフすることなく、逆回復現象がセット側ダイオード242aに生じて、逆方向電流がセット側ダイオード242aに流れる。そのため、ノードN5の電圧がノードN6の電圧よりも大きく降下する。

【0066】

以上のようなセット側ダイオード242aのクランプと逆回復現象は、ノードN5の電圧をノードN6の電圧よりも低くすることに寄与する。更にそのクランプ及び逆回復現象は、ノードN5の電圧をセット用閾値電圧よりも低くし易くすることに寄与する。従って、ノードN2の負電圧の解消後もハイサイド制御回路22がリセットされることなく、ハイサイド制御回路22の駆動信号H0はノードN2が負電圧になる前の状態を維持する。つまり、ノードN2の負電圧が解消した後も、ハイサイド制御回路22の駆動信号H0はハイレベルに維持される。

40

【0067】

従って、保証回路24は、ハイサイド制御回路22がレベルシフト済みセット信号setdrnに基づいてパワースイッチング素子51をオンさせる状態を、駆動信号H0に基づいて保証する。また、本実施形態では、ノードN5と高電位配線L7との間のインピーダンスが

50

、ノードN 6と高電位配線L 7との間のインピーダンスよりも高いため、ノードN 5の電圧がノードN 6の電圧よりも遅く立ち上がる傾向にある。したがって、調整回路2 3は、よりパワースwitching素子5 1をオンした状態を維持することができる。

【0068】

<<< 4 . 変形例 >>>

上記の実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。また、本発明は、その趣旨を逸脱することなく、変更や改良され得るとともに、本発明にはその等価物が含まれるのはいうまでもない。例えば、以下の(1)、(2)に示すような変形が可能である。以下の(1)、(2)の変形を組み合わせ適用してもよい。

【0069】

(1) 図7に示す駆動回路1 Aは、図1に示した駆動回路1の各構成要素に加えて、更に保証ダイオード2 7 a, 2 7 bを備える。

セット側保証ダイオード2 7 aとセット側抵抗器2 1 2 aが高電位配線L 7とノードN 5との間で並列接続されている。セット側保証ダイオード2 7 aのアノードがノードN 5に接続され、セット側保証ダイオード2 7 aのカソードが高電位配線L 7に接続されている。リセット側保証ダイオード2 7 bとリセット側抵抗器2 1 2 bが高電位配線L 7とノードN 6との間で並列接続されている。リセット側保証ダイオード2 7 bのアノードがノードN 6に接続され、リセット側保証ダイオード2 7 bのカソードが高電位配線L 7に接続されている。

【0070】

ハイサイド制御回路2 2の駆動信号H0がローレベルである際に、ノードN 2が負電圧になると、ノードN 5, N 6の電圧が上昇するため(図3及び図5の参照)、保証ダイオード2 7 a, 2 7 bがオンする。そのため、順方向電流が保証ダイオード2 7 a, 2 7 bに流れて、ノードN 5, N 6が高電位配線L 7にクランプされる。ここで、保証ダイオード2 7 a, 2 7 bの順方向電流は、リセット側ダイオード2 4 2 bの順方向電流よりも小さい。

【0071】

その後、ノードN 5, N 6の電圧がリングングにより降下して、ノードN 5, N 6の電圧が高電位配線L 7の電圧以下になると、保証ダイオード2 7 a, 2 7 bがすぐにオフすることなく、逆回復現象が保証ダイオード2 7 a, 2 7 bに生じて、逆方向電流が保証ダイオード2 7 a, 2 7 bに流れる。保証ダイオード2 7 a, 2 7 bの逆方向電流は、リセット側ダイオード2 4 2 bの逆方向電流よりも小さい。

【0072】

ハイサイド制御回路2 2の駆動信号H0がハイレベルである際に、ノードN 2が負電圧になると、ノードN 5, N 6の電圧が上昇するため(図3及び図5参照)、保証ダイオード2 7 a, 2 7 bがオンする。そのため、順方向電流が保証ダイオード2 7 a, 2 7 bに流れて、ノードN 5, N 6が高電位配線L 7にクランプされる。ここで、保証ダイオード2 7 a, 2 7 bの順方向電流は、セット側ダイオード2 4 2 aの順方向電流よりも小さい。

【0073】

その後、ノードN 5, N 6の電圧がリングングにより降下して、ノードN 5, N 6の電圧が高電位配線L 7の電圧以下になると、保証ダイオード2 7 a, 2 7 bがすぐにオフすることなく、逆回復現象が保証ダイオード2 7 a, 2 7 bに生じて、逆方向電流が保証ダイオード2 7 a, 2 7 bに流れる。保証ダイオード2 7 a, 2 7 bの逆方向電流は、セット側ダイオード2 4 2 aの逆方向電流よりも小さい。

【0074】

なお、保証ダイオード2 7 a, 2 7 bをダイオード接続MOSに変更してもよい。

【0075】

(2) ダイオード2 4 2 a, 2 4 2 bをダイオード接続MOSに変更してもよい。

【0076】

10

20

30

40

50

<<< 5 . まとめ >>>

【 0 0 7 7 】

(1) 駆動信号H0がローレベルである際に、ノードN 2 が負電圧になると、リセット側ダイオード 2 4 2 bのクランプと逆回復現象が生じるが、セット側ダイオード 2 4 2 aのクランプと逆回復現象は生じない。そのため、ノードN 6 の電圧がノードN 5 の電圧よりも低くなるとともに、ノードN 6 の電圧がリセット用閾値電圧よりも低くなり易い。従って、ノードN 2 の負電圧の解消後もハイサイド制御回路 2 2 がセットされることなく、ハイサイド制御回路 2 2 の駆動信号H0はローレベルに維持される。

【 0 0 7 8 】

(2) 駆動信号H0がハイレベルである際に、ノードN 2 が負電圧になると、セット側ダイオード 2 4 2 aのクランプと逆回復現象が生じるが、リセット側ダイオード 2 4 2 bのクランプと逆回復現象は生じない。そのため、ノードN 5 の電圧がノードN 6 の電圧よりも低くなるとともに、ノードN 5 の電圧がセット用閾値電圧よりも低くなり易い。従って、ノードN 2 の負電圧の解消後もハイサイド制御回路 2 2 がリセットされることなく、ハイサイド制御回路 2 2 の駆動信号H0はハイレベルに維持される。

10

【符号の説明】

【 0 0 7 9 】

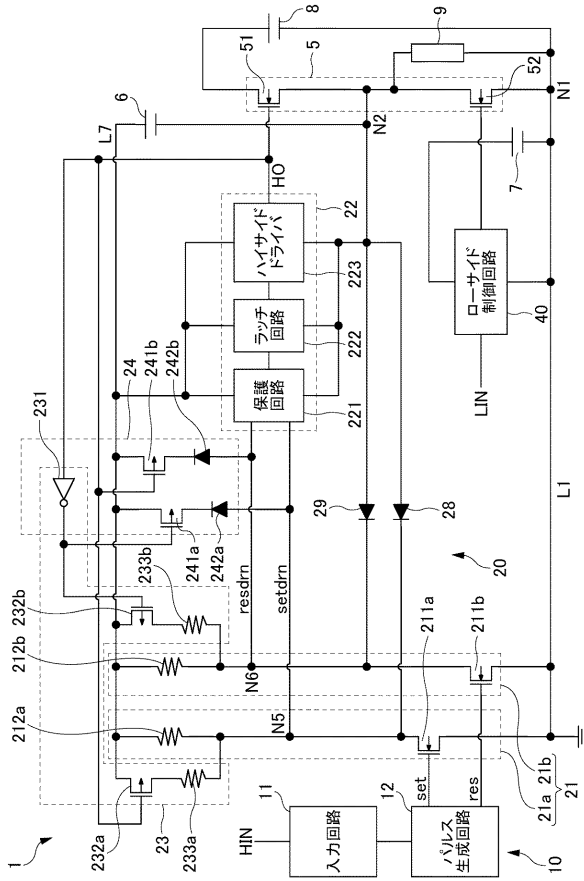
- 6 ...ハイサイド直流電源
- 2 1 a ...セット側レベルシフト回路
- 2 1 b ...リセット側レベルシフト回路
- 2 2 ...ハイサイド制御回路
- 2 3 ...調整回路
- 2 4 ...保証回路
- 2 7 a ...セット側保証ダイオード
- 2 7 b ...リセット側保証ダイオード
- 5 1 ...パワースイッチング素子(パワーデバイス)
- 2 1 1 a ...セット側レベルシフトスイッチング素子
- 2 1 1 b ...リセット側レベルシフトスイッチング素子
- 2 1 2 a ...セット側抵抗器
- 2 1 2 b ...リセット側抵抗器
- 2 3 2 a ...第2のセット側スイッチング素子
- 2 3 2 b ...第2のリセット側スイッチング素子
- 2 3 3 a ...第2のセット側抵抗器
- 2 3 3 b ...第2のリセット側抵抗器
- 2 4 1 a ...セット側スイッチング素子
- 2 4 1 b ...リセット側スイッチング素子
- 2 4 2 a ...セット側ダイオード
- 2 4 2 b ...リセット側ダイオード
- L 1 ...基準電位配線
- L 7 ...高電位配線
- N 5 ...セット側レベルシフト回路の出力ノード
- N 6 ...リセット側レベルシフト回路の出力ノード

20

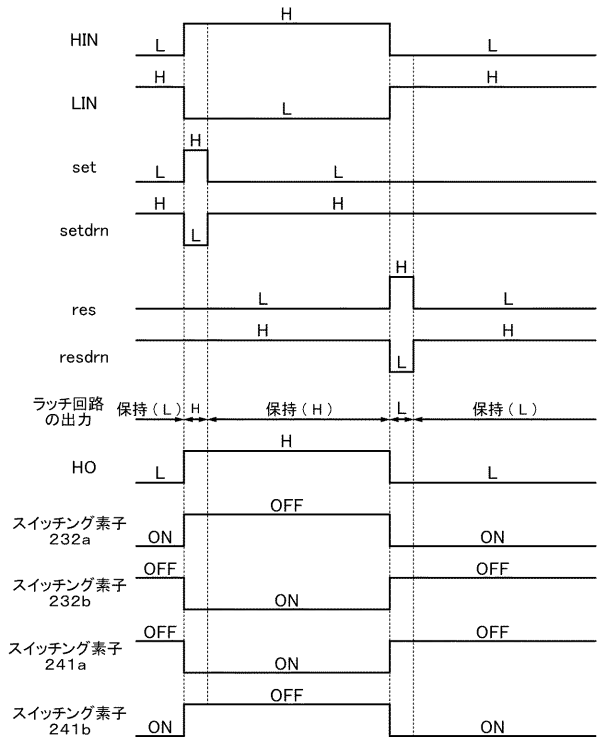
30

40

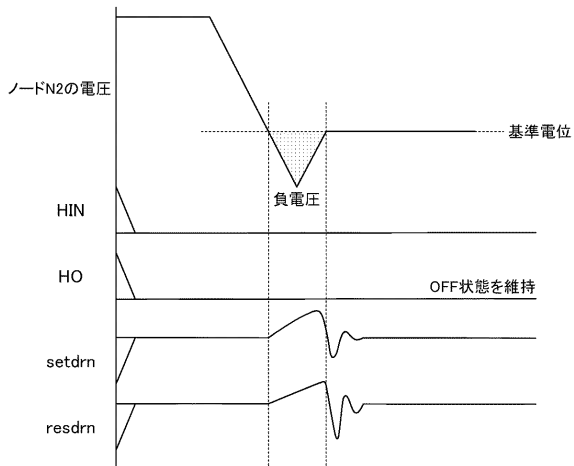
【図1】



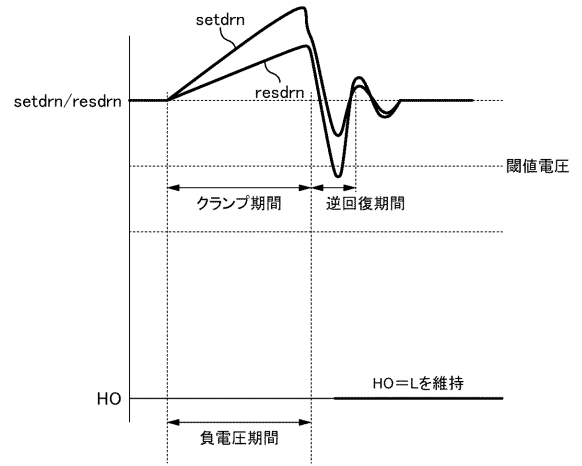
【図2】



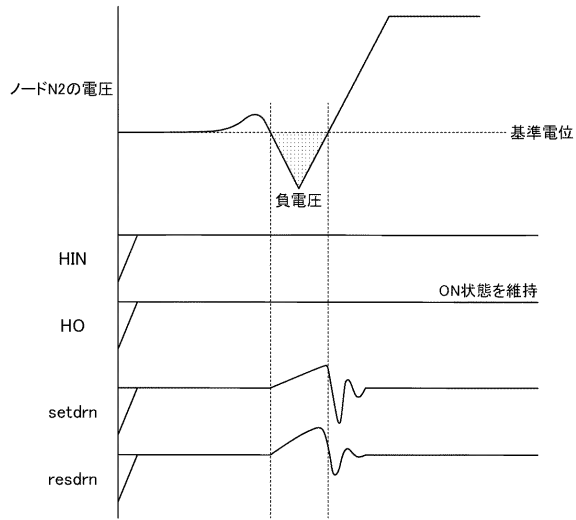
【図3】



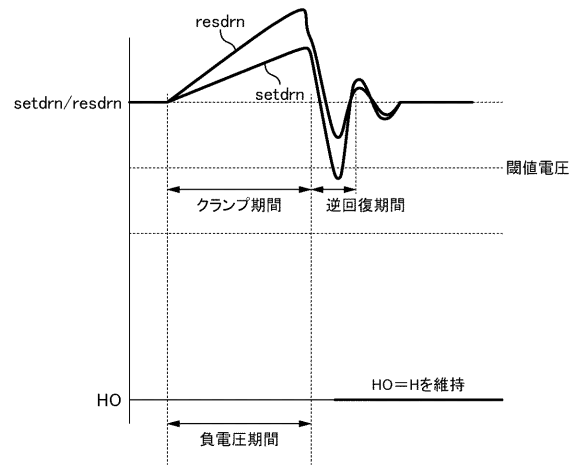
【図4】



【図5】



【図6】



【図7】

