

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-109968
(P2018-109968A)

(43) 公開日 平成30年7月12日(2018.7.12)

(51) Int. Cl.

F I

テーマコード(参考)

G06G 7/60 (2006.01)
G06N 3/063 (2006.01)

G06G 7/60
G06N 3/063

審査請求 未請求 請求項の数 6 O L (全 35 頁)

(21) 出願番号 特願2017-244583 (P2017-244583)
(22) 出願日 平成29年12月21日(2017.12.21)
(31) 優先権主張番号 特願2016-255409 (P2016-255409)
(32) 優先日 平成28年12月28日(2016.12.28)
(33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地
(72) 発明者 池田 隆之
神奈川県厚木市長谷398番地 株式会社
半導体エネルギー研究所内

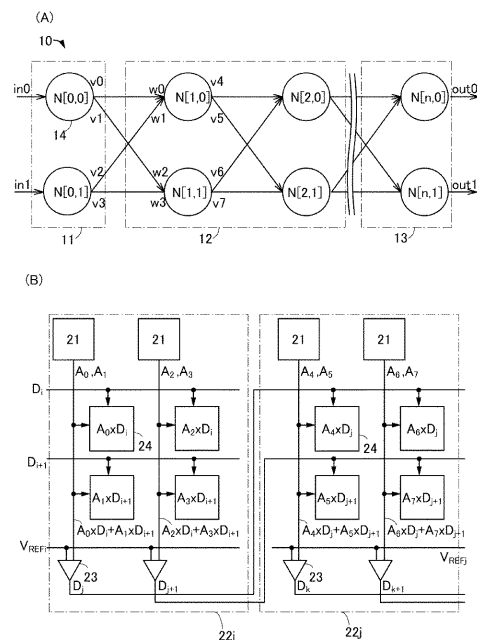
(54) 【発明の名称】 ニューラルネットワークを利用したデータ処理装置、電子部品、および電子機器

(57) 【要約】

【課題】 チップ面積の増大を低減することができるニューラルネットワークを利用したデータ処理装置を提供すること。

【解決手段】 オフ電流が極めて小さい酸化半導体を有するトランジスタを用いて積和演算回路を構成する。隠れ層が有する積和演算回路同士で入出力される信号は、コンパレータを介して行う構成とする。コンパレータの出力は、次段にある隠れ層の入力信号となるデジタル信号に用いる。デジタル回路とアナログ回路とを組み合わせ、アナログデジタル変換回路またはデジタルアナログ変換回路といったチップ上の占有面積の大きい回路を削減することができる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

入力層と、隠れ層と、出力層とを有するニューラルネットワークを利用したデータ処理装置であって、

前記隠れ層は、デジタルアナログ変換回路と、第 1 のニューロン回路と、第 2 のニューロン回路と、コンパレータと、を有し、

前記第 1 のニューロン回路および前記第 2 のニューロン回路は、それぞれ第 1 の電位保持回路と第 2 の電位保持回路とを有し、

前記第 1 の電位保持回路及び前記第 2 の電位保持回路は、同じビット線に電氣的に接続され、

10

前記第 1 の電位保持回路は第 1 のアナログ信号の電位を保持する機能を有し、

前記第 2 の電位保持回路は第 2 のアナログ信号の電位を保持する機能を有し、

前記第 1 の電位保持回路は、第 1 のトランジスタと、ゲートが前記第 1 のトランジスタのソース又はドレインの一方に電氣的に接続された第 2 のトランジスタと、ゲートが第 1 のデジタル信号が与えられる配線に電氣的に接続された第 3 のトランジスタと、を有し、

前記第 2 の電位保持回路は、第 4 のトランジスタと、ゲートが前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続された第 5 のトランジスタと、ゲートが第 2 のデジタル信号が与えられる配線に電氣的に接続された第 6 のトランジスタと、を有し、

前記第 1 のニューロン回路から前記第 2 のニューロン回路に出力される第 3 のアナログ信号は、参照電圧が与えられた前記コンパレータに入力され、第 3 のデジタル信号に変換され前記第 2 のニューロン回路が有する前記第 3 のトランジスタのゲートまたは前記第 6 のトランジスタのゲートに出力されることを特徴とするデータ処理装置。

20

【請求項 2】

請求項 1 において、

前記第 3 のアナログ信号は、前記第 1 のアナログ信号と前記第 1 のデジタル信号との積算と、前記第 2 のアナログ信号と前記第 2 のデジタル信号との積算と、の和算による信号であることを特徴とするデータ処理装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 1 のトランジスタおよび前記第 4 のトランジスタは、酸化物半導体を有するトランジスタであることを特徴とするデータ処理装置。

30

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

前記第 2 のトランジスタおよび前記第 3 のトランジスタ、並びに前記第 5 のトランジスタおよび前記第 6 のトランジスタは、シリコンを有するトランジスタであることを特徴とするデータ処理装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一項に記載の前記データ処理装置と、

前記データ処理装置に電氣的に接続されたリードと、

を有することを特徴とする電子部品。

40

【請求項 6】

請求項 5 に記載の電子部品と、

前記電子部品が実装されたプリント基板と、

前記プリント基板が格納された筐体と、

を有することを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明の一態様は、データ処理装置、特にニューラルネットワークを利用したデータ処理装置、電子部品、および電子機器に関する。

50

【背景技術】

【0002】

人工ニューラルネットワーク (Artificial Neural Network; 以下、ニューラルネットワークという) を利用した人工知能 (Artificial Intelligence) による機械学習の研究が盛んである。ニューラルネットワークを構成する回路構成として、例えば、アナログ回路を用いた回路構成が提案されている (例えば、特許文献1、2)。

【0003】

特許文献3に記載の電子装置は、酸化物半導体 (Oxide Semiconductor) を有するトランジスタ (OSTランジスタ) のオフ状態時におけるリーク電流 (オフ電流) が極めて小さいことを利用して、アナログ信号の保持を行う構成について開示している。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平5 - 12466号公報

【特許文献2】特開平6 - 187472号公報

【特許文献3】米国特許出願公開第2016 / 0343452号明細書

【発明の概要】

【発明が解決しようとする課題】

20

【0005】

一般のコンピュータはデジタル信号が用いられている。データ処理はデジタル回路で行われる。センサモジュールなど多くの素子はデジタル信号を扱う。一方OSTランジスタを利用した回路構成ではアナログ信号の保持が可能となるため、アナログ演算が適している。

【0006】

ニューラルネットワークにおいて演算を行う場合、フィードフォワードの演算だけではなく、バックプロパゲーションのようにフィードバックの演算も行う必要がある。この場合、全てをアナログ信号のみで行うには設計が煩雑になる。そのため、デジタル回路の部分とアナログ回路の部分とを組み合わせることによって互いの利点を生かすことが有効となる。しかしながら、頻繁にデジタル信号とアナログ信号との変換を行うためには、デジタルアナログ変換回路 (Digital to Analog Converter; DAC)、アナログデジタル変換回路 (Analog to Digital Converter; ADC) 回路が必要となる。またADCおよびDACのための電源回路も必要となる。そのため、回路規模の増大に伴ってチップ上の占有面積が大きくなるといった問題が生じる。

30

【0007】

本発明の一態様は、回路規模の増大を抑制できる、新規な構成のデータ処理装置、特にニューラルネットワークを利用したデータ処理装置を提供することを課題とする。

【課題を解決するための手段】

40

【0008】

本発明の一態様は、入力層と、隠れ層と、出力層とを有するニューラルネットワークを利用したデータ処理装置であって、隠れ層は、デジタルアナログ変換回路と、第1のニューロン回路と、第2のニューロン回路と、コンパレータと、を有し、第1のニューロン回路および第2のニューロン回路は、それぞれ第1の電位保持回路と第2の電位保持回路とを有し、第1の電位保持回路および第2の電位保持回路は、同じビット線に電気的に接続され、第1の電位保持回路は第1のアナログ信号の電位を保持する機能を有し、第2の電位保持回路は第2のアナログ信号の電位を保持する機能を有し、第1の電位保持回路は、第1のトランジスタと、ゲートが第1のトランジスタのソース又はドレインの一方に電気的に接続された第2のトランジスタと、ゲートが第1のデジタル信号が与えられる配線に

50

電氣的に接続された第3のトランジスタと、を有し、第2の電位保持回路は、第4のトランジスタと、ゲートが第4のトランジスタのソース又はドレインの一方に電氣的に接続された第5のトランジスタと、ゲートが第2のデジタル信号が与えられる配線に電氣的に接続された第6のトランジスタと、を有し、第1のニューロン回路から第2のニューロン回路に出力される第3のアナログ信号は、参照電圧が与えられたコンパレータに入力され、第3のデジタル信号に変換され第2のニューロン回路が有する第3のトランジスタのゲートまたは第6のトランジスタのゲートに出力されるデータ処理装置である。

【0009】

本発明の一態様において、第3のアナログ信号は、第1のアナログ信号と第1のデジタル信号との積算と、第2のアナログ信号と第2のデジタル信号との積算と、の和算による信号であるデータ処理装置が好ましい。

10

【0010】

本発明の一態様において、第1のトランジスタおよび第4のトランジスタは、酸化物半導体を有するトランジスタであるデータ処理装置が好ましい。

【0011】

本発明の一態様において、第2のトランジスタおよび第3のトランジスタ、並びに第5のトランジスタおよび第6のトランジスタは、シリコンを有するトランジスタであるデータ処理装置が好ましい。

【0012】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

20

【発明の効果】

【0013】

本発明の一態様は、回路規模の増大を抑制できる、新規な構成のデータ処理装置、特にニューラルネットワークを利用したデータ処理装置を提供することができる。

【図面の簡単な説明】

【0014】

【図1】本発明の一態様を説明するための概念図およびブロック図。

【図2】本発明の一態様を説明するためのブロック図。

【図3】本発明の一態様を説明するための回路図およびタイミングチャート。

30

【図4】本発明の一態様を説明するための回路図。

【図5】階層型ニューラルネットワークの一例を示す図。

【図6】階層型ニューラルネットワークの一例を示す図。

【図7】階層型ニューラルネットワークの一例を示す図。

【図8】回路の構成例を説明する図。

【図9】本発明の一態様を説明するための断面図。

【図10】本発明の一態様を説明するための断面図。

【図11】本発明の一態様を説明するための断面図。

【図12】本発明の一態様を説明するための断面図。

【図13】本発明の一態様に係る半導体ウエハの上面図。

40

【図14】電子部品の作製工程例を説明するフローチャートおよび斜視模式図。

【図15】本発明の一態様に係る電子機器を示す図。

【発明を実施するための形態】

【0015】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0016】

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の

50

混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。

【 0 0 1 7 】

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【 0 0 1 8 】

(実施の形態 1)

本実施の形態では、データを記憶(保持)することのできるデータ処理装置の構成および動作の一例について説明する。

【 0 0 1 9 】

図 1 (A) は、ニューラルネットワークを利用したデータ処理装置 10 の構成例を説明するための回路図である。

【 0 0 2 0 】

データ処理装置 10 は、階層型ニューラルネットワークを利用してデータを処理する。データ処理装置 10 は、入力層 11、隠れ層 12、および出力層 13 を有する。図 1 (A) では n 層のニューロンを模したニューロン回路(以下、ニューロン)を図示している。図 1 (A) において、入力される信号が左から右に順に入出力され、各ニューロン 14 で処理が行われる。

【 0 0 2 1 】

入力層 11 では、ニューロン 14 として、 $N[0, 0]$ 、 $N[0, 1]$ を図示している。入力層 11 は入力信号 i_{n0} 、入力信号 i_{n1} が入力される。入力層 11 において図示する「 v_0 」、「 v_1 」は、入力信号 i_{n0} が入力されることによる $N[0, 0]$ の出力信号である。図 1 (A) において図示する「 v_2 」、「 v_3 」は、入力信号 i_{n1} が入力されることによる $N[0, 1]$ の出力信号である。入力層 11 ではニューロン 14 として 2 つ図示したが、入力数は多い方が望ましく、1000 個以上のニューロンを配置することが精度を高めるために好ましい。

【 0 0 2 2 】

出力層 13 では、ニューロン 14 として、 $N[n, 0]$ 、 $N[n, 1]$ を図示している。出力層 13 からは出力信号 out_0 、出力信号 out_1 が出力される。

【 0 0 2 3 】

隠れ層 12 では、ニューロン 14 として、 $N[1, 0]$ 、 $N[1, 1]$ 、 $N[2, 0]$ 、 $N[2, 1]$ を図示している。隠れ層 12 では、 2×2 個による 2 層の隠れ層を図示したが、隠れ層を構成するニューロンによる層の数は 3 以上とすることが精度を高めるために好ましい。隠れ層 12 において図示する「 w_0 」、「 w_1 」は、 $N[1, 0]$ が有する重み係数に相当する。隠れ層 12 において図示する「 w_2 」、「 w_3 」は、 $N[1, 1]$ が有する重み係数に相当する。隠れ層 12 において図示する「 v_4 」、「 v_5 」は、 $N[1, 0]$ に「 v_0 」、「 v_2 」が入力されることによる $N[1, 0]$ の出力信号である。隠れ層 12 において図示する「 v_6 」、「 v_7 」は、 $N[1, 1]$ に「 v_1 」、「 v_3 」が入力されることによる $N[1, 1]$ の出力信号である。

【 0 0 2 4 】

隠れ層 12 では、入力される信号と重み係数との積和演算を実行し、閾値と比較することで出力される信号を決める。この動作はニューロン内のシナプスの役割に相当する。積和演算は、例えば「 $w_0 \times v_0 + w_1 \times v_2$ 」のように、入力される信号に重み係数を乗じた値同士を足し合わせて得られる値を求める演算である。

【 0 0 2 5 】

なお隠れ層 12 では、「 w_0 」、「 w_1 」といったアナログ値の重み係数の保持(記憶)について、O ストランジスタを利用した回路構成を有する電位保持回路で行う。電位保持回路の構成については、図 3、図 4 で詳述する。

【 0 0 2 6 】

10

20

30

40

50

入力層 11 に入力される入力信号 i_{n0} 、入力信号 i_{n1} は、デジタル信号が用いられている。入力層 11 が出力する「 v_0 」、「 v_1 」、「 v_2 」、「 v_3 」は、デジタル信号である。一方 OSTRANSISTA を利用した回路構成ではアナログ信号の保持が可能となるため、アナログ演算が適している。そのため、積和演算によって得られる値はアナログ値となる。

【0027】

本発明の一態様では、積和演算によって得られるアナログ信号をアナログデジタル変換回路で多ビットのデジタル信号に変換することなく利用する構成とする。具体的には、積和演算で得られるアナログ値をコンパレータで閾値に相当する参照電圧と比較し、「1」か「0」、つまり H レベルまたは L レベルのデジタル信号を出力することで、シナプスが発火するか否かを判定する。つまり隠れ層 12 のニューロンが出力する「 v_4 」、「 v_5 」、「 v_6 」、「 v_7 」は、デジタル信号である。そのため、隠れ層 12 内において、頻繁にデジタル信号とアナログ信号との変換を行うことなく、信号の入出力を行うことができる。そのため、DAC や ADC といった回路が必要なくなり、また ADC および DAC のための電源回路も必要となくなるため、回路規模の増大に伴うチップ上の占有面積の増大を抑制することができる。

10

【0028】

ニューラルネットワークにおいて演算を行う場合、フィードフォワードの演算だけではなく、バックプロパゲーションのようにフィードバックの演算も行う必要がある。この場合、全てをアナログ信号のみで行うには設計が煩雑になる。そのため、デジタル回路の部分とアナログ回路の部分とを組み合わせることによって互いの利点を生かすことが有効となる。

20

【0029】

上述の本発明の一態様の構成について図 1 (B) のブロック図を用いてさらに説明を行う。図 1 (B) では、デジタルアナログ変換回路 21、隠れ層が有する 1 層目のニューロン 22*i*、2 層目のニューロン 22*j* を図示している。ニューロン 22*i*、およびニューロン 22*j* はそれぞれ、デジタルアナログ変換回路 21、コンパレータ 23、複数の電位保持回路 24 を有する。

【0030】

デジタルアナログ変換回路 21 は、重み係数に相当するデジタル信号をアナログ値に変換する回路である。図 1 (B) では、一例として、アナログ値に変換された重み係数 A_0 乃至 A_7 を図示している。重み係数 A_0 乃至 A_7 は、図 1 (B) の列方向にある、ニューロン 22*i* およびニューロン 22*j* が有する複数の電位保持回路 24 に保持される。

30

【0031】

また図 1 (B) では、一例として、入力層 (前の層) のニューロンから出力されるデジタル信号として、信号 D_i 、 D_{i+1} を図示している。信号 D_i 、 D_{i+1} は、図 1 (B) の行方向にある、ニューロン 22*i* が有する複数の電位保持回路 24 に入力される。また図 1 (B) では、ニューロン 22*i* から出力されるデジタル信号として、信号 D_j 、 D_{j+1} を図示している。信号 D_j 、 D_{j+1} は、図 1 (B) の行方向にある、ニューロン 22*j* が有する複数の電位保持回路 24 に入力される。また図 1 (B) では、ニューロン 22*j* から出力されるデジタル信号として、信号 D_k 、 D_{k+1} を図示している。

40

【0032】

図 1 (B) に図示するニューロン 22*i* が有する複数の電位保持回路 24 では、それぞれ重み係数 A_0 乃至 A_7 を保持し、行方向から入力される信号 D_i または D_{i+1} が入力されることで、それぞれの値に応じた積算 (図 1 (B) 中に示す $A_0 \times D_i$ など) を行うことができる。積算によって得られる値は、電位保持回路 24 が接続された配線 (ビット線) に流れる電流に変換される。前述の重み係数 A_0 乃至 A_7 はアナログ値の信号であり、信号 D_i 、 D_{i+1} はデジタル信号である。そのため各電位保持回路 24 では、重み係数に応じた電流を流すか否かが信号 D_i 、 D_{i+1} によって選択されることになる。また、電位保持回路 24 を流れる電流は、当該電位保持回路に接続された配線 (ビット線) を

50

流れる電流に変換されるため、複数の電位保持回路が接続された配線（ビット線）では電流が足しあわされることになる。そのため、各電位保持回路で得られた積算によって得られる値を和算した値（図 1（B）中に示す $A_0 \times D_i + A_1 \times D_{i+1}$ など）が配線（ビット線）で得られることになる。すなわち、電位保持回路 24 に入力されるアナログ信号とデジタル信号との積和演算を行うことができる。

【0033】

上述の積和演算で得られる値は電流値であるため、電流源などを用いて電流値から電圧値に変換する。電圧値に変換された上述の積和演算で得られる値は、コンパレータ 23 に入力される。コンパレータ 23 は、シナプスの閾値に相当する参照電圧が入力され、“1”か“0”、つまりHレベルまたはLレベルのデジタル信号を出力する。コンパレータ 23 の出力は、シナプスにおける発火するか否かの判定に相当する。コンパレータ 23 で得られる信号 D_j 、 D_{j+1} は、後段にある隠れ層のニューロン 22 j に入力されるデジタル信号となる。

10

【0034】

本発明の一態様では、積和演算によって得られるアナログ信号をアナログデジタル変換回路で多ビットのデジタル信号に変換することなく利用する構成とする。具体的には、積和演算で得られるアナログ値をコンパレータで閾値に相当する参照電圧と比較し、“1”か“0”、つまりHレベルまたはLレベルのデジタル信号を出力することで、シナプスが発火するか否かを判定する。つまり隠れ層 12 のニューロンが出力する信号は、1ビットのデジタル信号である。そのため、隠れ層 12 内において、頻繁にデジタル信号とアナログ信号との変換を行うことなく、信号の入出力を行うことができる。そのため、DACやADCといった回路が必要なくなり、またADCおよびDACのための電源回路も必要となくなるため、回路規模の増大に伴うチップ上の占有面積の増大を抑制することができる。

20

【0035】

図 2 のブロック図では、図 1（B）で説明したデジタルアナログ変換回路 21 に入力する重み係数に相当するデジタル信号を入力するためのレジスタチェーン 25 を図示している。レジスタチェーンに限らず、シフトレジスタ、またはデコーダを用いてもよい。

【0036】

図 3（A）は、図 1（B）で説明した電位保持回路 24 の具体的な構成例、および周辺回路の一例について示す回路図である。電位保持回路 24 は、トランジスタ 31、トランジスタ 32、トランジスタ 33 および容量素子 37 を有する。図 3（A）では、複数の電位保持回路 24 に接続される配線として、ビット線 BL_1 、 BL_2 を図示している。また図 3（A）では、保持するアナログ信号に応じて電流を流すための電源線 VL を図示している。図 3（A）では、複数の電位保持回路 24 に流れる電流に応じてビット線 BL_1 、 BL_2 の電圧値に変換するための電流源 34 を図示している。図 3（A）では、トランジスタ 31 の導通状態または非導通状態を制御するためのワード信号が与えられる配線 W_i 、 W_{i+1} を図示している。図 3（A）では、トランジスタ 33 の導通状態または非導通状態を制御するためのデジタル信号が与えられる配線 R_i 、 R_{i+1} を図示している。図 3（A）では、配線 W_i 、 W_{i+1} に与えるワード信号を出力するシフトレジスタ 35 を図示している。図 3（A）では、配線 R_i 、 R_{i+1} に与えるデジタル信号を出力するスキャンチェーン 36 を図示している。

30

40

【0037】

電位保持回路 24 が有するトランジスタの接続例について説明する。トランジスタ 31 のゲートは配線 W_i に接続される。トランジスタ 31 のソース又はドレインの一方はビット線 BL_1 に接続される。トランジスタ 31 のソース又はドレインの他方はトランジスタ 32 のゲートに接続される。トランジスタ 32 のゲートは、ノード FN という。トランジスタ 32 のゲートは、容量素子 37 の一方の電極に接続され、他方の電極は別の配線（図示せず）に接続される。トランジスタ 32 のソース又はドレインの一方はトランジスタ 33 のソースまたはドレインの一方に接続される。トランジスタ 32 のソース又はドレイ

50

ンの他方は電源線V_Lに接続される。トランジスタ33のゲートは、配線R_iに接続される。トランジスタ33のソース又はドレインの一方はトランジスタ32のソースまたはドレインの一方に接続される。トランジスタ33のソース又はドレインの他方はビット線B_L_1に接続される。

【0038】

なお図3(A)においてトランジスタ31、32および33は、いずれもnチャンネル型として図示している。つまり、ゲートに印加される信号がHレベルで導通状態(オン状態)、ゲートに印加される信号がLレベルで非導通状態(オフ状態)となる。なおpチャンネル型としてもよく、この場合は各配線の信号の論理を反転する等すればよい。

【0039】

トランジスタ31をオフ状態とすることで、電位保持回路24はアナログ電位に応じた電荷を保持することができる。アナログ電位に応じた電荷はノードF_Nに保持される。トランジスタ31は非導通状態時におけるリーク電流が極めて小さいトランジスタであることが好ましい。このようなトランジスタとしては、チャンネル形成領域に酸化物半導体を有するトランジスタ(OSトランジスタ)が好適である。またOSトランジスタは、ソースドレイン間に印加できる電圧、あるいはソースゲート間に印加できる電圧の上限が高い(耐圧に優れている)ので、動作電圧を高くできる。そのため、アナログ電位によるビット線B_L_1の電位変動を大きくできる。

【0040】

チャンネル幅で規格化したOSトランジスタのリーク電流は、ソースドレイン間電圧が10V、室温(25程度)の状態では $10 \times 10^{-21} \text{ A} / \mu\text{m}$ (10zeptoA/ μm)以下とすることが可能である。トランジスタ31に適用されるOSトランジスタのリーク電流は、室温(25程度)にて $1 \times 10^{-18} \text{ A}$ 以下、または、 $1 \times 10^{-21} \text{ A}$ 以下、または $1 \times 10^{-24} \text{ A}$ 以下が好ましい。または、リーク電流は85にて $1 \times 10^{-15} \text{ A}$ 以下、または $1 \times 10^{-18} \text{ A}$ 以下、または $1 \times 10^{-21} \text{ A}$ 以下であることが好ましい。

【0041】

酸化物半導体はエネルギーギャップが大きく、電子が励起されにくく、ホールの有効質量が大きい半導体である。このため、チャンネル形成領域に酸化物半導体を含むトランジスタは、シリコン等を用いた一般的なトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。アバランシェ崩壊に起因するホットキャリア劣化等が抑制されることで、チャンネル形成領域に酸化物半導体を含むトランジスタは高いドレイン耐圧を有することとなり、高いドレイン電圧で駆動することが可能である。

【0042】

トランジスタのチャンネル形成領域に含まれる酸化物半導体は、インジウム(In)および亜鉛(Zn)の少なくとも一方を含む酸化物半導体であることが好ましい。このような酸化物半導体としては、In酸化物、Zn酸化物、In-Zn酸化物、In-M-Zn酸化物(元素Mは、Ga、Al、Ti、Y、Zr、La、Ce、Nd、またはHf)が代表的である。これら酸化物半導体は、電子供与体(ドナー)となる水素などの不純物を低減し、かつ酸素欠損も低減することで、酸化物半導体をi型半導体(真性半導体)にする、あるいはi型半導体に限りなく近づけることができる。このような酸化物半導体は、高純度化された酸化物半導体と呼ぶことができる。

【0043】

チャンネル形成領域を、キャリア密度の低い酸化物半導体で形成することが好ましい。酸化物半導体のキャリア密度は、例えば、キャリア密度は $8 \times 10^{11} / \text{cm}^3$ 未満 $1 \times 10^9 / \text{cm}^3$ 以上であるとよい。キャリア密度は、 $1 \times 10^{11} / \text{cm}^3$ 未満が好ましく、 $1 \times 10^{10} / \text{cm}^3$ 未満がさらに好ましい。

【0044】

トランジスタ32、33は、OSトランジスタの他、チャンネル形成領域にシリコンを有するトランジスタ(Siトランジスタ)であることが好ましい。Siトランジスタをトラ

10

20

30

40

50

ンジスタ32, 33に用いることで、閾値電圧のばらつきを小さく、導通状態時にソースドレイン間を流れる電流量を大きくすることができる。またトランジスタ32, 33はSiトランジスタとすることで、先に説明したOSトランジスタであるトランジスタ31と積層して設ける構成とすることができる。当該構成とすることで、電位保持回路24あたりが占める面積を縮小することができる。

【0045】

電位保持回路24は、ビット線BL_i1で例示される配線からアナログ信号が入力される。そして、電位保持回路24は、アナログ信号に応じた電流を生成する機能を有する。具体的には、トランジスタ32のゲートにアナログ信号を供給したときに得られるトランジスタ32のドレイン電流を生成することができる。

10

【0046】

なお、トランジスタ32が飽和領域で動作する場合、そのドレイン電流はソースとドレイン間の電圧に依存せず、ゲート電圧と閾値電圧の差分によって制御される。よって、トランジスタ32は飽和領域で動作させることが望ましい。トランジスタ32を飽和領域で動作させるために、そのゲート電圧、ソースとドレイン間の電圧は、飽和領域で動作する範囲の電圧に適切に設定されているものとする。

【0047】

電位保持回路24は、アナログ信号に応じた電位(アナログ電位)を保持する機能を有する。すなわち、電位保持回路24は、アナログ電位を保持することで、アナログ電位に応じた電流を生成する機能を有すると言える。

20

【0048】

また、電位保持回路24には、配線R_iで例示される配線からデジタル信号が入力される。配線R_iで例示される配線に与えるデジタル信号は、トランジスタ33の導通状態または非導通状態を制御する信号である。電位保持回路24は、既に保持されているアナログ電位に応じた電流をトランジスタ32のソース-ドレイン間に流すか否かを制御する機能を有すると言える。

【0049】

なお、トランジスタ33が線形領域で動作する場合、当該トランジスタをスイッチとして機能するよう制御することができる。よって、トランジスタ33は線形領域で動作させることが望ましい。トランジスタ33を線形領域で動作させるために、そのゲート電圧、ソースとドレイン間の電圧は、線形領域で動作する範囲の電圧に適切に設定されているものとする。

30

【0050】

図3(B)は、図3(A)に示した回路図において、電位保持回路24へのアナログ電位の書き込み、電位保持回路24でのアナログ電位の保持、および電位保持回路24に保持したアナログ電位とデジタル信号の積算時における動作を説明するためのタイミングチャートである。図3(B)では、一例を説明するために、図3(A)に示した回路図における配線W_i、ビット線BL_i1、ノードFN、および配線R_iに与える信号または電位の変化を図示している。

【0051】

40

図3(B)に図示する期間T_wは、電位保持回路24へのアナログ電位の書き込みを行う期間である。期間T_wでは、配線W_iをHレベルとしてトランジスタ31を導通状態とし、ビット線BL_i1に与えられた重み係数(w₀)に相当するアナログ電位をノードFNに書き込む。期間T_wでは、配線R_iをLレベルとする。

【0052】

図3(B)に図示する期間T_hは、電位保持回路24へのアナログ電位の保持を行う期間である。期間T_hでは、配線W_iをLレベルとしてトランジスタ31を非導通状態とし、重み係数(w₀)に相当するアナログ電位をノードFNに保持する。期間T_hでは、配線R_iをLレベルとする。ビット線BL_i1は不定値(unknown)である。

【0053】

50

図3(B)に図示する期間 T_r は、電位保持回路24においてアナログ電位とデジタル信号との積算を行う期間である。期間 T_r では、配線 R_i をデジタル信号の論理に応じてHレベルまたはLレベル(1/0)としてトランジスタ33を導通状態または非導通状態とする。ビット線 BL_1 と電源線 VL との間には、ノード FN に保持したアナログ電位に応じて電流が流れ、ビット線の電位が変動する。電位保持回路24に流れる電流は、同じビット線に接続された別の電位保持回路24でも流れるため、互いの電流が合わさってビット線の電位が変動する。期間 T_h では、配線 W_i をLレベルとする。

【0054】

図4には、図1(B)、図2および図3(A)での構成を併せた際の回路図を図示している。

【0055】

図4では、図3(A)で説明した電位保持回路24とは、トランジスタ33の配置を異ならせた電位保持回路24Aを図示している。また図4では、ニューロン22iとニューロン22jとの間にスキランチェーン41を図示している。当該構成とすることで、ニューロン22iで得られた演算結果を外部に出力し、バックプロパゲーションの演算を施し、再度ニューロンに入力する構成とすることができる。

【0056】

上述したデータ処理装置は、畳み込み演算の特徴抽出フィルターもしくは全結合演算回路として適用することで、CNN(Convolutional Neural Network)による特徴量の抽出を行うことができる。具体的には上述した階層型ニューラルネットワークに適用可能なデータ処理装置を用いることで、画像データの補正に用いるパラメータを機械学習により決定することができる。

【0057】

図5は、階層型ニューラルネットワークの一例を示した図である。第 $(k-1)$ 層(k は2以上の整数である。)は、ニューロンを P 個(P は1以上の整数である。)有し、第 k 層は、ニューロンを Q 個(Q は1以上の整数である。)有し、第 $(k+1)$ 層は、ニューロンを R 個(R は1以上の整数である。)有する。

【0058】

第 $(k-1)$ 層の第 p ニューロン(p は1以上 P 以下の整数である。)の出力信号 $z_p^{(k-1)}$ と重み係数 $w_{qp}^{(k)}$ と、の積が第 k 層の第 q ニューロン(q は1以上 Q 以下の整数である。)に入力されるものとし、第 k 層の第 q ニューロンの出力信号 $z_q^{(k)}$ と重み係数 $w_{rq}^{(k+1)}$ と、の積が第 $(k+1)$ 層の第 r ニューロン(r は1以上 R 以下の整数である。)に入力されるものとし、第 $(k+1)$ 層の第 r ニューロンの出力信号を $z_r^{(k+1)}$ とする。

【0059】

このとき、第 k 層の第 q ニューロンへ入力される信号の総和は、次の式(D1)で表される。

【0060】

【数1】

$$u_q^{(k)} = \sum w_{qp}^{(k)} z_p^{(k-1)} \quad (D1)$$

【0061】

また、第 k 層の第 q ニューロンからの出力信号 $z_q^{(k)}$ を次の式(D2)で定義する。

【0062】

【数2】

$$z_q^{(k)} = f(u_q^{(k)}) \quad (D2)$$

【 0 0 6 3 】

関数 $f(u_q^{(k)})$ は、ニューロンの出力関数であり、ステップ関数、線形ランプ関数、又はシグモイド関数などを用いることができる。なお、式 (D 1) の積和演算は、先述した積和演算回路によって実現できる。なお、式 (D 2) の演算は、例えば、図 8 (A) に示す回路 4 1 1 によって実現できる。

【 0 0 6 4 】

なお、ニューロンの出力関数は、全てのニューロンにおいて同一でもよいし、又は異なってもよい。加えて、ニューロンの出力関数は、層毎において、同一でもよいし、異なってもよい。

【 0 0 6 5 】

ここで、図 6 に示す、全 L 層 (ここでの L は 3 以上の整数とする。) からなる階層型ニューラルネットワークを考える (つまり、ここでの k は 2 以上 ($L - 1$) 以下の整数とする。)。第 1 層は、階層型ニューラルネットワークの入力層となり、第 L 層は、階層型ニューラルネットワークの出力層となり、第 2 層乃至第 ($L - 1$) 層は、隠れ層となる。

【 0 0 6 6 】

第 1 層 (入力層) は、ニューロンを P 個有し、第 k 層 (隠れ層) は、ニューロンを $Q [k]$ 個 ($Q [k]$ は 1 以上の整数である。) 有し、第 L 層 (出力層) は、ニューロンを R 個有する。

【 0 0 6 7 】

第 1 層の第 $s [1]$ ニューロン ($s [1]$ は 1 以上 P 以下の整数である。) の出力信号を $z_{s[1]}^{(1)}$ とし、第 k 層の第 $s [k]$ ニューロン ($s [k]$ は 1 以上 $Q [k]$ 以下の整数である。) の出力信号を $z_{s[k]}^{(k)}$ とし、第 L 層の第 $s [L]$ ニューロン ($s [L]$ は 1 以上 R 以下の整数である。) の出力信号を $z_{s[L]}^{(L)}$ とする。

【 0 0 6 8 】

また、第 ($k - 1$) 層の第 $s [k - 1]$ ニューロン ($s [k - 1]$ は 1 以上 $Q [k - 1]$ 以下の整数である。) の出力信号 $z_{s[k-1]}^{(k-1)}$ と重み係数 $w_{s[k]s[k-1]}^{(k)}$ と、の積 $u_{s[k]}^{(k)}$ が第 k 層の第 $s [k]$ ニューロンに入力されるものとし、第 ($L - 1$) 層の第 $s [L - 1]$ ニューロン ($s [L - 1]$ は 1 以上 $Q [L - 1]$ 以下の整数である。) の出力信号 $z_{s[L-1]}^{(L-1)}$ と重み係数 $w_{s[L]s[L-1]}^{(L)}$ と、の積 $u_{s[L]}^{(L)}$ が第 L 層の第 $s [L]$ ニューロンに入力されるものとする。

【 0 0 6 9 】

次に、教師付き学習について説明する。教師付き学習とは、上述の階層型ニューラルネットワークの機能において、出力した結果と、所望の結果 (教師データ、又は教師信号という場合がある。) と異なったときに、階層型ニューラルネットワークの全ての重み係数を、出力した結果と所望の結果とに基づいて、更新する動作をいう。

【 0 0 7 0 】

教師付き学習の具体例として、逆伝播誤差方式による学習方法について説明する。図 7 は、逆伝播誤差方式による学習方法を説明する図である。逆伝播誤差方式は、階層型ニューラルネットワークの出力と教師データとの誤差が小さくなるに、重み係数を変更する方式である。

【 0 0 7 1 】

例えば、第 1 層の第 $s [1]$ ニューロンに入力データを入力し、第 L 層の第 $s [L]$ ニューロンから出力データ $z_{s[L]}^{(L)}$ を出力されたとする。ここで、出力データ $z_{s[L]}^{(L)}$ に対する教師信号を $t_{s[L]}$ としたとき、誤差エネルギー E は、出力データ $z_{s[L]}^{(L)}$ 及び教師信号 $t_{s[L]}$ によって表すことができる。

【 0 0 7 2 】

誤差エネルギー E に対して、第 k 層の第 $s [k]$ ニューロンの重み係数 $w_{s[k]s[k-1]}^{(k)}$ の更新量を $E / w_{s[k]s[k-1]}^{(k)}$ とすることで、新たに重み係数を変更することができる。ここで、第 k 層の第 $s [k]$ ニューロンの出力値 $z_{s[k]}^{(k)}$

10

20

30

40

50

$s_{[k]}^{(k)}$ の誤差 $\delta_{s_{[k]}^{(k)}}$ を $E / u_{s_{[k]}^{(k)}}$ と定義すると、 $s_{[k]}^{(k)}$ 及び $E / w_{s_{[k]}s_{[k-1]}^{(k)}}$ は、それぞれ次の式 (D3)、(D4) で表すことができる。

【0073】

【数3】

$$\delta_{s_{[k]}^{(k)}} = \sum_{s_{[k+1]}} \delta_{s_{[k+1]}^{(k+1)}} \cdot w_{s_{[k+1]}s_{[k]}^{(k+1)}} \cdot f'(u_{s_{[k]}^{(k)}}) \quad (D3)$$

【0074】

【数4】

$$\frac{\partial E}{\partial w_{s_{[k]}s_{[k-1]}^{(k)}}} = \delta_{s_{[k]}^{(k)}} \cdot z_{s_{[k-1]}^{(k-1)}} \quad (D4)$$

10

【0075】

$f'(u_{s_{[k]}^{(k)}})$ は、ニューロンの出力関数の導関数である。なお、式 (D3) の演算は、例えば、図8(B)に示す回路413によって実現できる。また、式 (D4) の演算は、例えば、図8(C)に示す回路414によって実現できる。出力関数の導関数は、例えば、オペアンプの出力端子に所望の導関数に対応した演算回路を接続することによって実現できる。

20

【0076】

また、例えば、式 (D3) の $w_{s_{[k+1]}s_{[k]}^{(k+1)}} \cdot \delta_{s_{[k+1]}^{(k+1)}}$ の部分の演算は、前述したデータ処理装置によって実現できる。

【0077】

ここで、第 $(k+1)$ 層が出力層のとき、すなわち、第 $(k+1)$ 層が第 L 層であるとき、 $s_{[L]}^{(L)}$ 及び $E / w_{s_{[L]}s_{[L-1]}^{(L)}}$ は、それぞれ次の式 (D5)、(D6) で表すことができる。

【0078】

【数5】

$$\delta_{s_{[L]}^{(L)}} = (z_{s_{[L]}^{(L)}} - t_{s_{[L]}^{(L)}}) \cdot f'(u_{s_{[L]}^{(L)}}) \quad (D5)$$

30

【0079】

【数6】

$$\frac{\partial E}{\partial w_{s_{[L]}s_{[L-1]}^{(L)}}} = \delta_{s_{[L]}^{(L)}} \cdot z_{s_{[L-1]}^{(L-1)}} \quad (D6)$$

【0080】

式 (D5) の演算は、図8(D)に示す回路415によって実現できる。また、式 (D6) の演算は、図8(C)に示す回路414によって実現できる。

40

【0081】

つまり、式 (D1) 乃至式 (D6) により、全てのニューロンの誤差 $\delta_{s_{[k]}^{(k)}}$ 及び $\delta_{s_{[L]}^{(L)}}$ を求めることができる。なお、重み係数の更新量は、誤差 $\delta_{s_{[k]}^{(k)}}$ 、 $\delta_{s_{[L]}^{(L)}}$ 及び所望のパラメータなどに基づいて、設定される。

【0082】

以上のように、図8に示す回路、及び前述したデータ処理装置を用いることによって、教師付き学習を適用した階層型ニューラルネットワークの計算を行うことができる。

【0083】

50

なお、本実施の形態に示す構成及び方法などは、他の実施の形態に示す構成及び方法などと適宜組み合わせ用いることができる。

【0084】

(実施の形態2)

本実施の形態では、データ処理装置の断面構造について説明する。本実施の形態では、図3(A)で示した電位保持回路に対応するデータ処理装置の断面構造について説明する。

【0085】

図3(A)で説明した電位保持回路24は、図9、図11、および図12に示すようにトランジスタ31、トランジスタ33、容量素子27を有する。

10

【0086】

[断面構造1]

図9に示す断面構造において、トランジスタ31はトランジスタ33の上方に設けられ、容量素子37はトランジスタ33、およびトランジスタ31の上方に設けられている。

【0087】

トランジスタ31は、酸化物半導体を有する半導体層にチャネルが形成されるトランジスタ(OSトランジスタ)である。トランジスタ31の説明については後述するが、図9に示す構造のOSトランジスタを設けることで、微細化しても歩留まり良くトランジスタ31を形成できる。このようなOSトランジスタをデータ処理装置に用いることで、微細化または高集積化を図ることができる。OSトランジスタは、オフ電流が小さいため、これをデータ処理装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、データ処理装置の消費電力を十分に低減することができる。

20

【0088】

トランジスタ33は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

【0089】

トランジスタ33は、pチャネル型、あるいはnチャネル型のいずれでもよい。

【0090】

半導体領域313のチャネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ33をHEMT(High Electron Mobility Transistor)としてもよい。

30

【0091】

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

40

【0092】

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【0093】

なお、導電体の材料により、仕事関数を定めることで、しきい値電圧を調整することが

50

できる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

【 0 0 9 4 】

なお、図 9 に示すトランジスタ 3 3 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【 0 0 9 5 】

トランジスタ 3 3 を覆って、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 が順に積層して設けられている。

10

【 0 0 9 6 】

絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【 0 0 9 7 】

絶縁体 3 2 2 は、その下方に設けられるトランジスタ 3 3 などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体 3 2 2 の上面は、平坦性を高めるために化学機械研磨 (C M P) 法等を用いた平坦化処理により平坦化されていてもよい。

【 0 0 9 8 】

また、絶縁体 3 2 4 には、基板 3 1 1、またはトランジスタ 3 3 などから、トランジスタ 3 1 が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

20

【 0 0 9 9 】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 3 1 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 3 1 と、トランジスタ 3 3 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【 0 1 0 0 】

水素の脱離量は、例えば、昇温脱離ガス分析法 (T D S) などを用いて分析することができる。例えば、絶縁体 3 2 4 の水素の脱離量は、TDS分析において、50 から 500 の範囲において、水素原子に換算した脱離量が、絶縁体 3 2 4 の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms / cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms / cm}^2$ 以下であればよい。

30

【 0 1 0 1 】

なお、絶縁体 3 2 6 は、絶縁体 3 2 4 よりも誘電率が低いことが好ましい。例えば、絶縁体 3 2 6 の比誘電率は 4 未満が好ましく、3 未満がより好ましい。また例えば、絶縁体 3 2 6 の比誘電率は、絶縁体 3 2 4 の比誘電率の 0.7 倍以下が好ましく、0.6 倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

40

【 0 1 0 2 】

また、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 には容量素子 3 7、またはトランジスタ 3 1 と電氣的に接続する導電体 3 2 8、および導電体 3 3 0 等が埋め込まれている。なお、導電体 3 2 8、および導電体 3 3 0 はプラグ、または配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【 0 1 0 3 】

50

各プラグ、および配線（導電体 3 2 8、および導電体 3 3 0 等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

【 0 1 0 4 】

絶縁体 3 2 6、および導電体 3 3 0 上に、配線層を設けてもよい。例えば、図 9 において、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 が順に積層して設けられている。また、絶縁体 3 5 0、絶縁体 3 5 2、及び絶縁体 3 5 4 には、導電体 3 5 6 が形成されている。導電体 3 5 6 は、プラグ、または配線としての機能を有する。なお導電体 3 5 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

10

【 0 1 0 5 】

なお、例えば、絶縁体 3 5 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 5 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 5 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 3 とトランジスタ 3 1 とは、バリア層により分離することができ、トランジスタ 3 3 からトランジスタ 3 1 への水素の拡散を抑制することができる。

【 0 1 0 6 】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 3 3 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 3 5 0 と接する構造であることが好ましい。

20

【 0 1 0 7 】

絶縁体 3 5 4、および導電体 3 5 6 上に、配線層を設けてもよい。例えば、図 9 において、絶縁体 3 6 0、絶縁体 3 6 2、及び絶縁体 3 6 4 が順に積層して設けられている。また、絶縁体 3 6 0、絶縁体 3 6 2、及び絶縁体 3 6 4 には、導電体 3 6 6 が形成されている。導電体 3 6 6 は、プラグ、または配線としての機能を有する。なお導電体 3 6 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

30

【 0 1 0 8 】

なお、例えば、絶縁体 3 6 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 6 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 6 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 3 とトランジスタ 3 1 とは、バリア層により分離することができ、トランジスタ 3 3 からトランジスタ 3 1 への水素の拡散を抑制することができる。

【 0 1 0 9 】

絶縁体 3 6 4、および導電体 3 6 6 上に、配線層を設けてもよい。例えば、図 9 において、絶縁体 3 7 0、絶縁体 3 7 2、及び絶縁体 3 7 4 が順に積層して設けられている。また、絶縁体 3 7 0、絶縁体 3 7 2、及び絶縁体 3 7 4 には、導電体 3 7 6 が形成されている。導電体 3 7 6 は、プラグ、または配線としての機能を有する。なお導電体 3 7 6 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

40

【 0 1 1 0 】

なお、例えば、絶縁体 3 7 0 は、絶縁体 3 2 4 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 3 7 6 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 3 7 0 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 3 3 とトランジスタ 3 1 とは、バリア層により分離することができ、トランジ

50

スタ 33 からトランジスタ 31 への水素の拡散を抑制することができる。

【0111】

絶縁体 374、および導電体 376 上に、配線層を設けてもよい。例えば、図 9 において、絶縁体 380、絶縁体 382、及び絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、及び絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグ、または配線としての機能を有する。なお導電体 386 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

【0112】

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 33 とトランジスタ 31 とは、バリア層により分離することができ、トランジスタ 33 からトランジスタ 31 への水素の拡散を抑制することができる。

10

【0113】

絶縁体 384 上には絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 が、順に積層して設けられている。絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0114】

例えば、絶縁体 210、および絶縁体 214 には、例えば、基板 311、またはトランジスタ 33 を設ける領域などから、トランジスタ 31 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。従って、絶縁体 324 と同様の材料を用いることができる。

20

【0115】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 31 等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の特性が低下する場合がある。従って、トランジスタ 31 と、トランジスタ 33 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

30

【0116】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 210、および絶縁体 214 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【0117】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 31 への混入を防止することができる。また、トランジスタ 31 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 31 に対する保護膜として用いることに適している。

40

【0118】

また、例えば、絶縁体 212、および絶縁体 216 には、絶縁体 320 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 212、および絶縁体 216 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【0119】

また、絶縁体 210、絶縁体 212、絶縁体 214、および絶縁体 216 には、導電体 218、及びトランジスタ 31 を構成する導電体（導電体 205）等が埋め込まれている。なお、導電体 218 は、容量素子 37、またはトランジスタ 33 と電氣的に接続するプ

50

ラグ、または配線としての機能を有する。導電体 2 1 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

【 0 1 2 0 】

特に、絶縁体 2 1 0、および絶縁体 2 1 4 と接する領域の導電体 2 1 8 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 3 3 とトランジスタ 3 1 とは、酸素、水素、および水に対するバリア性を有する層で、完全により分離することができ、トランジスタ 3 3 からトランジスタ 3 1 への水素の拡散を抑制することができる。

【 0 1 2 1 】

絶縁体 2 1 4 の上方には、トランジスタ 3 1 が設けられている。なお図 9 に示すトランジスタ 3 1 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

10

【 0 1 2 2 】

トランジスタ 3 1 の上方には、絶縁体 2 8 0 を設ける。絶縁体 2 8 0 には、過剰酸素領域が形成されていることが好ましい。特に、トランジスタ 3 1 に酸化物半導体を用いる場合、トランジスタ 3 1 近傍の層間膜などに、過剰酸素領域を有する絶縁体を設けることで、トランジスタ 3 1 が有する酸化物 2 3 0 の酸素欠損を低減することで、信頼性を向上させることができる。また、トランジスタ 3 1 を覆う絶縁体 2 8 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。なお、絶縁体 2 8 0 は、トランジスタ 3 1 の上部に形成される絶縁体 2 8 1 と絶縁体 2 2 5 に接して設けられる。

20

【 0 1 2 3 】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下、または100 以上500 以下の範囲が好ましい。

【 0 1 2 4 】

例えばこのような材料として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、金属酸化物を用いることもできる。なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

30

【 0 1 2 5 】

絶縁体 2 8 0 上には、絶縁体 2 8 2 が設けられている。絶縁体 2 8 2 は、酸素や水素に対してバリア性のある物質を用いることが好ましい。従って、絶縁体 2 8 2 には、絶縁体 2 1 4 と同様の材料を用いることができる。例えば、絶縁体 2 8 2 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

【 0 1 2 6 】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 3 1 への混入を防止することができる。また、トランジスタ 3 1 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 3 1 に対する保護膜として用いることに適している。

40

【 0 1 2 7 】

また、絶縁体 2 8 2 上には、絶縁体 2 8 6 が設けられている。絶縁体 2 8 6 は、絶縁体 3 2 0 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 2 8 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

【 0 1 2 8 】

50

また、絶縁体 2 2 0、絶縁体 2 2 2、絶縁体 2 2 4、絶縁体 2 8 0 絶縁体 2 8 2、および絶縁体 2 8 6 には、導電体 2 4 6、および導電体 2 4 8 等が埋め込まれている。

【 0 1 2 9 】

導電体 2 4 6、および導電体 2 4 8 は、容量素子 3 7、トランジスタ 3 1、またはトランジスタ 3 3 と電氣的に接続するプラグ、または配線としての機能を有する。導電体 2 4 6、および導電体 2 4 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

【 0 1 3 0 】

続いて、トランジスタ 3 1 の上方には、容量素子 3 7 が設けられている。容量素子 3 7 は、導電体 1 1 0 と、導電体 1 2 0、および絶縁体 1 3 0 とを有する。

10

【 0 1 3 1 】

また、導電体 2 4 6、および導電体 2 4 8 上に、導電体 1 1 2 を設けてもよい。導電体 1 1 2 は、容量素子 3 7、トランジスタ 3 1、またはトランジスタ 3 3 と電氣的に接続するプラグ、または配線としての機能を有する。導電体 1 1 0 は、容量素子 3 7 の電極としての機能を有する。なお、導電体 1 1 2、および導電体 1 1 0 は、同時に形成することができる。

【 0 1 3 2 】

導電体 1 1 2、および導電体 1 1 0 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

20

【 0 1 3 3 】

図 9 では、導電体 1 1 2、および導電体 1 1 0 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

30

【 0 1 3 4 】

また、導電体 1 1 2、および導電体 1 1 0 上に、容量素子 3 7 の誘電体として、絶縁体 1 3 0 を設ける。絶縁体 1 3 0 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

【 0 1 3 5 】

例えば、絶縁体 1 3 0 には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子 3 7 は、絶縁体 1 3 0 を有することで、絶縁耐力が向上し、容量素子 3 7 の静電破壊を抑制することができる。

40

【 0 1 3 6 】

絶縁体 1 3 0 上に、導電体 1 1 0 と重畳するように、導電体 1 2 0 を設ける。なお、導電体 1 2 0 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

【 0 1 3 7 】

導電体 1 2 0、および絶縁体 1 3 0 上には、絶縁体 1 5 0 が設けられている。絶縁体 1 5 0 は、絶縁体 3 2 0 と同様の材料を用いて設けることができる。また、絶縁体 1 5 0 は

50

、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

【0138】

以上が構成例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いたデータ処理装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いたデータ処理装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いたデータ処理装置において、微細化または高集積化を図ることができる。または、微細化または高集積化されたデータ処理装置を生産性良く提供することができる。

【0139】

10

<トランジスタ31>

上述したトランジスタ31に適用可能なOSトランジスタの一例について説明する。

【0140】

図10(A)は、トランジスタ31の断面図であり、トランジスタ31のチャネル幅方向の断面図でもある。

【0141】

図10(A)に示すように、トランジスタ31は、絶縁体212の上に配置された絶縁体224と、絶縁体224の上に配置された酸化物406aと、酸化物406aの上面の少なくとも一部に接して配置された酸化物406bと、酸化物406aの上面の少なくとも一部に接して配置された酸化物406cと、酸化物406cの上に配置された絶縁体412と、絶縁体412の上に配置された導電体404aと、導電体404aの上に配置された導電体404bと、絶縁体412、導電体404a、および導電体404bの側面に接して配置された側壁絶縁体418と、酸化物406b、406cの上面と側面に接し、かつ側壁絶縁体418の側面に接して配置された絶縁体225と、を有する。

20

【0142】

以下において、酸化物406a、406b、406cをまとめて酸化物406という場合がある。導電体404aおよび導電体404bをまとめて導電体404という場合がある。導電体310aおよび導電体310bをまとめて導電体310という場合がある。

【0143】

また、トランジスタ31は、絶縁体401の上に配置された絶縁体216と、絶縁体216に埋め込まれるように配置された導電体310と、を有する構成にしてもよい。

30

【0144】

導電体310は、絶縁体216の開口の内壁に接して導電体310aが形成され、さらに内側に導電体310bが形成されている。ここで、導電体310aおよび導電体310bの上面の高さ、絶縁体216の上面の高さは同程度にできる。

【0145】

導電体404は、トップゲートとして機能でき、導電体310は、バックゲートとして機能できる。バックゲートの電位は、トップゲートと同電位としてもよいし、接地電位や、任意の電位としてもよい。また、バックゲートの電位をトップゲートと連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

40

【0146】

ここで、導電体310aは、水または水素などの不純物の透過を抑制する機能を有する(透過しにくい)導電性材料(水または水素などの不純物の透過を抑制する機能を有する導電性材料ということもできる。)を用いることが好ましい。例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましく、単層または積層とすればよい。これにより、絶縁体214より下層から水素、水などの不純物が導電体310を通じて上層に拡散するのを抑制することができる。

【0147】

また、導電体310bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、図示しないが、導電体310bは積層構造として

50

も良く、例えば、チタン、窒化チタンと上記導電性材料との積層としてもよい。

【0148】

絶縁体214は、下層から水または水素などの不純物がトランジスタに混入するのを防ぐバリア絶縁膜として機能できる。絶縁体214は、水または水素などの不純物の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムなどを用いることが好ましい。これにより、水素、水などの不純物が絶縁体214より上層に拡散するのを抑制することができる。

【0149】

また、絶縁体214は、酸素（例えば、酸素原子または酸素分子など）の透過を抑制する機能を有する絶縁性材料を用いることが好ましい。これにより、絶縁体224などに含まれる酸素が下方拡散するのを抑制することができる。

10

【0150】

また、絶縁体222は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることが好ましく、例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体222より下層から水素、水などの不純物が絶縁体222より上層に拡散するのを抑制することができる。さらに、絶縁体224などに含まれる酸素が下方拡散するのを抑制することができる。

【0151】

また、絶縁体224中の水、水素または窒素酸化物などの不純物濃度が低減されていることが好ましい。例えば、絶縁体224の水素の脱離量は、昇温脱離ガス分析法（TDS（Thermal Desorption Spectroscopy））において、50 から500 の範囲において、水素分子に換算した脱離量が、絶縁体224の面積当たり換算して、 2×10^{15} molecules/cm²以下、好ましくは 1×10^{15} molecules/cm²以下、より好ましくは 5×10^{14} molecules/cm²以下であればよい。また、絶縁体224は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

20

【0152】

絶縁体412は、第1のゲート絶縁膜として機能でき、絶縁体220、絶縁体222、および絶縁体224は、第2のゲート絶縁膜として機能できる。

【0153】

また図10(B)には、図10(A)とは異なる構造のトランジスタ31TCの断面図を図示する。図10(B)は、図10(A)と同様に、トランジスタ31のチャネル幅方向の断面図でもある。

30

【0154】

酸化物406は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。金属酸化物としては、エネルギーギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、エネルギーギャップの広い金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0155】

酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流が小さいため、低消費電力のデータ処理装置が提供できる。また、酸化物半導体は、スパッタリング法などを用いて成膜できるため、高集積型のデータ処理装置を構成するトランジスタに用いることができる。

40

【0156】

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ば

50

れた一種、または複数種が含まれていてもよい。

【0157】

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0158】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

10

【0159】

ここで、酸化物406aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物406bに用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、酸化物406aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物406bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。

【0160】

以上のような金属酸化物を酸化物406aとして用いて、酸化物406aの伝導帯下端のエネルギーが、酸化物406bの伝導帯下端のエネルギーが低い領域における、伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物406aの電子親和力が、酸化物406bの伝導帯下端のエネルギーが低い領域における電子親和力より小さいことが好ましい。

20

【0161】

ここで、酸化物406aおよび酸化物406bにおいて、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物406aと酸化物406bとの界面において形成される混合層の欠陥準位密度を低くするとよい。

【0162】

具体的には、酸化物406aと酸化物406bが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物406bがIn-Ga-Zn酸化物の場合、酸化物406aとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウムなどを用いるとよい。

30

【0163】

このとき、キャリアの主たる経路は酸化物406bに形成されるナローギャップ部分となる。酸化物406aと酸化物406bとの界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

【0164】

また、酸化物406は、領域426a、領域426b、および領域426cを有する。領域426aは、図10(A)に示すように、領域426bと領域426cに挟まれる。領域426bおよび領域426cは、絶縁体225の成膜により低抵抗化された領域であり、領域426aより導電性が高い領域となる。領域426bおよび領域426cは、絶縁体225の成膜雰囲気に含まれる、水素または窒素などの不純物元素が添加される。これにより、酸化物406bの絶縁体225と重なる領域を中心に、添加された不純物元素により酸素欠損が形成され、さらに当該不純物元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。

40

【0165】

よって、領域426bおよび領域426cは、領域426aより、水素および窒素の少なくとも一方の濃度が大きくなることが好ましい。水素または窒素の濃度は、二次イオン

50

質量分析法 (SIMS: Secondary Ion Mass Spectrometry) などを用いて測定すればよい。

【0166】

なお、領域426bおよび領域426cは、酸素欠損を形成する元素、または酸素欠損と結合する元素を添加されることで低抵抗化される。このような元素としては、代表的には水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。よって、領域426bおよび領域426cは、上記元素の一つまたは複数を含む構成にすればよい。

【0167】

領域426bおよび領域426cは、酸化物406の少なくとも絶縁体225と重なる領域に形成される。ここで、酸化物406bの領域426bおよび領域426cの一方は、ソース領域として機能でき、他方はドレイン領域として機能できる。また、酸化物406bの領域426aはチャネル形成領域として機能できる。

【0168】

絶縁体412は、酸化物406bの上面に接して配置されることが好ましい。絶縁体412は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。このような絶縁体412を酸化物406bの上面に接して設けることにより、酸化物406bに効果的に酸素を供給することができる。また、絶縁体224と同様に、絶縁体412中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体412の膜厚は、1nm以上20nm以下とするのが好ましく、例えば、10nm程度の膜厚にすればよい。

【0169】

絶縁体412は酸素を含むことが好ましい。例えば、昇温脱離ガス分光法分析 (TDS分析) にて、100 以上700 以下または100 以上500 以下の表面温度の範囲で、酸素分子の脱離量を絶縁体412の面積当りに換算して、 1×10^{14} molecules/cm²以上、好ましくは 2×10^{14} molecules/cm²以上、より好ましくは 4×10^{14} molecules/cm²以上であればよい。

【0170】

絶縁体412および導電体404は、酸化物406bと重なる領域を有する。また、絶縁体412、導電体404a、および導電体404bの側面は略一致することが好ましい。

【0171】

導電体404aとして、導電性酸化物を用いることが好ましい。例えば、酸化物406a乃至酸化物406cとして用いることができる金属酸化物を用いることができる。特に、In-Ga-Zn系酸化物のうち、導電性が高い、金属の原子数比が [In] : [Ga] : [Zn] = 4 : 2 : 3 から 4 . 1、およびその近傍値のものを用いることが好ましい。このような導電体404aを設けることで、導電体404bへの酸素の透過を抑制し、酸化によって導電体404cの電気抵抗値が増加することを防ぐことができる。

【0172】

また、このような導電性酸化物を、スパッタリング法を用いて成膜することで、絶縁体412に酸素を添加し、酸化物406bに酸素を供給することが可能となる。これにより、酸化物406の領域426aの酸素欠損を低減することができる。

【0173】

導電体404bは、例えばタングステンなどの金属を用いることができる。また、導電体404bとして、導電体404aに窒素などの不純物を添加して導電体404aの導電性を向上できる導電体を用いてもよい。例えば導電体404bは、窒化チタンなどを用いることが好ましい。また、導電体404bを、窒化チタンなどの金属窒化物と、その上にタングステンなどの金属を積層した構造にしてもよい。

【0174】

10

20

30

40

50

酸化物406は、酸化物半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。

【0175】

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

【0176】

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する $InMZnO$ である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

【0177】

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。

【0178】

< 断面構造1の変形例1 >

また、本実施の形態の変形例の一例を、図11に示す。図11は、図9と、トランジスタ33の構成が異なる。

【0179】

図11に示すトランジスタ33はチャンネルが形成される半導体領域313（基板311の一部）が凸形状を有する。また、半導体領域313の側面および上面を、絶縁体315を介して、導電体316が覆うように設けられている。なお、導電体316は仕事関数を調整する材料を用いてもよい。このようなトランジスタ33は半導体基板の凸部を利用していることからFIN型トランジスタとも呼ばれる。なお、凸部の上部に接して、凸部を形成するためのマスクとして機能する絶縁体を有していてもよい。また、ここでは半導体基板の一部を加工して凸部を形成する場合を示したが、SOI基板を加工して凸形状を有する半導体膜を形成してもよい。

【0180】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いたデータ処理装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いたデータ処理装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いたデータ処理装置において、微細化または高集積化を図ることができる。または、微細化または高集積化されたデータ処理装置を生産性良く提供することができる。

【0181】

< 断面構造1の変形例2 >

また、本実施の形態の変形例の一例を、図12に示す。図12は、図9と、容量素子37の構成が異なる。

【0182】

図12に示すデータ処理装置では、絶縁体286の上に絶縁体287が設けられ、導電体112が絶縁体287に埋め込まれ、絶縁体287の上に絶縁体155が設けられ、絶縁体155に形成された複数の開口に導電体110が設けられ、導電体110の上に絶縁体130が設けられ、絶縁体130の上に、導電体110と重なるように導電体120が

10

20

30

40

50

設けられる。また、トランジスタ 3 1 と電氣的に接続される導電体 2 4 8 と、トランジスタ 3 3 と電氣的に接続される導電体 2 4 8 と、を接続するように導電体 1 1 2 を設け、当該導電体 1 1 2 に接して導電体 1 1 0 を設ければよい。また、絶縁体 2 8 7、絶縁体 1 5 5 は、絶縁体 3 2 0 と同様の材料を用いることができる。

【 0 1 8 3 】

図 1 2 に示す容量素子 3 7 において、絶縁体 1 5 5 に形成された開口の中で、導電体 1 1 0 と、絶縁体 1 3 0 と、導電体 1 2 0 が重なるので、導電体 1 1 0、絶縁体 1 3 0、および導電体 1 2 0 は被覆性の良好な膜にすることが好ましい。このため、導電体 1 1 0、絶縁体 1 3 0、および導電体 1 2 0 は、CVD法、ALD法などの良好な段差被覆性を有する成膜方法を用いて成膜することが好ましい。

10

【 0 1 8 4 】

容量素子 3 7 は、絶縁体 1 5 5 に設けられた開口の形状に沿って形成されるため、当該開口が深く形成されるほど静電容量を増加させることができる。また、当該開口の数を増やすほど静電容量を増加させることができる。このような容量素子 3 7 を形成することにより、容量素子 3 7 の上面積を増やすことなく、静電容量を増加させることができる。

【 0 1 8 5 】

以上が変形例についての説明である。本構成を用いることで、酸化物半導体を有するトランジスタを用いたデータ処理装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いたデータ処理装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いたデータ処理装置において、微細化または高集積化を図ることができる。または、微細化または高集積化されたデータ処理装置を生産性良く提供することができる。

20

【 0 1 8 6 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる。

【 0 1 8 7 】

(実施の形態 3)

本実施の形態では、データ処理装置の一形態を、図 1 3 - 図 1 5 を用いて説明する。

【 0 1 8 8 】

30

<半導体ウエハ、チップ>

図 1 3 (A) は、ダイシング処理が行なわれる前の基板 7 1 1 の上面図を示している。基板 7 1 1 としては、例えば、半導体基板(「半導体ウエハ」ともいう。)を用いることができる。基板 7 1 1 上には、複数の回路領域 7 1 2 が設けられている。回路領域 7 1 2 には、本発明の一態様に係るデータ処理装置などを設けることができる。

【 0 1 8 9 】

複数の回路領域 7 1 2 は、それぞれが分離領域 7 1 3 に囲まれている。分離領域 7 1 3 と重なる位置に分離線(「ダイシングライン」ともいう。) 7 1 4 が設定される。分離線 7 1 4 に沿って基板 7 1 1 を切断することで、回路領域 7 1 2 を含むチップ 7 1 5 を基板 7 1 1 から切り出すことができる。図 1 3 (B) にチップ 7 1 5 の拡大図を示す。

40

【 0 1 9 0 】

また、分離領域 7 1 3 に導電層、半導体層などを設けてもよい。分離領域 7 1 3 に導電層、半導体層などを設けることで、ダイシング工程時に生じうるESDを緩和し、ダイシング工程に起因する歩留まりの低下を防ぐことができる。また、一般にダイシング工程は、基板の冷却、削りくずの除去、帯電防止などを目的として、炭酸ガスなどを溶解させて比抵抗を下げた純水を切削部に供給しながら行なう。分離領域 7 1 3 に導電層、半導体層などを設けることで、当該純水の使用量を削減することができる。よって、データ処理装置の生産コストを低減することができる。また、データ処理装置の生産性を高めることができる。

【 0 1 9 1 】

50

< 電子部品 >

チップ715を用いた電子部品の一例について、図14(A)および図14(B)、図15(A)-(E)を用いて説明する。なお、電子部品は、半導体パッケージ、またはIC用パッケージともいう。電子部品は、端子取り出し方向、端子の形状などに応じて、複数の規格、名称などが存在する。

【0192】

電子部品は、組み立て工程(後工程)において、上記実施の形態に示したデータ処理装置と該データ処理装置以外の部品が組み合わされて完成する。

【0193】

図14(A)に示すフローチャートを用いて、後工程について説明する。前工程において基板711に本発明の一態様に係るデータ処理装置などを形成した後、基板711の裏面(データ処理装置などが形成されていない面)を研削する「裏面研削工程」を行なう(ステップS721)。研削により基板711を薄くすることで、電子部品の小型化を図ることができる。

10

【0194】

次に、基板711を複数のチップ715に分離する「ダイシング工程」を行う(ステップS722)。そして、分離したチップ715を個々のリードフレーム上に接合する「ダイボンディング工程」を行う(ステップS723)。ダイボンディング工程におけるチップ715とリードフレームとの接合は、樹脂による接合、またはテープによる接合など、適宜製品に応じて適した方法を選択する。なお、リードフレームに代えてインターポーザ基板上にチップ715を接合してもよい。

20

【0195】

次いで、リードフレームのリードとチップ715上の電極とを、金属の細線(ワイヤー)で電氣的に接続する「ワイヤーボンディング工程」を行う(ステップS724)。金属の細線には、銀線、金線などを用いることができる。また、ワイヤーボンディングは、例えば、ボールボンディング、またはウェッジボンディングを用いることができる。

【0196】

ワイヤーボンディングされたチップ715は、エポキシ樹脂などで封止される「封止工程(モールド工程)」が施される(ステップS725)。封止工程を行うことで電子部品の内部が樹脂で充填され、チップ715とリードを接続するワイヤーを機械的な外力から保護することができ、また水分、埃などによる特性の劣化(信頼性の低下)を低減することができる。

30

【0197】

次いで、リードフレームのリードをめっき処理する「リードめっき工程」を行なう(ステップS726)。めっき処理によりリードの錆を防止し、後にプリント基板に実装する際にはんだ付けをより確実に行うことができる。次いで、リードを切断および成形加工する「成形工程」を行なう(ステップS727)。

【0198】

次いで、パッケージの表面に印字処理(マーキング)を施す「マーキング工程」を行なう(ステップS728)。そして外観形状の良否、動作不良の有無などを調べる「検査工程」(ステップS729)を経て、電子部品が完成する。

40

【0199】

また、完成した電子部品の斜視模式図を図14(B)に示す。図14(B)では、電子部品の一例として、QFP(Quad Flat Package)の斜視模式図を示している。図14(B)に示す電子部品750は、リード755およびチップ715を有する。電子部品750は、チップ715を複数有していてもよい。

【0200】

図14(B)に示す電子部品750は、例えばプリント基板752に実装される。このような電子部品750が複数組み合わされて、それぞれがプリント基板752上で電氣的に接続されることで電子部品が実装された基板(実装基板754)が完成する。完成した

50

実装基板 754 は、電子機器などに用いられる。

【0201】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0202】

(実施の形態 4)

<電子機器>

本発明の一態様に係るデータ処理装置を有する電子部品は、様々な電子機器に用いることができる。図 15 に、本発明の一態様に係る電子部品を用いた電子機器の具体例を示す。

10

【0203】

図 15 (A) は、自動車の一例を示す外観図である。自動車 2980 は、車体 2981、車輪 2982、ダッシュボード 2983、およびライト 2984 等を有する。また、自動車 2980 は、アンテナ、バッテリーなどを備える。

【0204】

図 15 (B) に示す情報端末 2910 は、筐体 2911 に、表示部 2912、マイク 2917、スピーカ部 2914、カメラ 2913、外部接続部 2916、および操作スイッチ 2915 等を有する。表示部 2912 には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末 2910 は、筐体 2911 の内側にアンテナ、バッテリーなどを備える。情報端末 2910 は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

20

【0205】

図 15 (C) に示すノート型パーソナルコンピュータ 2920 は、筐体 2921、表示部 2922、キーボード 2923、およびポインティングデバイス 2924 等を有する。また、ノート型パーソナルコンピュータ 2920 は、筐体 2921 の内側にアンテナ、バッテリーなどを備える。

【0206】

図 15 (D) に示すビデオカメラ 2940 は、筐体 2941、筐体 2942、表示部 2943、操作スイッチ 2944、レンズ 2945、および接続部 2946 等を有する。操作スイッチ 2944 およびレンズ 2945 は筐体 2941 に設けられており、表示部 2943 は筐体 2942 に設けられている。また、ビデオカメラ 2940 は、筐体 2941 の内側にアンテナ、バッテリーなどを備える。そして、筐体 2941 と筐体 2942 は、接続部 2946 により接続されており、筐体 2941 と筐体 2942 の間の角度は、接続部 2946 により変えることが可能な構造となっている。筐体 2941 に対する筐体 2942 の角度によって、表示部 2943 に表示される画像の向きの変更や、画像の表示 / 非表示の切り換えを行うことができる。

30

【0207】

図 15 (E) にバングル型の情報端末の一例を示す。情報端末 2950 は、筐体 2951、および表示部 2952 等を有する。また、情報端末 2950 は、筐体 2951 の内側にアンテナ、バッテリーなどを備える。表示部 2952 は、曲面を有する筐体 2951 に支持されている。表示部 2952 には、可撓性基板を用いた表示パネルを備えているため、フレキシブルかつ軽くて使い勝手の良い情報端末 2950 を提供することができる。

40

【0208】

図 15 (F) に腕時計型の情報端末の一例を示す。情報端末 2960 は、筐体 2961、表示部 2962、バンド 2963、バックル 2964、操作スイッチ 2965、入出力端子 2966 などを備える。また、情報端末 2960 は、筐体 2961 の内側にアンテナ、バッテリーなどを備える。情報端末 2960 は、携帯電話、電子メール、文章閲覧及び作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

50

【0209】

例えば、本発明の一態様のデータ処理装置を有する電子部品は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係るデータ処理装置を用いることで、利便性に優れた電子機器を実現することができる。

【0210】

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

【0211】

(本明細書等の記載に関する付記)

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

10

【0212】

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせることで、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

【0213】

なお、ある一つの実施の形態の中で述べる内容(一部の内容でもよい)は、その実施の形態で述べる別の内容(一部の内容でもよい)、及び/又は、一つ若しくは複数の別の実施の形態で述べる内容(一部の内容でもよい)に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0214】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

20

【0215】

なお、ある一つの実施の形態において述べる図(一部でもよい)は、その図の別の部分、その実施の形態において述べる別の図(一部でもよい)、及び/又は、一つ若しくは複数の別の実施の形態において述べる図(一部でもよい)に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0216】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

30

【0217】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0218】

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」(又は第1電極、又は第1端子)と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」(又は第2電極、又は第2端子)と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース(ドレイン)端子や、ソース(ドレイン)電極等、状況に応じて適切に言い換えることができる。

40

【0219】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり

50

、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0220】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0221】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

10

【0222】

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0223】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

20

【0224】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

【0225】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

30

【0226】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0227】

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

40

【0228】

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

【0229】

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的

50

に接続されているとは、AとBとの間で、何らかの電気的作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

【符号の説明】

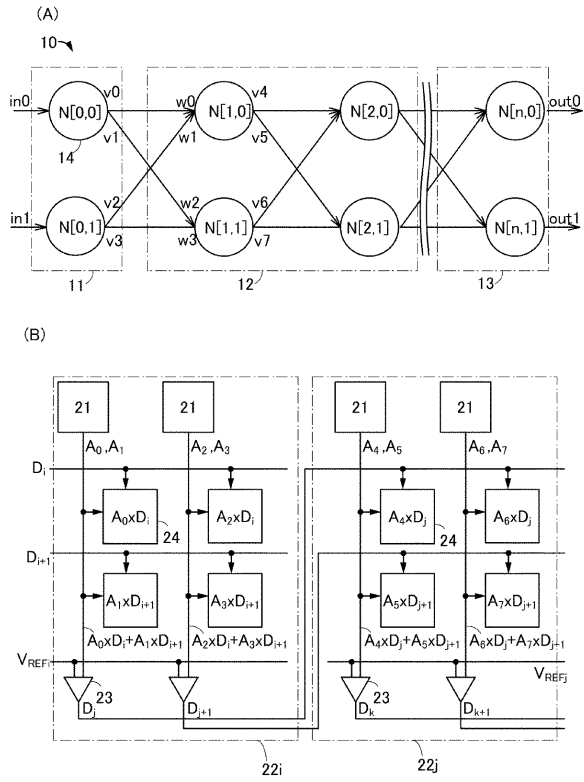
【0230】

BL_1	ビット線	
in0	入力信号	
in1	入力信号	
out0	出力信号	
out1	出力信号	
SW2	スイッチ	10
10	データ処理装置	
11	入力層	
12	隠れ層	
13	出力層	
14	ニューロン	
21	デジタルアナログ変換回路	
22i	ニューロン	
22j	ニューロン	
23	コンパレータ	
24	電位保持回路	20
24A	電位保持回路	
25	レジスタチェーン	
26	容量素子	
27	トランジスタ	
31	トランジスタ	
31TC	トランジスタ	
32	トランジスタ	
33	トランジスタ	
34	電流源	
35	シフトレジスタ	30
36	スキャンチェーン	
37	容量素子	
41	スキャンチェーン	
110	導電体	
112	導電体	
120	導電体	
130	絶縁体	
150	絶縁体	
155	絶縁体	
205	導電体	40
210	絶縁体	
212	絶縁体	
214	絶縁体	
216	絶縁体	
218	導電体	
220	絶縁体	
222	絶縁体	
224	絶縁体	
225	絶縁体	
230	酸化物	50

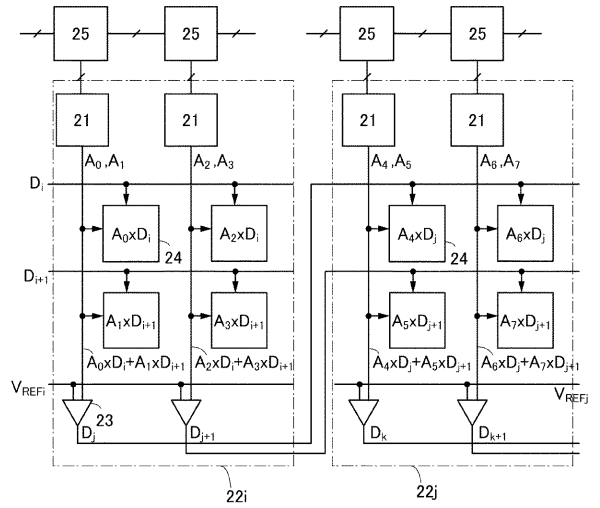
2 4 6	導電体	
2 4 8	導電体	
2 8 0	絶縁体	
2 8 1	絶縁体	
2 8 2	絶縁体	
2 8 6	絶縁体	
2 8 7	絶縁体	
3 1 0	導電体	
3 1 0 a	導電体	
3 1 0 b	導電体	10
3 1 1	基板	
3 1 3	半導体領域	
3 1 4 a	低抵抗領域	
3 1 4 b	低抵抗領域	
3 1 5	絶縁体	
3 1 6	導電体	
3 2 0	絶縁体	
3 2 2	絶縁体	
3 2 4	絶縁体	
3 2 6	絶縁体	20
3 2 8	導電体	
3 3 0	導電体	
3 5 0	絶縁体	
3 5 2	絶縁体	
3 5 4	絶縁体	
3 5 6	導電体	
3 6 0	絶縁体	
3 6 2	絶縁体	
3 6 4	絶縁体	
3 6 6	導電体	30
3 7 0	絶縁体	
3 7 2	絶縁体	
3 7 4	絶縁体	
3 7 6	導電体	
3 8 0	絶縁体	
3 8 2	絶縁体	
3 8 4	絶縁体	
3 8 6	導電体	
4 0 1	絶縁体	
4 0 4	導電体	40
4 0 4 a	導電体	
4 0 4 b	導電体	
4 0 4 c	導電体	
4 0 6	酸化物	
4 0 6 a	酸化物	
4 0 6 b	酸化物	
4 0 6 c	酸化物	
4 1 1	回路	
4 1 2	絶縁体	
4 1 3	回路	50

4 1 4	回路	
4 1 5	回路	
4 1 8	側壁絶縁体	
4 2 6 a	領域	
4 2 6 b	領域	
4 2 6 c	領域	
7 1 1	基板	
7 1 2	回路領域	
7 1 3	分離領域	
7 1 4	分離線	10
7 1 5	チップ	
7 5 0	電子部品	
7 5 2	プリント基板	
7 5 4	実装基板	
7 5 5	リード	
2 9 1 0	情報端末	
2 9 1 1	筐体	
2 9 1 2	表示部	
2 9 1 3	カメラ	
2 9 1 4	スピーカ部	20
2 9 1 5	操作スイッチ	
2 9 1 6	外部接続部	
2 9 1 7	マイク	
2 9 2 0	ノート型パーソナルコンピュータ	
2 9 2 1	筐体	
2 9 2 2	表示部	
2 9 2 3	キーボード	
2 9 2 4	ポインティングデバイス	
2 9 4 0	ビデオカメラ	
2 9 4 1	筐体	30
2 9 4 2	筐体	
2 9 4 3	表示部	
2 9 4 4	操作スイッチ	
2 9 4 5	レンズ	
2 9 4 6	接続部	
2 9 5 0	情報端末	
2 9 5 1	筐体	
2 9 5 2	表示部	
2 9 6 0	情報端末	
2 9 6 1	筐体	40
2 9 6 2	表示部	
2 9 6 3	バンド	
2 9 6 4	バックル	
2 9 6 5	操作スイッチ	
2 9 6 6	入出力端子	
2 9 8 0	自動車	
2 9 8 1	車体	
2 9 8 2	車輪	
2 9 8 3	ダッシュボード	
2 9 8 4	ライト	50

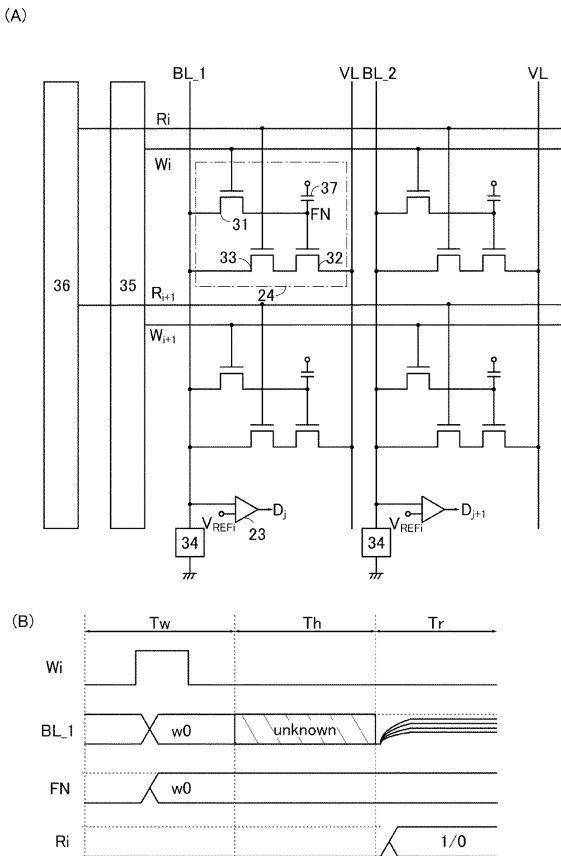
【 図 1 】



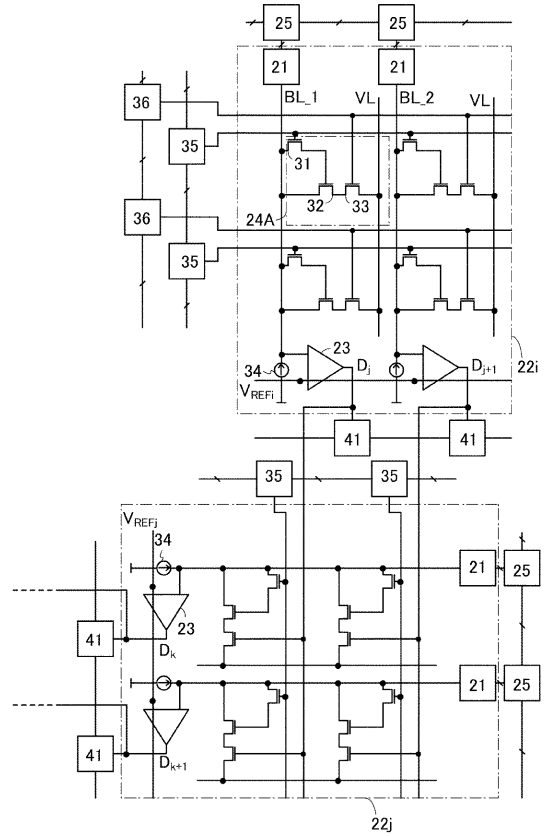
【 図 2 】



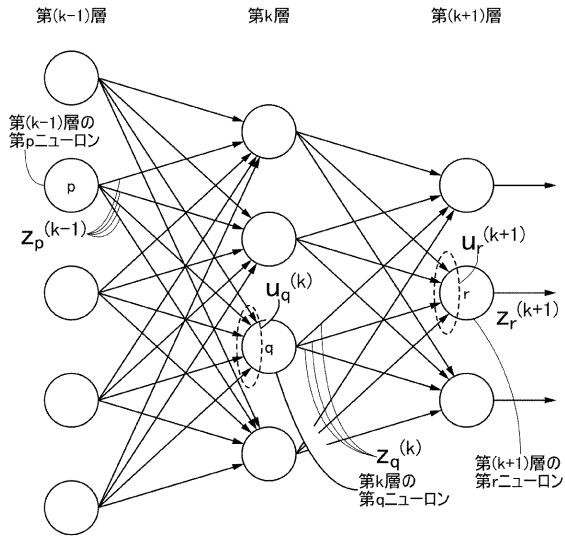
【 図 3 】



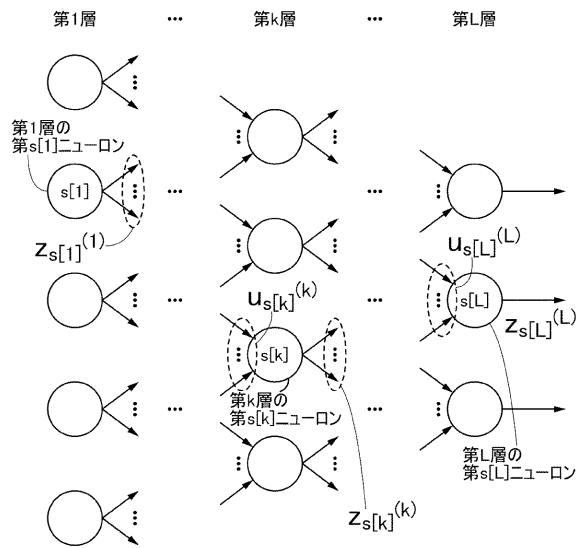
【 図 4 】



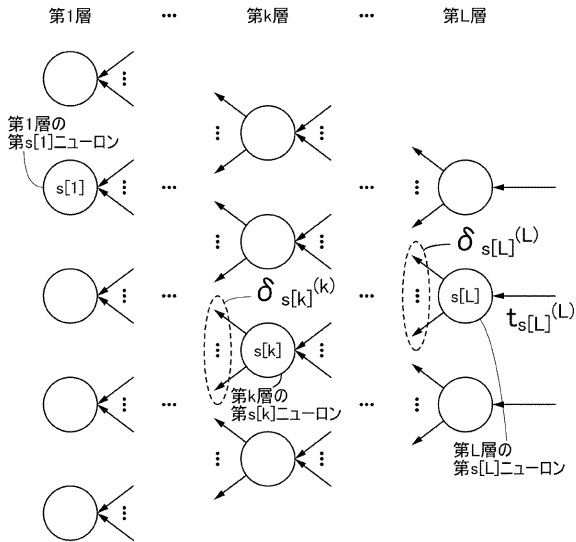
【 図 5 】



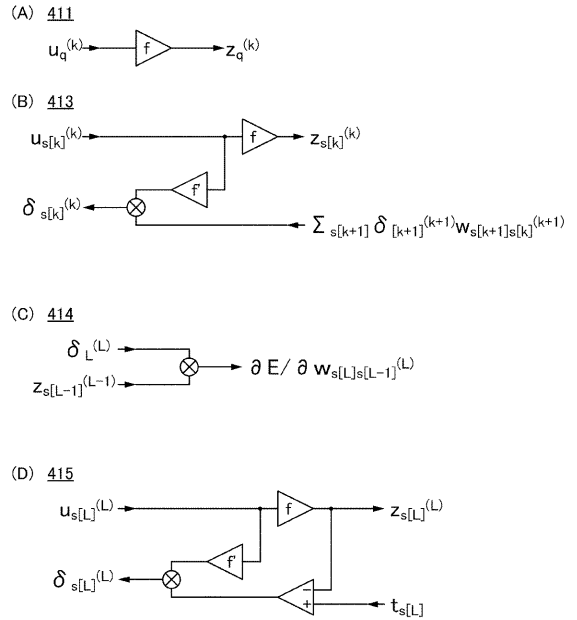
【 図 6 】



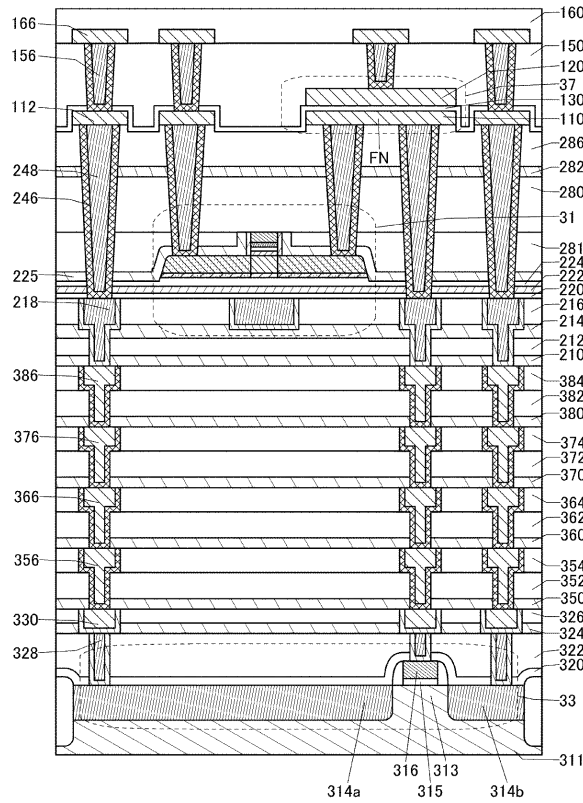
【 図 7 】



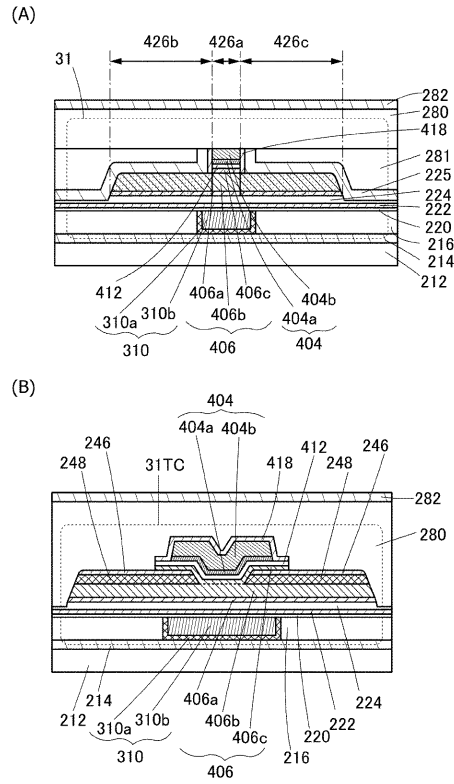
【 図 8 】



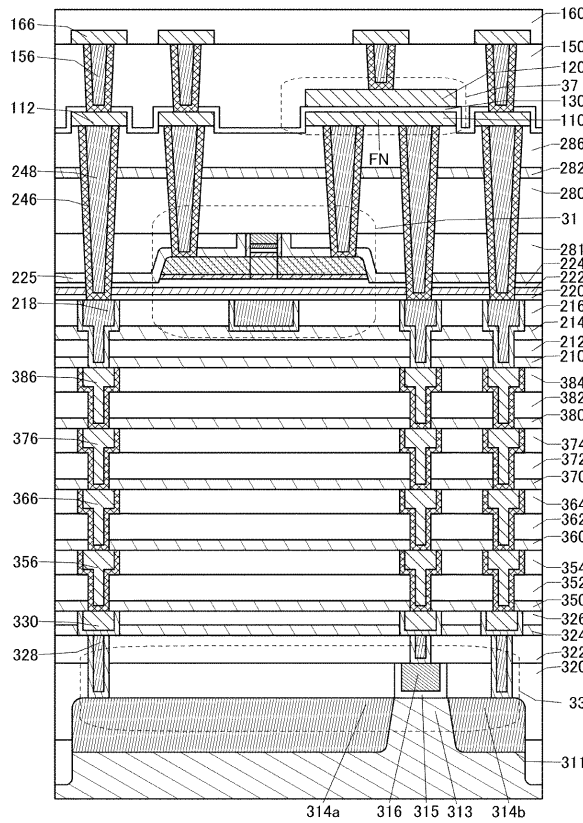
【図9】



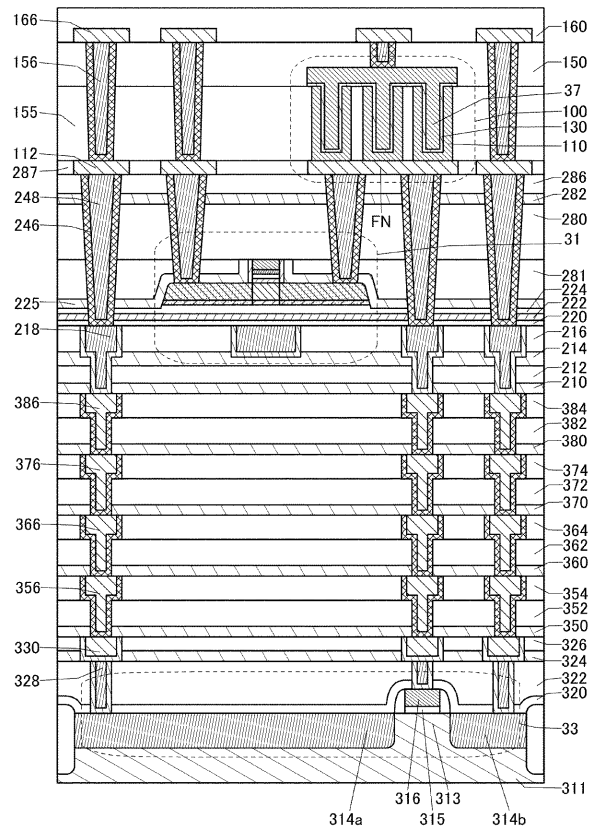
【図10】



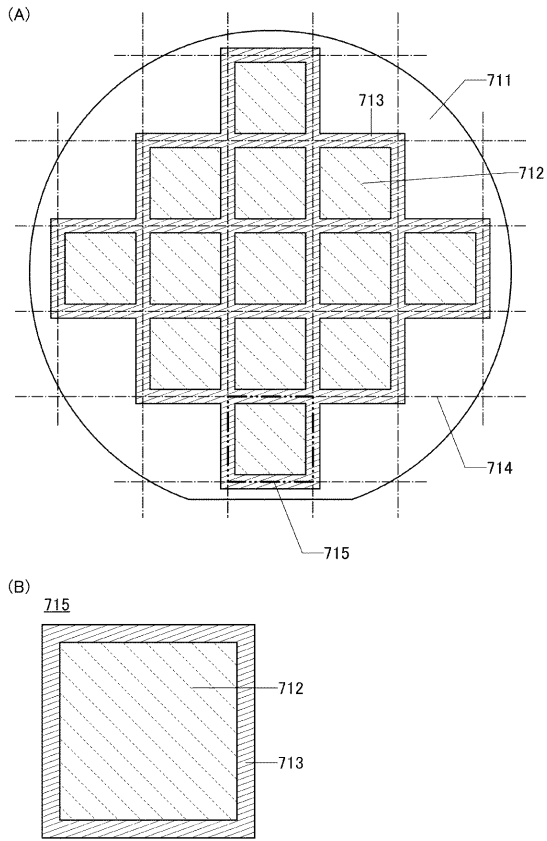
【図11】



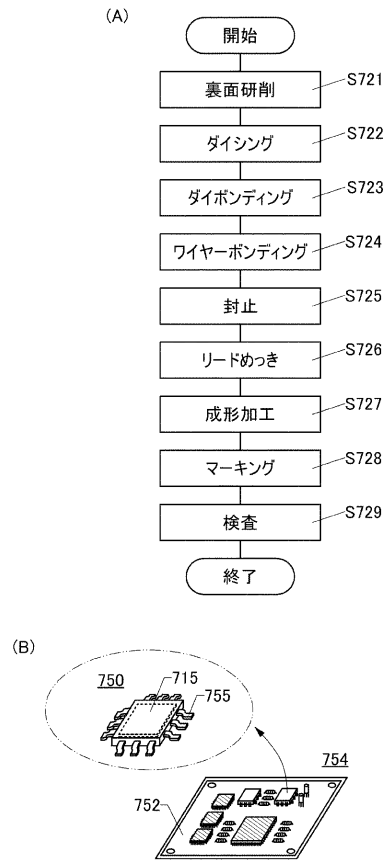
【図12】



【図13】



【図14】



【図15】

