

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-3233
(P2014-3233A)

(43) 公開日 平成26年1月9日(2014.1.9)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 P	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 3 A	
	HO 1 L 29/78 6 5 2 N	
	HO 1 L 29/06 3 0 1 V	
	HO 1 L 29/06 3 0 1 D	
審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2012-139012 (P2012-139012)
(22) 出願日 平成24年6月20日 (2012.6.20)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100108062
弁理士 日向寺 雅彦
(72) 発明者 小野 昇太郎
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72) 発明者 泉沢 優
東京都港区芝浦一丁目1番1号 株式会社東芝内
(72) 発明者 大田 浩史
東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

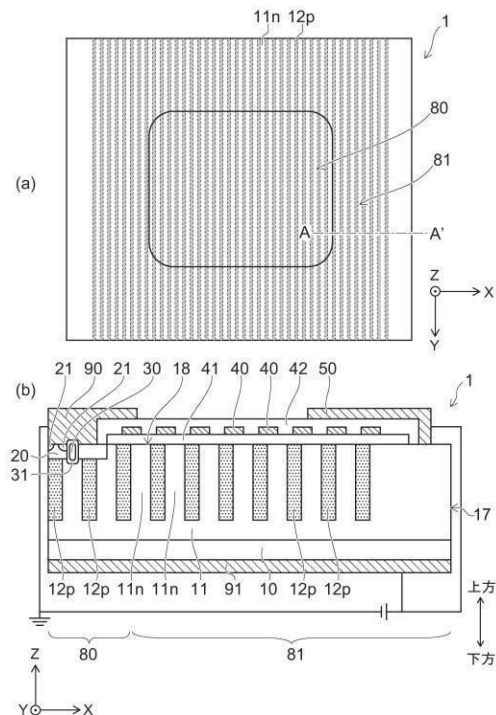
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】信頼性の向上を可能にする半導体装置を提供する。

【解決手段】実施形態の半導体装置は、第1半導体領域と、第2半導体領域と、第2半導体領域に設けられ、第1半導体領域と第2半導体領域との積層方向に対して略直交する第1の方向に並置された複数の第3半導体領域と、素子領域における複数の第3半導体領域の上に設けられた第4半導体領域と、第4半導体領域の上に設けられた第5半導体領域と、第2半導体領域、第4半導体領域、および第5半導体領域に第1絶縁膜を介して接する第1電極と、第4半導体領域および第5半導体領域に電氣的に接続された第2電極と、第1半導体領域に電氣的に接続された第3電極と、接合終端領域における複数の第3半導体領域および第2半導体領域の上に、前記第1の方向に並置された複数の第4電極と、第3電極に電氣的に接続され、複数の第4電極の少なくとも1つの上に設けられた第5電極と、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

素子領域および前記素子領域を取り囲む接合終端領域を有する縦型の半導体装置であり、

前記素子領域および前記接合終端領域に設けられた第 1 導電形の第 1 半導体領域と、
 前記第 1 半導体領域の上に設けられた第 1 導電形の第 2 半導体領域と、
 前記第 2 半導体領域に挿入され、前記第 1 半導体領域と前記第 2 半導体領域との積層方向に対して略直交する第 1 の方向に並置された第 2 導電形の複数の第 3 半導体領域と、
 前記素子領域における前記複数の第 3 半導体領域の少なくとも 1 つの上に設けられた第 2 導電形の第 4 半導体領域と、
 前記第 4 半導体領域の上に設けられた第 1 導電形の第 5 半導体領域と、
 前記第 2 半導体領域、前記第 4 半導体領域、および前記第 5 半導体領域に第 1 絶縁膜を介して接する第 1 電極と、
 前記第 4 半導体領域および前記第 5 半導体領域に電氣的に接続された第 2 電極と、
 前記第 1 半導体領域に電氣的に接続された第 3 電極と、
 前記接合終端領域における前記複数の第 3 半導体領域の上および前記接合終端領域における前記第 2 半導体領域の上に、第 2 絶縁膜を介して前記第 1 の方向に並置された複数の第 4 電極と、
 前記第 3 電極に電氣的に接続され、前記複数の第 4 電極の少なくとも 1 つの上に第 3 絶縁膜を介して設けられた第 5 電極と、
 を備え、
 前記複数の第 4 電極のそれぞれは、前記複数の第 3 半導体領域のそれぞれと、前記複数の第 3 半導体領域のそれぞれによって挟まれた前記第 2 半導体領域と、の接合界面の上に設けられている半導体装置。

10

20

【請求項 2】

素子領域および前記素子領域を取り囲む接合終端領域を有する縦型の半導体装置であり、

素子領域および前記接合終端領域に設けられた第 1 導電形の第 1 半導体領域と、
 前記第 1 半導体領域の上に設けられた第 1 導電形の第 2 半導体領域と、
 前記第 2 半導体領域に挿入され、前記第 1 半導体領域と前記第 2 半導体領域との積層方向に対して略直交する第 1 の方向に並置された第 2 導電形の複数の第 3 半導体領域と、
 前記素子領域における前記複数の第 3 半導体領域の少なくとも 1 つの上に設けられた第 2 導電形の第 4 半導体領域と、
 前記第 4 半導体領域の上に設けられた第 1 導電形の第 5 半導体領域と、
 前記第 2 半導体領域、前記第 4 半導体領域、および前記第 5 半導体領域に第 1 絶縁膜を介して接する第 1 電極と、
 前記第 4 半導体領域および前記第 5 半導体領域に電氣的に接続された第 2 電極と、
 前記第 1 半導体領域に電氣的に接続された第 3 電極と、
 前記接合終端領域における前記複数の第 3 半導体領域の上および前記接合終端領域における前記第 2 半導体領域の上に、第 2 絶縁膜を介して前記第 1 の方向に並置された複数の第 4 電極と、
 前記第 3 電極に電氣的に接続され、前記複数の第 4 電極の少なくとも 1 つの上に第 3 絶縁膜を介して設けられた第 5 電極と、
 を備えた半導体装置。

30

40

【請求項 3】

前記複数の第 4 電極のそれぞれは、前記複数の第 3 半導体領域のそれぞれと、前記複数の第 3 半導体領域のそれぞれによって挟まれた前記第 2 半導体領域と、の接合界面の上に設けられている請求項 2 記載の半導体装置。

【請求項 4】

前記複数の第 4 電極の少なくとも 1 つは、前記複数の第 3 半導体領域の少なくとも 2 つ

50

の上に架設されている請求項 2 記載の半導体装置。

【請求項 5】

前記第 2 半導体領域に前記複数の第 3 半導体領域が並置された構造が前記素子領域から前記接合終端領域の外端にまで達している請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

【請求項 6】

前記第 2 電極と前記第 5 電極との間に設けられ、前記複数の第 4 電極の上に前記第 3 絶縁膜を介して設けられた複数の第 6 電極をさらに備えた請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置。

【請求項 7】

前記複数の第 6 電極のそれぞれと前記第 3 絶縁膜との間に設けられた配線層をさらに備え、前記第 1 の方向における前記配線層の幅は、前記第 1 の方向における前記複数の第 6 電極のそれぞれの幅よりも広い請求項 6 記載の半導体装置。

【請求項 8】

前記複数の第 6 電極のそれぞれは、前記第 2 電極もしくは前記第 5 電極に電氣的に接続されている請求項 6 または 7 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

パワー MOS F E T (Metal Oxide Semiconductor Field Effect Transistor)、I G B T (Insulated Gate Bipolar Transistor) 等のパワー半導体素子は、高速スイッチング特性、逆方向阻止耐圧を有しており、家庭用電気機器、通信機器、車載用モータ等における電力変換、制御に広く用いられている。これらの機器の効率を上げ、消費電力を下げするために、半導体素子内で p 形半導体領域と n 形半導体領域とを交互に配列させたスーパー Junction 構造が注目されている。

【0003】

このような半導体素子では、ソース・ドレイン間への電圧印加時に空乏層を終端領域にまで伸ばすために、素子領域のほか、素子領域の外側に位置する終端領域にもスーパー Junction 構造を形成する場合がある。このような構造であれば、オフ時には素子領域および終端領域に空乏層が広がって高耐圧が維持される。

【0004】

しかし、スーパー Junction 構造の高耐圧性は、p 形半導体領域と n 形半導体領域とのそれぞれのチャージ量がバランスよく調整されていることが前提になっている。従って、それぞれのチャージ量が外部からの影響によって変動を受けると、その信頼性（例えば、耐圧）が大きく低下する場合もある。このため、スーパー Junction 構造を備えた半導体素子では、p 形半導体領域と n 形半導体領域とのチャージ量の調整のほか、外部からのチャージの影響を十分に抑制する必要がある。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2006 - 173202 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明が解決しようとする課題は、信頼性の向上を可能にする半導体装置を提供することである。

【課題を解決するための手段】

10

20

30

40

50

【 0 0 0 7 】

実施形態の半導体装置は、素子領域および前記素子領域を取り囲む接合終端領域を有する縦型の半導体装置である。半導体装置は、前記素子領域および前記接合終端領域に設けられた第1導電形の第1半導体領域と、前記第1半導体領域の上に設けられた第1導電形の第2半導体領域と、前記第2半導体領域に設けられ、前記第1半導体領域と前記第2半導体領域との積層方向に対して略直交する第1の方向に並置された第2導電形の複数の第3半導体領域と、を備える。

【 0 0 0 8 】

また、実施形態の半導体装置は、前記素子領域における前記複数の第3半導体領域の少なくとも1つの上に設けられた第2導電形の第4半導体領域と、前記第4半導体領域の上に設けられた第1導電形の第5半導体領域と、を備える。

10

【 0 0 0 9 】

また、実施形態の半導体装置は、前記第2半導体領域、前記第4半導体領域、および前記第5半導体領域に第1絶縁膜を介して接する第1電極と、前記第4半導体領域および前記第5半導体領域に電氣的に接続された第2電極と、前記第1半導体領域に電氣的に接続された第3電極と、を備える。

【 0 0 1 0 】

また、実施形態の半導体装置は、前記接合終端領域における前記複数の第3半導体領域の上および前記接合終端領域における前記第2半導体領域の上に、第2絶縁膜を介して前記第1の方向に並置された複数の第4電極と、前記第3電極に電氣的に接続され、前記複数の第4電極の少なくとも1つの上に第3絶縁膜を介して設けられた第5電極と、を備える。

20

【 図面の簡単な説明 】

【 0 0 1 1 】

【 図 1 】 第1実施形態に係る半導体装置の模式図であり、図 (a) は半導体装置のスーパー Junction 構造部の平面模式図、図 (b) は図 (a) の A - A ' 断面における断面模式図である。

【 図 2 】 半導体装置の作用を説明するための模式図であり、図 (a) は半導体装置の断面模式図、図 (b) は半導体装置表面のチャージと耐圧との関係を示す模式図である。

30

【 図 3 】 半導体装置の作用を説明するための断面模式図である。

【 図 4 】 第2実施形態に係る半導体装置の断面模式図である。

【 図 5 】 第3実施形態に係る半導体装置の断面模式図である。

【 図 6 】 第4実施形態に係る半導体装置の断面模式図である。

【 図 7 】 第5実施形態に係る半導体装置の断面模式図である。

【 図 8 】 第6実施形態に係る半導体装置の断面模式図である。

【 発明を実施するための形態 】

【 0 0 1 2 】

以下、図面を参照しつつ、実施形態について説明する。以下の説明では、同一の部材には同一の符号を付し、一度説明した部材については適宜その説明を省略する。

【 0 0 1 3 】

40

(第1実施形態)

図 1 は第1実施形態に係る半導体装置の模式図であり、図 (a) は半導体装置のスーパー Junction 構造部の平面模式図、図 (b) は図 (a) の A - A ' 断面における断面模式図である。

【 0 0 1 4 】

第1実施形態に係る半導体装置 1 は、上下電極構造 (縦型) の MOSFET を有する。半導体装置 1 は、素子領域 8 0 と、素子領域 8 0 の外側に設けられた接合終端領域 8 1 (以下、単に終端領域 8 1 とする) と、を有する。素子領域 8 0 は終端領域 8 1 によって取り囲まれている。素子領域 8 0 には、トランジスタ等が設けられている。

【 0 0 1 5 】

50

半導体装置 1 においては、素子領域 8 0 および終端領域 8 1 に、 n^+ 形のドレイン領域 1 0 (第 1 半導体領域) が設けられている。ドレイン領域 1 0 の上には、 n 形のドリフト領域 1 1 (第 2 半導体領域) が設けられている。ドリフト領域 1 1 には、複数の p 形ピラー領域 1 2 p (第 3 半導体領域) が挿入されている。複数の p 形ピラー領域 1 2 p は、ドレイン領域 1 0 とドリフト領域 1 1 との積層方向 (図の Z 方向) に対して略直交する方向 (第 1 の方向 (図の X 方向)) に所定の間隔で並置されている。

【0016】

ここで「所定の間隔」とは、一例として等間隔であるとする。また、第 1 実施形態では、複数の p 形ピラー領域 1 2 p のそれぞれの間に挟まれたドリフト領域 1 1 を n 形ピラー領域 1 1 n と呼称する。半導体装置 1 は X 方向に p 形ピラー領域 1 2 p と n 形ピラー領域 1 1 n とが交互に配列されたスーパージャンクション構造を有する。このスーパージャンクション構造は、素子領域 8 0 のほか、終端領域 8 1 にも設けられている。また、複数の p 形ピラー領域 1 2 p のそれぞれ、および複数の n 形ピラー領域 1 1 n のそれぞれは、Z 方向および X 方向に略直交する Y 方向に延在している。

10

【0017】

半導体装置 1 においては、素子領域 8 0 において、複数の p 形ピラー領域 1 2 p の少なくとも 1 つの上に p 形のベース領域 2 0 (第 4 半導体領域) が設けられている。ベース領域 2 0 の上には、 n^+ 形のソース領域 2 1 (第 5 半導体領域) が設けられている。ドリフト領域 1 1、ベース領域 2 0、およびソース領域 2 1 には、ゲート絶縁膜 3 1 (第 1 絶縁膜) を介してゲート電極 3 0 (第 1 電極) が接している。ゲート電極 3 0 は、隣り合うベース領域 2 0 の間に位置している。ゲート電極 3 0 の下端は、ベース領域 2 0 の下側のドリフト領域 1 1 に位置している。第 1 実施形態では、トレンチゲート型構造のゲート電極 3 0 を例示したが、ゲート電極 3 0 については、プレーナ型構造であってもよい。

20

【0018】

ソース領域 2 1 およびベース領域 2 0 には、ソース電極 9 0 (第 2 電極) が電氣的に接続されている。ドレイン領域 1 0 には、ドレイン電極 9 1 (第 3 電極) が電氣的に接続されている。

【0019】

また、半導体装置 1 においては、終端領域 8 1 において、複数の p 形ピラー領域 1 2 p の上およびドリフト領域 1 1 (あるいは、 n 形ピラー領域 1 1 n) の上に、絶縁膜 4 1 (第 2 絶縁膜) を介して複数のフィールドプレート電極 4 0 (第 4 電極) が設けられている。複数のフィールドプレート電極 4 0 は X 方向に並置されている。複数のフィールドプレート電極 4 0 のそれぞれは、Y 方向に延在している。複数のフィールドプレート電極 4 0 のそれぞれは、複数の p 形ピラー領域 1 2 p のそれぞれと、 n 形ピラー領域 1 1 n と、の接合界面の上に設けられている。複数のフィールドプレート電極 4 0 は、絶縁膜 4 2 (第 3 絶縁膜) によって覆われている。

30

【0020】

複数のフィールドプレート電極 4 0 の少なくとも 1 つの上には、絶縁膜 4 2 を介してシールド電極 5 0 (第 5 電極) が設けられている。シールド電極 5 0 は、素子領域 8 0 を取り囲み、ドレイン電極 9 1 に電氣的に接続されている。シールド電極 5 0 については、等電位リング (EQP: Equi Potential Ring) 電極と呼称してもよい。

40

【0021】

ドレイン電極 9 1 に電氣的に接続されたシールド電極 5 0 とソース電極 9 0 とは電氣的短絡が起きない程度に離れている。シールド電極 5 0 とソース電極 9 0 との間に設けられた複数のフィールドプレート電極 4 0 のそれぞれは浮遊電位の状態にある。複数のフィールドプレート電極 4 0 のそれぞれの電位は、シールド電極 5 0 の電位とソース電極 9 0 の電位とのあいだの電位にある。

【0022】

半導体装置 1 では、オフ時においてソース電極 9 0 にグランド電位もしくは負電位が印加され、ドレイン電極 9 1 およびシールド電極 5 0 には、正電位が印加される。ソース電

50

極 90 とドレイン電極 91 との間に電圧が印加されたまま、ゲート電極 30 の電位が閾値電位以上になったとき、ソース電極 90 とドレイン領域 10 との間にドリフト領域 11 を経由して電流が流れる（オン状態）。

【0023】

ドレイン領域 10、ドリフト領域 11、p 形ピラー領域 12 p、ベース領域 20、およびソース領域 21 の主成分は、例えば、シリコン（Si）である。ゲート絶縁膜 31、絶縁膜 41、および絶縁膜 42 の材料は、例えば、酸化シリコン（SiO₂）である。ゲート電極 30 およびフィールドプレート電極 40 の材料は、例えば、ポリシリコン（poly-Si）である。ソース電極 90、シールド電極 50、およびドレイン電極 91 の材料は、例えば、アルミニウム（Al）等の金属である。

10

【0024】

ドレイン領域 10、ドリフト領域 11、p 形ピラー領域 12 p、ベース領域 20、およびソース領域 21 のそれぞれは、不純物元素を含有する。例えば、n 形、n⁻ 形、および n⁺ 形（第 1 導電形）の不純物元素はリン（P）、ヒ素（As）等であり、p 形（第 2 導電形）の不純物元素は、ホウ素（B）等である。

【0025】

第 1 実施形態に係る半導体装置 1 の作用を説明する。

半導体装置 1 の作用を説明するために、図 2 に例示される半導体装置の作用から説明する。まず、半導体装置のオフ時の作用から説明する。

【0026】

図 2 は半導体装置の作用を説明するための模式図であり、図（a）は半導体装置の断面模式図、図（b）は半導体装置表面のチャージと耐圧との関係を示す模式図である。

20

【0027】

図 2（a）に例示した半導体装置 100 は上下電極構造の半導体装置である。ただし、半導体装置 100 には、上述したスーパージャンクション構造およびフィールドプレート電極 40 が設けられていない。さらに、終端領域 81 には、シールド電極 50 に代えて、フィールドストップ電極 101 が設けられている。X 方向におけるフィールドストップ電極 101 の幅は、シールド電極 50 の幅よりも狭い。このフィールドストップ電極 101 は、半導体装置 100 がオフ状態にあるときに、空乏層が終端領域 81 の外端であるダイシングライン 102 にまで到達させないことを目的として設けられている。また、半導体装置 100 のドリフト領域 15 は、上述したドリフト領域 11 よりも不純物濃度が低い n⁻ 形の半導体領域になっている。

30

【0028】

半導体装置 100 において、オフ状態でソース電極 90 とドレイン電極 91 との間に高電圧を印加すると（以下、単に高電圧印加とする）、ドリフト領域 15 からキャリアがはらわれて、その一部が空乏化し、ドリフト領域 15 において高電圧が保持される。半導体装置 100 においては、素子領域 80 のみにソース領域 21 およびゲート電極 30 が設けられ、ドレイン領域 10 側では、その全面にドレイン電極 91 が設けられている。従って、半導体装置 100 では、素子領域 80 のほか終端領域 81 においても高耐圧を維持させる必要がある。

40

【0029】

終端領域 81 における耐圧が左右される要因の 1 つに、高電圧印加時の終端領域 81 における空乏層の伸びの程度がある。例えば、高電圧印加時に空乏層 103 がダイシングライン 102 にまで到達すると、半導体装置 100 の耐圧が変動したり、リークが発生したりする。従って、高電圧印加時に空乏層 103 がダイシングライン 102 にまで到達し難くなるように終端領域を設計する必要がある。

【0030】

例えば、終端領域 81 の X 方向における幅を広くする方法がその例である。終端領域 81 の X 方向における幅を広くすることにより、空乏層 103 がダイシングライン 102 にまで到達し難くなる。しかし、終端領域 81 の幅を広げることは半導体装置の大型化を招

50

来してしまう。さらに半導体装置が大型になると、その歩留まりが低下する。従って、終端領域 8 1 の幅については、所望の印加電圧、生産性を見込んで必要十分の値に設計する必要がある。また、上述したフィールドストップ電極 1 0 1 を設け、空乏層 1 0 3 をダイシングライン 1 0 2 にまで到達させ難くする方法も有効である。

【 0 0 3 1 】

しかし、終端領域 8 1 の表面は、絶縁膜 4 1、4 2 で覆われている。また、実際のデバイスでは、終端領域 8 1 の表面が保護膜（ポリイミド膜、窒化シリコン（SiN）膜等）、封止樹脂材等で被覆されている場合もある。

【 0 0 3 2 】

このような絶縁材には概ねイオン成分が含まれている。例えば、デバイスを高温多湿の条件下に晒すと、封止樹脂が大気中の水分を吸湿して水素イオン等が封止樹脂内に残存する。そして、このようなイオン成分は高電圧印加時に絶縁材内で移動する場合がある。このようなイオン成分（以下、外部チャージと呼称する）が高電圧印加時に絶縁材内で移動すると、高電圧印加時には終端領域 8 1 における電界分布に影響を与えてしまう。これは、絶縁材に含まれるイオン電荷が容量結合によって終端領域 8 1 における電界に作用するためである。

10

【 0 0 3 3 】

例えば、ソース・ドレイン間に毎回同じ高電圧を印加しても、空乏層 1 0 3 の外延 1 0 3 L は、図 2 (a) の矢印で示したごとく、素子領域 8 0 の側に動いたり、素子領域 8 0 とは反対の側に動いたりする。すなわち、空乏層 1 0 3 の外延 1 0 3 L の位置が高電圧を印加する毎に変動し、半導体装置の耐圧が不安定になる。

20

【 0 0 3 4 】

図 2 (b) に半導体装置表面のチャージと耐圧との関係を示す。半導体装置表面のチャージとは、例えば、半導体装置 1 0 0 のドリフト領域 1 5 の上面 1 5 μ 付近の帯電を意味する。図 2 (b) から分かるように、半導体装置表面のチャージが正チャージ側に移行したり、負チャージ側に移行したりすると、半導体装置の耐圧 (V) が大きく変動する。このように半導体装置の耐圧は半導体層以外の外部部材（例えば、絶縁層、保護膜、封止樹脂等）からの影響を受けやすい。

【 0 0 3 5 】

すなわち、終端領域 8 1 の幅を所望の印加電圧や生産性を見込んで必要十分の値に設計したり、フィールドストップ電極 1 0 1 を単純に設ける方法では、耐圧向上に関し限界が生じてしまう。

30

【 0 0 3 6 】

さらに、スーパージャンクション構造を備えた半導体装置では、上述した半導体装置表面のチャージの影響を考慮すると、終端領域の設計がより難しくなる。これは、スーパージャンクション構造においては、n 形ピラー領域 1 1 n および p 形ピラー領域 1 2 p のそれぞれのチャージ量がバランスよく調整されていることが前提だからである。例えば、一方のチャージ量が外部チャージの影響によって変動すると、スーパージャンクション構造を備えた半導体装置の耐圧はさらに大きく変動してしまう。

【 0 0 3 7 】

第 1 実施形態に係る半導体装置 1 では、n 形ピラー領域 1 1 n および p 形ピラー領域 1 2 p のそれぞれのチャージ量の調整に加えて、スーパージャンクション構造の表層におけるチャージの影響を最小限に抑えている。

40

【 0 0 3 8 】

図 3 は半導体装置の作用を説明するための断面模式図である。

例えば、半導体装置 1 0 0 において、フィールドストップ電極 1 0 1 に代えて、幅広のシールド電極 5 0 を備えた場合は、外部チャージによる終端領域 8 1 における Si 表面電界への作用がシールド電極 5 0 によって遮蔽される。これにより、空乏層 1 0 3 の伸びの変動が抑制されて、空乏層 1 0 3 の外延 1 0 3 L が変動し難くなる。例えば、空乏層 1 0 3 の外延 1 0 3 L は、図 3 に例示されるごとくシールド電極 5 0 の下方で固定される。

50

【 0 0 3 9 】

第 1 実施形態に係る半導体装置 1 においては、このシールド電極 5 0 を備えている。シールド電極 5 0 は半導体装置 1 の外端 1 7 から素子領域 8 0 の方向に延在している。また、シールド電極 5 0 の幅は、シールド電極 5 0 が外端 1 7 の側から配列された複数のフィールドプレート電極 4 0 の少なくとも 1 つを覆う程度に調整されている。

【 0 0 4 0 】

すなわち、Z 方向から半導体装置 1 を見た場合、半導体装置 1 では、シールド電極 5 0 と、終端領域 8 1 において最も外側に位置するフィールドプレート電極 4 0 との間には隙間が形成されていない。このようなシールド電極 5 0 を設けることにより、半導体装置 1 では、空乏層の外延の変動を抑制して、半導体装置の耐圧をより安定化している。

10

【 0 0 4 1 】

また、半導体装置 1 は、シールド電極 5 0 のほか、複数のフィールドプレート電極 4 0 を備える。複数のフィールドプレート電極 4 0 によっても上述した外部チャージの Si 表面電界への作用が遮蔽されて、空乏層の外延の変動が抑制される。例えば、スーパージャンクション構造の表面 1 8 近傍の p 形ピラー領域 1 2 p および n 形ピラー領域 1 1 n は外部チャージによる影響を受け難くなる。これにより、スーパージャンクション構造の表層におけるチャージの影響が最小限に抑えられる。

【 0 0 4 2 】

また、複数のフィールドプレート電極 4 0 を設けたことにより、終端領域 8 1 においては、高電圧印加時にスーパージャンクション構造の表面 1 8 からドレイン電極 9 1 側に空乏層が伸びる。複数のフィールドプレート電極 4 0 のそれぞれは、p 形ピラー領域 1 2 p と n 形ピラー領域 1 1 n との接合界面の上に位置している。従って、この空乏層は p 形ピラー領域 1 2 p と n 形ピラー領域 1 1 n との接合部分の空乏層と効率よく繋がる。すなわち、終端領域 8 1 においては、p 形ピラー領域 1 2 p および n 形ピラー領域 1 1 n における空乏化が促進する。これにより、p 形ピラー領域 1 2 p と n 形ピラー領域 1 1 n との接合界面近傍に発生する電界の強度が緩和される。その結果、終端領域 8 1 におけるスーパージャンクション構造の表層の電界が緩和され、終端領域 8 1 における耐圧がさらに安定する。

20

【 0 0 4 3 】

なお、ソース電極 9 0 とドレイン電極 9 1 との間に高電圧を印加した状態で、ゲート電極 3 0 に閾値以上の電位を印加すると、ベース領域 2 0 とドリフト領域 1 1 との界面に沿ってベース領域 2 0 にチャンネルが形成されて、ソース電極 9 0 とドレイン電極 9 1 との間にドリフト領域 1 1 を経由して電流が流れる。すなわち、半導体装置 1 がオン状態となる。

30

【 0 0 4 4 】

(第 2 実施形態)

図 4 は第 2 実施形態に係る半導体装置の断面模式図である。

【 0 0 4 5 】

第 2 実施形態に係る半導体装置 2 の基本構造は、半導体装置 1 と同じである。ただし、半導体装置 2 においては、複数のフィールドプレート電極の少なくとも 1 つが複数の p 形ピラー領域 1 2 p の少なくとも 2 つの上に架設されている。例えば、複数のフィールドプレート電極のうち、フィールドプレート電極 4 5 は、2 個の p 形ピラー領域 1 2 p の上に架設されている。また、フィールドプレート電極 4 6 は、3 個の p 形ピラー領域 1 2 p の上に架設されている。

40

【 0 0 4 6 】

このような構造であれば、フィールドプレート電極によるスーパージャンクション構造の表面被覆率がさらに増加する。これにより、上述した外部チャージによる終端領域 8 1 における Si 表面電界への作用がさらに遮蔽される。その結果、耐圧がより安定し、より信頼性の高い半導体装置が提供される。

【 0 0 4 7 】

50

(第3実施形態)

図5は第3実施形態に係る半導体装置の断面模式図である。

【0048】

第3実施形態に係る半導体装置3の基本構造は、半導体装置1と同じである。ただし、半導体装置3では、ドリフト領域11に複数のp形ピラー領域12pが並置された構造(スーパージャンクション構造)が素子領域80から終端領域81の外端17にまで達している。

【0049】

スーパージャンクション構造では、高電圧印加時にp形ピラー領域12pとn形ピラー領域11nとの接合界面から空乏層を伸ばすことができる。p形ピラー領域12pとn形ピラー領域11nとは交互に配列されているので、p形ピラー領域12pは一对のn形ピラー領域11nによって挟まれ、n形ピラー領域11nは一对のp形ピラー領域12pによって挟まれている。これにより、この空乏層はそれぞれのピラー領域12p、11nの幅(X方向の幅)の半分の長さ程度にまで伸びれば、スーパージャンクション構造全体に渡って空乏層を広げることができる。

【0050】

しかし、終端領域81の途中においてスーパージャンクション構造が途切れた構造では、外端17に最も近いp形ピラー領域12pと外端17との間に位置するドリフト領域11がp形ピラー領域12pによって挟まれない構造になる。このような構造では、外端17に最も近いp形ピラー領域12pと外端17との間に位置するドリフト領域11において、空乏層が十分に伸びない可能性がある。空乏層が十分に伸びないと電界が局部的に強くなる部分が発し、耐圧が低下する場合もある。

【0051】

これに対し、第3実施形態に係る半導体装置3では、スーパージャンクション構造が素子領域80から終端領域81の外端17にまで達している。このような構造であれば、空乏層が終端領域81の外端17近傍にまで広げることができ、この空乏層が広がった分、電界強度が緩和される。その結果、耐圧がより安定する。

【0052】

(第4実施形態)

図6は第4実施形態に係る半導体装置の断面模式図である。

【0053】

第4実施形態に係る半導体装置4の基本構造は、半導体装置1と同じである。ただし、半導体装置4は複数の電極51、52(第6電極)をさらに備える。電極51、52については、カバー電極と呼称してもよい。電極51、52はソース電極90とシールド電極50との間に位置する複数のフィールドプレート電極40の上に絶縁膜42を介して設けられている。電極51、52の材料は、ソース電極90の材料と同じである。複数の電極51のそれぞれの電位は浮遊状態にある。

【0054】

このような構造によれば、複数のフィールドプレート電極40のみならず、複数の電極51、52によっても上述した外部チャージのSi表面電界への作用が遮蔽される。その結果、空乏層の外延の変動がより抑制される。従って、耐圧がより安定し、より信頼性の高い半導体装置が提供される。

【0055】

(第5実施形態)

図7は第5実施形態に係る半導体装置の断面模式図である。

【0056】

第5実施形態に係る半導体装置5の基本構造は、半導体装置4と同じである。ただし、半導体装置5は配線層53をさらに備える。配線層53は、複数の電極51、52のそれぞれと絶縁膜42との間に設けられている。また、配線層53は、ソース電極90と絶縁膜42との間、およびシールド電極50と絶縁膜42との間にも設けられている。半導体

装置 5 においては、終端領域 8 1 における導電層の表面被覆率をさらに増加させている。

【 0 0 5 7 】

配線層 5 3 は、例えば、チタン (Ti) およびタングステン (W) の少なくともいずれかを含む単層膜、または、チタン (Ti) およびタングステン (W) の少なくともいずれかを含む膜を積層させた膜である。X 方向における配線層 5 3 の幅は、X 方向における複数の電極 5 1、5 2 のそれぞれの幅よりも広い。

【 0 0 5 8 】

このような構造によれば、複数のフィールドプレート電極 4 0、複数の電極 5 1、5 2 のみならず、配線層 5 3 によっても Si 表面上のシールド被覆率の増加によって、上述した外部チャージによる Si 表面電界への作用が遮蔽される。その結果、空乏層の外延の変動がより抑制される。従って、耐圧がより安定し、より信頼性の高い半導体装置が提供される。

10

【 0 0 5 9 】

(第 6 実施形態)

図 8 は第 6 実施形態に係る半導体装置の断面模式図である。

【 0 0 6 0 】

第 6 実施形態に係る半導体装置 6 の基本構造は、半導体装置 4 と同じである。ただし、半導体装置 6 においては、複数の電極 5 1、5 2 のそれぞれは、ソース電極 9 0 に抵抗を介して電氣的に接続されている。例えば、電極 5 1 はソース電極 9 0 に抵抗 R 1 を介して接続され、電極 5 2 は R 2 を介して電極 5 1 に接続されている。抵抗 R 1、R 2 としては、抵抗素子を用いず、図示しない狭幅の引き出し線を用いる。あるいは、複数の電極 5 1、5 2 のそれぞれは、シールド電極 5 0 に抵抗を介して電氣的に接続してもよい。

20

【 0 0 6 1 】

このような構造であれば、複数の電極 5 1、5 2 のそれぞれの電位が固定電位になる。従って、終端領域 8 1 は固定電位の電極 5 1、5 2 によって被覆されるので、外部チャージの影響をより受けにくくなる。従って、耐圧がより安定し、より信頼性の高い半導体装置が提供される。

【 0 0 6 2 】

なお、各実施形態の半導体装置においては上下電極構造の MOSFET を説明したが、半導体装置はドレイン電極 9 1 とドリフト領域 1 1 との間に、 p^+ 形層を設けた IGBT であってもよい。この場合、ソースはエミッタ、ドレインはコレクタと呼称される。

30

【 0 0 6 3 】

以上、信頼性の高い半導体装置について具体例を参照しつつ実施形態について説明した。しかし、実施形態はこれらの具体例に限定されるものではない。すなわち、これら具体例に、当業者が適宜設計変更を加えたものも、実施形態の特徴を備えている限り、実施形態の範囲に包含される。前述した各具体例が備える各要素およびその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。

【 0 0 6 4 】

また、前述した各実施形態が備える各要素は、技術的に可能な限りにおいて複合させることができ、これらを組み合わせたものも実施形態の特徴を含む限り実施形態の範囲に包含される。その他、実施形態の思想の範疇において、当業者であれば、各種の変更例および修正例に想到し得るものであり、それら変更例および修正例についても実施形態の範囲に属するものと了解される。

40

【 0 0 6 5 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる

50

。

【符号の説明】

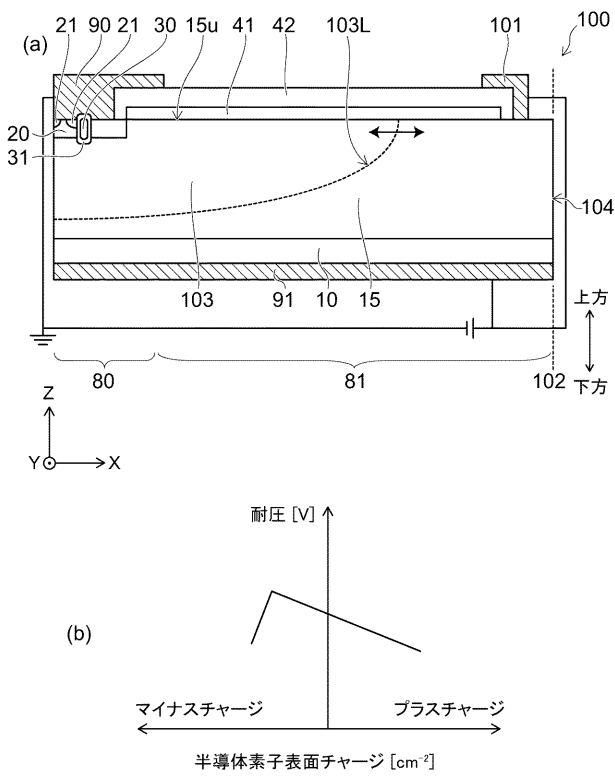
【0066】

- 1、2、3、4、5、6、100 半導体装置
- 80 素子領域
- 81 終端領域
- 10 ドレイン領域
- 11、15 ドリフト領域
- 11n n形ピラー領域
- 12p p形ピラー領域
- 15u 上面
- 17 外端
- 18 表面
- 20 ベース領域
- 21 ソース領域
- 30 ゲート電極
- 31 ゲート絶縁膜
- 40、45、46 フィールドプレート電極
- 41、42 絶縁膜
- 50 シールド電極
- 51、52 電極
- 53 配線層
- 90 ソース電極
- 91 ドレイン電極
- 101 フィールドストップ電極
- 102 ダイシングライン
- 103 空乏層
- 103L 外延ライン

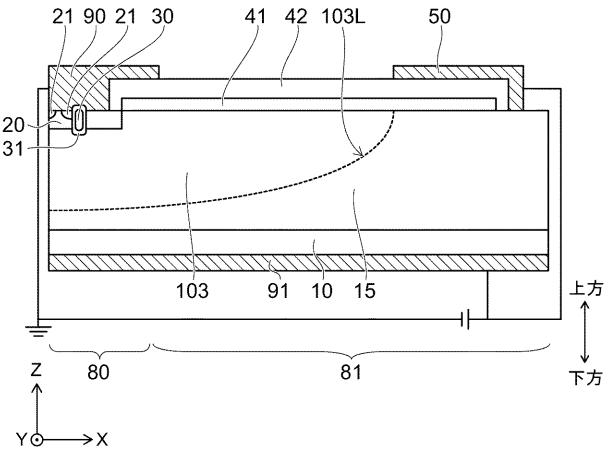
10

20

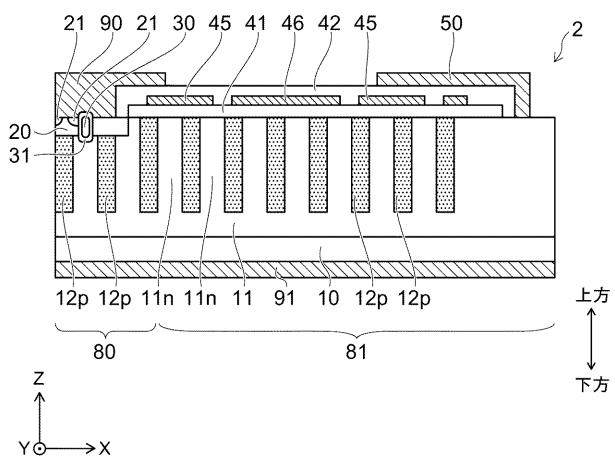
【図2】



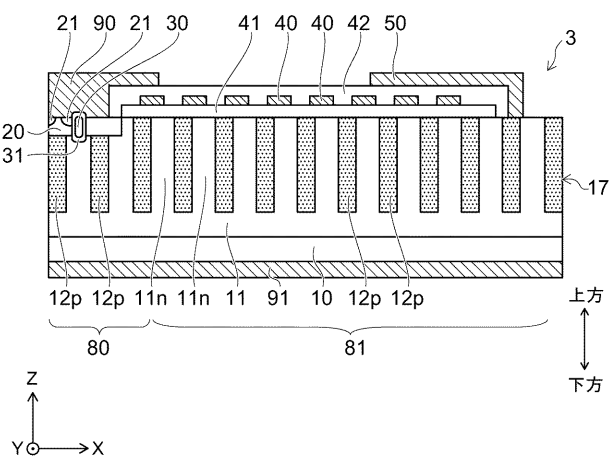
【図3】



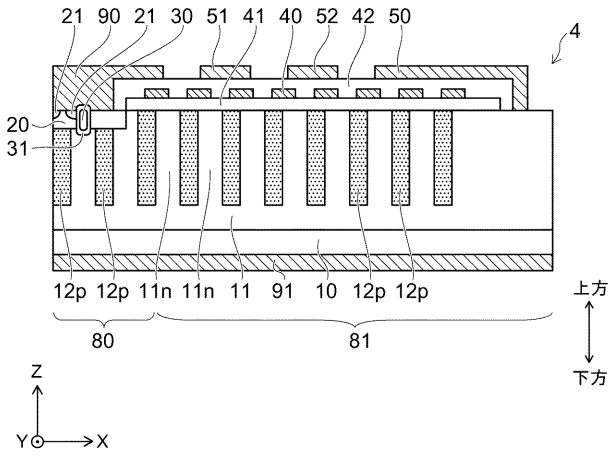
【図4】



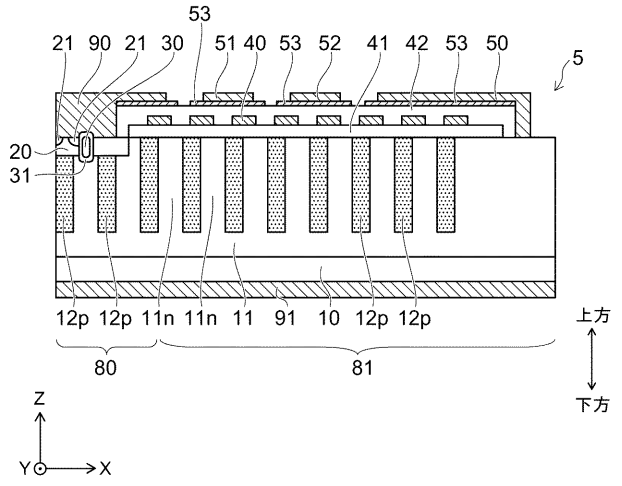
【図5】



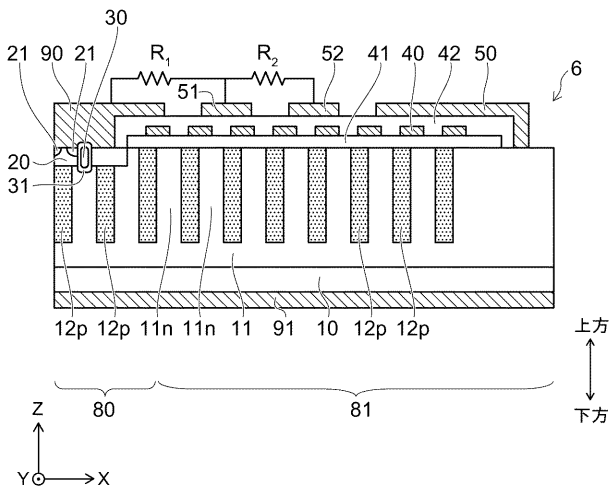
【 図 6 】



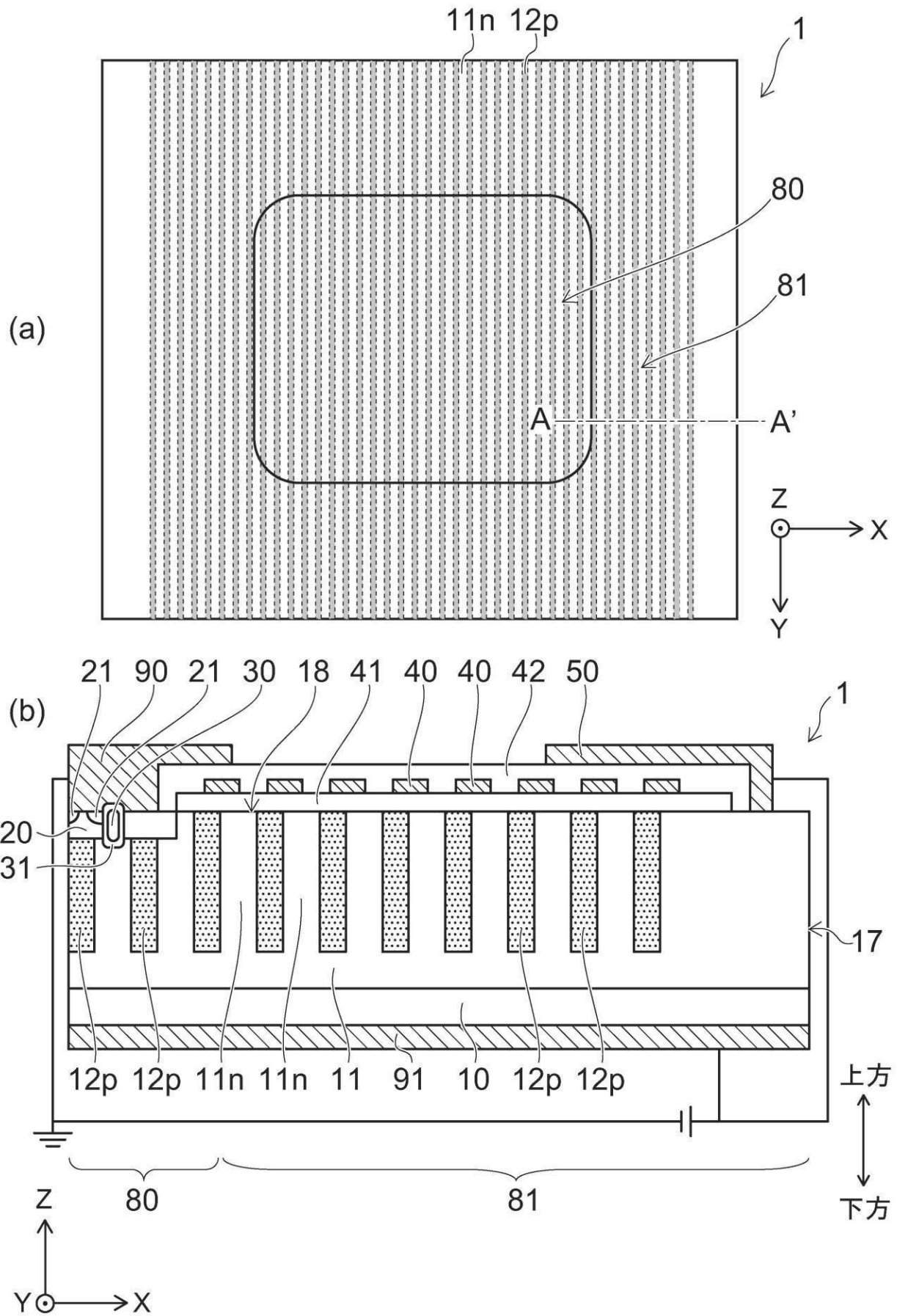
【 図 7 】



【 図 8 】



【図1】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/06 3 0 1 F

(72)発明者 山下 浩明
東京都港区芝浦一丁目1番1号 株式会社東芝内