

【特許請求の範囲】**【請求項 1】**

差動出力信号に含まれる第 1 の信号を出力する第 1 の出力回路と、
前記第 1 の出力回路の出力波形を制御する第 1 の回路と、
前記差動出力信号に含まれる第 2 の信号を出力する第 2 の出力回路と、
前記第 2 の出力回路の出力波形を制御する第 2 の回路と、
前記第 1 の信号が予め決められた電圧範囲にあるか否かを示す第 1 のステータス信号を出力する第 1 のコンパレータと、
前記第 2 の信号が前記予め決められた電圧範囲にあるか否かを示す第 2 のステータス信号を出力する第 2 のコンパレータと、
前記第 1 のステータス信号と前記第 2 のステータス信号とを受信する調整制御回路と、
を具備し、
前記調整制御回路は、前記第 1 のステータス信号と、前記第 2 のステータス信号とに基づいて、前記第 1 の回路及び前記第 2 の回路を制御する、
半導体装置。

10

【請求項 2】

前記調整制御回路は、
前記第 1 のステータス信号に基づいてカウントを行う第 1 のカウンタと、
前記第 2 のステータス信号に基づいてカウントを行う第 2 のカウンタと、を具備し、
前記調整制御回路は、前記第 1 のカウンタ及び前記第 2 のカウンタのカウント値に基づいて、前記第 1 の回路及び前記第 2 の回路を制御する、
請求項 1 に記載の半導体装置。

20

【請求項 3】

前記第 1 の回路は、前記第 1 の出力回路の出力波形を制御するための第 1 の定電流回路と第 2 の定電流回路を具備し、
前記第 2 の回路は、前記第 2 の出力回路の出力波形を制御するための第 3 の定電流回路と第 4 の定電流回路を具備し、
前記調整制御回路は、前記第 1 のカウンタが示す第 1 のカウント値及び前記第 2 のカウンタが示す第 2 のカウント値に基づいて、前記第 1 ないし第 4 の定電流回路の電流量を制御する、
請求項 2 に記載の半導体装置。

30

【請求項 4】

前記第 1 の回路は、前記第 1 の出力回路に接続される第 1 の容量素子及び第 2 の容量素子を更に具備し、
前記第 2 の回路は、前記第 2 の出力回路に接続される第 3 の容量素子及び第 4 の容量素子を更に具備し、
前記第 1 の容量素子は、前記第 1 の定電流回路に接続され、
前記第 2 の容量素子は、前記第 2 の定電流回路に接続され、
前記第 3 の容量素子は、前記第 3 の定電流回路に接続され、
前記第 4 の容量素子は、前記第 4 の定電流回路に接続される
請求項 3 に記載の半導体装置。

40

【請求項 5】

前記調整制御回路は、前記第 1 のカウント値が前記第 2 のカウント値より大きい場合、前記第 1 の定電流回路及び前記第 2 の定電流回路の電流を大きくする制御を行う、
請求項 3 に記載の半導体装置。

【請求項 6】

前記調整制御回路は、前記第 1 のカウント値が前記第 2 のカウント値より大きい場合、前記第 3 の定電流回路及び前記第 4 の定電流回路の電流を小さくする制御を行う、
請求項 3 に記載の半導体装置。

【請求項 7】

50

前記第 1 の出力回路及び前記第 2 の出力回路に供給される電源電圧に基づいて予め決められる第 1 の基準電圧と第 2 の基準電圧が、前記第 1 のコンパレータと、前記第 2 のコンパレータとに入力され、

前記予め決められた電圧範囲は、前記第 1 の基準電圧以上、かつ、前記第 2 の基準電圧以下である、

請求項 1 に記載の半導体装置。

【請求項 8】

前記調整制御回路は更にクロック生成回路を具備し、

前記第 1 のカウンタと前記第 2 のカウンタは、前記クロック生成回路により供給されるクロックに基づいてカウントを行う、

10

請求項 2 に記載の半導体装置。

【請求項 9】

前記第 1 の回路は、前記第 1 の出力回路に入力されるデータの遅延量を調整するための第 1 の遅延調整回路であり、

前記第 2 の回路は、前記第 2 の出力回路に入力されるデータの遅延量を調整するための第 2 の遅延調整回路であり、

前記調整制御回路は、前記第 1 のステータス信号と、前記第 2 のステータス信号とに基づいて、前記第 1 の遅延調整回路の遅延量及び前記第 2 の遅延調整回路の遅延量を制御する、

請求項 1 に記載の半導体装置。

20

【請求項 10】

前記第 1 の出力回路及び前記第 2 の出力回路に供給される電源電圧に基づいて予め決められる基準電圧が、前記第 1 のコンパレータと、前記第 2 のコンパレータとに入力され、

前記予め決められた電圧範囲は、前記基準電圧以上である、

請求項 1 に記載の半導体装置。

【請求項 11】

前記第 1 の回路に入力されるデータの遅延量を調整するための第 1 の遅延調整回路と、前記第 2 の回路に入力されるデータの遅延量を調整するための第 2 の遅延調整回路と、を更に具備し、

前記第 1 の回路は、前記第 1 の出力回路の出力波形を制御するための第 1 の定電流回路と第 2 の定電流回路を具備し、

30

前記第 2 の回路は、前記第 2 の出力回路の出力波形を制御するための第 3 の定電流回路と第 4 の定電流回路を具備し、

前記調整制御回路は、前記第 1 のカウンタが示す第 1 のカウント値及び前記第 2 のカウンタが示す第 2 のカウント値に基づいて、前記第 1 ないし第 4 の定電流回路の電流量、前記第 1 の遅延調整回路の遅延量、及び、前記第 2 の遅延調整回路の遅延量を制御する、

請求項 2 に記載の半導体装置。

【請求項 12】

前記第 1 の出力回路及び前記第 2 の出力回路に供給される電源電圧に基づいて予め決められる基準電圧が、前記第 1 のコンパレータと、前記第 2 のコンパレータとに入力され、前記予め決められた電圧範囲は、

40

前記第 1 の信号が第 1 のレベルから第 2 のレベルに変化する場合、前記基準電圧以上であり、

前記第 1 の信号が前記第 2 のレベルから前記第 1 のレベルに変化する場合、前記基準電圧以下であり、

前記第 1 のステータス信号と前記第 2 のステータス信号が活性化される時間差に基づいて、前記第 1 のカウンタまたは前記第 2 のカウンタがカウントを行い、

前記調整制御回路は、前記第 1 のカウンタまたは前記第 2 のカウンタのカウント値に基づいて、前記第 1 の回路または前記第 2 の回路を制御する、

請求項 2 に記載の半導体装置。

50

【請求項 13】

第 1 及び第 2 の出力回路と、第 1 及び第 2 の回路と、第 1 及び第 2 のコンパレータと、第 1 及び第 2 のカウンタと、を具備する半導体装置の動作方法であって、前記動作方法は、

差動出力信号に含まれる第 1 の信号を出力するステップと、
 前記第 1 の回路により、前記第 1 の出力回路の出力波形を制御するステップと、
 差動出力信号に含まれる第 2 の信号を出力するステップと、
 前記第 2 の回路により、前記第 2 の出力回路の出力波形を制御するステップと、
 前記第 1 のコンパレータにより、前記第 1 の信号が予め決められた電圧範囲にあるか否かを示す第 1 のステータス信号を出力するステップと、
 前記第 2 のコンパレータにより、前記第 2 の信号が予め決められた電圧範囲にあるか否かを示す第 2 のステータス信号を出力するステップと、
 前記第 1 のカウンタにより、前記第 1 のステータス信号に基づいてカウントを行うステップと、
 前記第 2 のカウンタにより、前記第 2 のステータス信号に基づいてカウントを行うステップと、
 前記第 1 のカウンタ及び前記第 2 のカウンタのカウント値に基づいて、前記第 1 の回路及び前記第 2 の回路を制御するステップと、を有する、
 半導体装置の動作方法。

10

【請求項 14】

前記第 1 の回路は第 1 及び第 2 の定電流回路を具備し、
 前記第 2 の回路は第 3 及び第 4 の定電流回路を具備し、
 前記第 1 の出力回路の出力波形を制御するステップは、前記第 1 及び第 2 の定電流回路により、前記第 1 の出力回路の出力波形を制御するステップを更に含み、
 前記第 2 の出力回路の出力波形を制御するステップは、前記第 3 及び第 4 の定電流回路により、前記第 2 の出力回路の出力波形を制御するステップを更に含み、
 前記第 1 の回路を制御するステップは、前記第 1 のカウンタ及び前記第 2 のカウンタのカウント値に基づいて、前記第 1 及び第 2 の定電流回路に流れる電流量を制御するステップを更に含み、
 前記第 2 の回路を制御するステップは、前記第 1 のカウンタ及び前記第 2 のカウンタのカウント値に基づいて、前記第 3 及び第 4 の定電流回路に流れる電流量を制御するステップを更に含む、
 請求項 13 に記載の半導体装置の動作方法。

20

30

【請求項 15】

前記第 1 の回路は、前記第 1 の出力回路に入力されるデータの遅延量を調整するための第 1 の遅延調整回路を具備し、
 前記第 2 の回路は、前記第 2 の出力回路に入力されるデータの遅延量を調整するための第 2 の遅延調整回路を具備し、
 前記第 1 の回路を制御するステップは、前記第 1 のカウンタ及び前記第 2 のカウンタのカウント値に基づいて、前記第 1 の遅延調整回路の遅延量を制御するステップを更に含み、
 前記第 2 の回路を制御するステップは、前記第 1 のカウンタ及び前記第 2 のカウンタのカウント値に基づいて、前記第 2 の遅延調整回路の遅延量を制御するステップを更に含む、
 請求項 13 に記載の半導体装置の動作方法。

40

【請求項 16】

前記第 1 の回路は第 1 及び第 2 の定電流回路を具備し、
 前記第 2 の回路は第 3 及び第 4 の定電流回路を具備し、
 前記半導体装置は、

前記第 1 の回路に入力されるデータの遅延量を調整するための第 1 の遅延調整回路と

50

前記第2の回路に入力されるデータの遅延量を調整するための第2の遅延調整回路と、を更に具備し、

前記第1の出力回路の出力波形を制御するステップは、前記第1及び第2の定電流回路により、前記第1の出力回路の出力波形を制御するステップを更に含み、

前記第2の出力回路の出力波形を制御するステップは、前記第3及び第4の定電流回路により、前記第2の出力回路の出力波形を制御するステップを更に含み、

前記第1の回路を制御するステップは、前記第1のカウンタ及び前記第2のカウンタのカウント値に基づいて、前記第1及び第2の定電流回路に流れる電流量を制御するステップを更に含み、

10

前記第2の回路を制御するステップは、前記第1のカウンタ及び前記第2のカウンタのカウント値に基づいて、前記第3及び第4の定電流回路に流れる電流量を制御するステップを更に含み、

前記第1のカウンタ及び前記第2のカウンタのカウント値に基づいて、前記第1の遅延調整回路の遅延量を制御するステップと、

前記第1のカウンタ及び前記第2のカウンタのカウント値に基づいて、前記第2の遅延調整回路の遅延量を制御するステップと、を更に含む、

請求項13に記載の半導体装置の動作方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は半導体装置及びその動作方法に関し、例えばUSB(Universal Serial Bus)ドライバ等の差動出力を内蔵する半導体装置及びその動作方法に関する。

【背景技術】

【0002】

パーソナルコンピュータなどにおいては、共通のコネクタによってキーボード、マウス、あるいはプリンタなどの様々な周辺機器を接続することのできるインタフェース規格であるUSBインタフェースが広く普及している。このため、電子機器に組み込まれるマイクロコンピュータやSoC(System on Chip)等の半導体装置には、差動出力のドライバを備えたものがある。

30

【0003】

USBインタフェースには、データを高速で送受信するUSBトランシーバが必要であり、USBトランシーバは、差動ドライバ、差動レシーバなどから構成されている。

【0004】

異なる転送速度をサポートするため、USB差動ドライバには、USB Full Speedドライバ、及びLow Speedドライバがある。これらのUSB差動ドライバは差動出力端子DP(D+)とDM(D-)とを備えるが、差動出力端子DPとDMに関して、クロス電圧のポイント、信号の立ち上がり時間や立ち下がり時間(スルーレート)、及びスルーレートの比のマッチングなどの波形特性が規格化されている。これらの波形特性に対する規格は非常に厳しく、半導体装置の製造プロセスが変わる度に、波形特性の規格を満足するように、差動ドライバの設計合わせこみが必要となっている。

40

【0005】

具体的には、差動ドライバはアナログ回路であり、基準電流とフィードバック容量によって波形の遷移を行っているため、差動ドライバが出力する差動信号の波形特性は、プロセス、温度、及び電圧によってばらつく問題がある。また、波形特性のばらつきを抑えるために基準電流回路の素子サイズが大きくなり、かつ、設計の難易度も高くなる問題がある。

【0006】

特許文献1には、基本となる差動ドライバ回路構成に加えて、閾値補償のトランジスタ

50

を備える技術が開示されている。特許文献 1 によれば、クロスオーバー電圧のばらつき、スルーレートのばらつきを抑制することができる。とされる。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2003 - 309460 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかし、特許文献 1 に係る差動ドライバには、定電流のばらつきやフィードバック容量のばらつきを抑制することはできないとの問題がある。また、温度及び電圧依存の影響を含めたばらつきの抑制を実現することはできないという問題もある。

10

【0009】

実施の形態の課題は、差動出力回路が出力する波形特性について、プロセス、温度、及び電圧による影響を抑制する点にある。その他の課題及び新規な特徴は、本明細書の記述及び図面の記載から明らかになるであろう。

【課題を解決するための手段】

【0010】

一実施の形態に係る半導体装置は、差動出力信号に含まれる第 1 の信号を出力する第 1 の出力回路と、第 1 の出力回路の出力波形を制御する第 1 の回路と、差動出力信号に含まれる第 2 の信号を出力する第 2 の出力回路と、第 2 の出力回路の出力波形を制御する第 2 の回路と、第 1 の信号が予め決められた電圧範囲にあるか否かを示す第 1 のステータス信号を出力する第 1 のコンパレータと、第 2 の信号が前記予め決められた電圧範囲にあるか否かを示す第 2 のステータス信号を出力する第 2 のコンパレータと、第 1 のステータス信号と第 2 のステータス信号とを受信する調整制御回路を具備し、調整制御回路は、第 1 のステータス信号と、第 2 のステータス信号とに基づいて、第 1 及び第 2 の回路を制御する。

20

【0011】

他の実施の形態に係る半導体装置の動作方法は、第 1 及び第 2 の出力回路と、第 1 及び第 2 の回路と、第 1 及び第 2 のコンパレータと、第 1 及び第 2 のカウンタを具備する半導体装置の動作方法であって、差動出力信号に含まれる第 1 の信号を出力するステップと、第 1 の回路により、第 1 の出力回路の出力波形を制御するステップと、差動出力信号に含まれる第 2 の信号を出力するステップと、第 2 の回路により、第 2 の出力回路の出力波形を制御するステップと、第 1 のコンパレータにより、第 1 の信号が予め決められた電圧範囲にあるか否かを示す第 1 のステータス信号を出力するステップと、第 2 のコンパレータにより、第 2 の信号が予め決められた電圧範囲にあるか否かを示す第 2 のステータス信号を出力するステップと、第 1 のカウンタにより、第 1 のステータス信号に基づいてカウントを行うステップと、第 2 のカウンタにより、第 2 のステータス信号に基づいてカウントを行うステップと、第 1 及び第 2 のカウンタのカウント値に基づいて、第 1 及び第 2 の回路を制御するステップを有する。

30

40

【発明の効果】

【0012】

一実施の形態によれば、差動出力ドライバが出力する波形特性について、プロセス、温度、及び電圧による影響を抑制することができる。

【図面の簡単な説明】

【0013】

【図 1】図 1 は、実施の形態 1 に係る半導体装置の構成例を示すブロック図である。

【図 2】図 2 は、実施の形態 1 に係る差動出力回路の構成例を示すブロック図である。

【図 3】図 3 は、実施の形態 1 に係るカウント部の構成例を示すブロック図である。

【図 4】図 4 は、実施の形態 1 に係る出力ドライバの出力波形の一例を示す図である。

50

【図 5】図 5 は、実施の形態 1 に係るドライバ回路の構成例を示すブロック図である。

【図 6】図 6 は、実施の形態 1 に係る差動出力回路の動作フローを示すフローチャートである。

【図 7】図 7 は、実施の形態 2 に係る差動出力回路の構成例を示すブロック図である。

【図 8】図 8 は、実施の形態 2 に係るカウント部の構成例を示すブロック図である。

【図 9】図 9 は、実施の形態 2 に係る遅延調整回路の構成例を示すブロック図である。

【図 10】図 10 は、実施の形態 2 に係る遅延調整回路の動作例を示すタイミングチャートである。

【図 11】図 11 は、実施の形態 2 に係る出力ドライバの構成例を示すブロック図である。

10

【図 12】図 12 は、実施の形態 2 に係る出力ドライバの出力波形の一例を示す図である。

【図 13】図 13 は、実施の形態 2 に係る差動出力回路の動作フローを示すフローチャートである。

【図 14】図 14 は、実施の形態 3 に係る差動出力回路の構成例を示すブロック図である。

【図 15】図 15 は、実施の形態 3 に係る差動出力回路が出力する差動出力信号の一例を示すタイミングチャートである。

【図 16】図 16 は、実施の形態 3 に係る差動出力回路の動作フローを示すフローチャートである。

20

【図 17】図 17 は、実施の形態 4 に係る差動出力回路の構成例を示すブロック図である。

【図 18】図 18 は、実施の形態 4 に係る差動出力回路が出力する差動出力信号の一例を示すタイミングチャートである。

【発明を実施するための形態】

【0014】

説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

【0015】

30

[実施の形態 1]

図 1 は、実施の形態 1 に係る半導体装置 1 の構成例を示すブロック図である。図 1 には、ホストコンピュータ 90 と USB インタフェースにより通信を行う周辺機器 9 が示されている。周辺機器 9 は、半導体装置 1 を備える。図 1 に示されるように、半導体装置 1 は、CPU (Central Processing Unit) 2 と、ROM (Read Only Memory) 3 と、RAM (Random Access Memory) 4 と、論理回路 5 と、USB トランシーバ 6 と、差動出力回路 7 と、を備える。

【0016】

CPU 2 は、ROM 3 に格納されたプログラムを読み出し、様々な演算を行う。ROM 3 は、CPU 2 が実行するプログラムを格納するための記憶装置である。RAM 4 は、例えば、CPU 2 が実行した演算の結果を格納するための記憶装置である。論理回路 5 は、例えば割込みコントローラなど、様々な処理回路を含む。USB トランシーバ 6 は、共通のコネクタを介してホストコンピュータ 90 と周辺機器 9 とを接続するインタフェースである。USB トランシーバ 6 は、差動出力回路 7 を含む。差動出力回路 7 は、差動出力信号を半導体装置 1 の差動出力端子 DP 及び DM から出力する。

40

【0017】

図 2 は、実施の形態 1 に係る差動出力回路 7 の構成例を示すブロック図である。差動出力回路 7 は、ドライバ回路 11 と、ドライバ回路 12 と、ドライバ制御回路 13 と、基準電流生成回路 14 と、コンパレータ 20 及び 21 と、調整制御回路 30 とを備える。

【0018】

50

ドライバ回路 1 1 及びドライバ回路 1 2 は、それぞれ、差動出力端子 D P 及び D M に信号を出力するためのドライバ回路である。ドライバ回路 1 1 は、差動出力端子 D P をドライブする。ドライバ回路 1 2 は、差動出力端子 D M をドライブする。

【 0 0 1 9 】

ドライバ制御回路 1 3 は、U S B トランシーバ 6 から、データ信号と、イネーブル信号を受信して、ドライバ回路 1 1 及び 1 2 を制御するための信号 P E N _ D P 、 N E N _ D P 、 P E N _ D M 、 及び N E N _ D M を生成する制御回路である。

【 0 0 2 0 】

基準電流生成回路 1 4 は、ドライバ回路 1 1 及びドライバ回路 1 2 の出力波形を調整するための基準となる電流を生成する回路である。

10

【 0 0 2 1 】

コンパレータ (第 1 のコンパレータ) 2 0 は、差動出力端子 D P に出力される差動出力信号の電圧と基準電圧とを比較し、ステータス信号 (第 1 のステータス信号) D P _ C O M P を出力する電圧比較回路である。換言すると、コンパレータ 2 0 は、差動出力端子 D P に出力される差動出力信号が、予め決められた電圧範囲にあるか否かを示すステータス信号を出力する回路である。同様に、コンパレータ (第 2 のコンパレータ) 2 1 は、差動出力端子 D M に出力される差動出力信号の電圧と基準電圧とを比較し、ステータス信号 (第 2 のステータス信号) D M _ C O M P を出力する電圧比較回路である。換言すると、コンパレータ 2 1 は、差動出力端子 D M に出力される差動出力信号が、予め決められた電圧範囲にあるか否かを示すステータス信号を出力する回路である。

20

【 0 0 2 2 】

より具体的には、コンパレータ 2 0 は、差動出力端子 D P の電圧が、基準電圧 V R E F 1 以上、かつ、V R E F 2 以下の場合に、ステータス信号 D P _ C O M P として例えば H i g h L e v e l (以下、「Hレベル」とも呼ぶ) の信号を出力する。一方、差動出力端子 D P の電圧が、基準電圧 V R E F 1 より小さい、または、V R E F 2 より大きい場合、ステータス信号 D P _ C O M P として例えば L o w L e v e l (以下、「Lレベル」とも呼ぶ) の信号を出力する。同様に、コンパレータ 2 1 は、差動出力端子 D M の電圧が、基準電圧 V R E F 1 以上、かつ、V R E F 2 以下の場合に、ステータス信号 D M _ C O M P として例えば H を出力する。一方、差動出力端子 D M の電圧が、基準電圧 V R E F 1 より小さい、または、V R E F 2 より大きい場合、ステータス信号 D M _ C O M P として例えば L を出力する。

30

【 0 0 2 3 】

以下では、コンパレータ 2 0 がステータス信号 D P _ C O M P として H レベルを出力する期間、及び、コンパレータ 2 1 がステータス信号 D M _ C O M P として H レベルを出力する期間を、スルーレート時間と呼ぶ。

【 0 0 2 4 】

調整制御回路 3 0 は、カウンタ部 3 1 と、制御回路 3 4 とを備える。調整制御回路 3 0 は、コンパレータ 2 0 及びコンパレータ 2 1 でモニタしたスルーレート時間から、ドライバ回路 1 1 及びドライバ回路 1 2 のスルーレートを調整するための制御信号 S L E W _ D P 及び S L E W _ D M を生成するための制御回路である。スルーレート調整用の制御信号 S L E W _ D P 及び S L E W _ D M は、それぞれ、スルーレートを変更するためにドライバ回路 1 1 及びドライバ回路 1 2 に設けられている定電流回路を制御するための信号である。調整制御回路 3 0 は、カウンタ 3 2 及びカウンタ 3 3 のカウント値に基づいて、制御信号 S L E W _ D P 及び S L E W _ D M を出力する。

40

【 0 0 2 5 】

カウンタ部 3 1 は、カウンタ (第 1 のカウンタ) 3 2 及びカウンタ (第 2 のカウンタ) 3 3 を備える。カウンタ 3 2 は、コンパレータ 2 0 が出力するステータス信号 D P _ C O M P が H レベルである時間をカウントして、スルーレート時間をデジタル値に変換するための回路である。同様に、カウンタ 3 3 は、コンパレータ 2 1 が出力するステータス信号 D M _ C O M P が H レベルである時間をカウントして、スルーレート時間をデジタル値に

50

変換するための回路である。

【 0 0 2 6 】

制御回路 3 4 は、カウンタ 3 2 が示すカウント値（第 1 のカウント値）及びカウンタ 3 3 が示すカウント値（第 2 のカウント値）に基づいて、スルーレートを調整するための制御信号 S L E W _ D P 及び S L E W _ D M を生成するための回路である。制御回路 3 4 は、カウンタ 3 2 及びカウンタ 3 3 が示す値として許容できる閾値を記憶する閾値設定レジスタ（図示しない）を備える。

【 0 0 2 7 】

図 3 は、実施の形態 1 に係るカウント部の構成例を示すブロック図である。カウント部 3 1 は、リングオシレータ（R i n g O S C i l l a t o r、R O S C）3 1 3 及び 3 1 4 と、カウンタ 3 2 及び 3 3 を備える。

10

【 0 0 2 8 】

リングオシレータ 3 1 3 及び 3 1 4 は、カウンタ 3 2 及び 3 3 に供給されるクロックを生成するクロック生成回路である。

【 0 0 2 9 】

カウンタ 3 2 は、リングオシレータ 3 1 3 が生成するクロックと、ステータス信号 D P _ C O M P とに基づいて、カウント動作を行う回路である。例えば、リングオシレータ 3 1 3 は、ステータス信号 D P _ C O M P が H レベルの期間、クロックを生成する。カウンタ 3 2 は、リングオシレータ 3 1 3 が生成するクロックでカウントアップする。また、カウンタ 3 3 は、リングオシレータ 3 1 4 が生成するクロックと、ステータス信号 D M _ C O M P とに基づいて、カウント動作を行う回路である。例えば、リングオシレータ 3 1 4 は、ステータス信号 D M _ C O M P が H レベルの期間、クロックを生成する。カウンタ 3 3 は、リングオシレータ 3 1 4 が生成するクロックでカウントアップする。なお、カウント部 3 1 の構成はこれに限られない。例えば、共通のクロック生成回路から生成されたクロックに基づいて、カウンタ 3 2 及び 3 3 が、それぞれ、D P _ C O M P 及び D M _ C O M P が H レベルの期間、カウントアップ動作を行う構成としても良い。

20

【 0 0 3 0 】

図 4 は、実施の形態 1 に係る差動出力回路 7 が出力する差動出力信号の波形の一例を示す図である。コンパレータ 2 0 は、差動出力端子 D P の電圧が基準電圧 V R E F 1 及び V R E F 2 と交わる点を検出することができる。図 4 には、V R E F 1 を電源電圧 V D D の 1 0 % の電圧とし、V R E F 2 を電源電圧 V D D の 9 0 % の電圧とする例が示されているが、V R E F 1 及び V R E F 2 の値は、これに限られない。V R E F 1 及び V R E F 2 の値は、規格等により、調整したい範囲で任意に定めることができる。図 4 に示されるように、ステータス信号 D P _ C O M P は、差動出力端子 D P の電圧が V R E F 1 以上、かつ、V R E F 2 以下の区間で H レベルとなる。同様に、D M _ C O M P 信号は、D M 端子の電圧が V R E F 1 以上、かつ、V R E F 2 以下の区間で H レベルとなる。

30

【 0 0 3 1 】

図 5 は、実施の形態 1 に係るドライバ回路 1 1 の構成例を示す回路図である。図にはドライバ回路 1 1 の構成例が示されるが、ドライバ回路 1 2 の構成も同様である。ドライバ回路 1 1 は、外部端子 P A D をドライブするための P 型 M O S F E T（M e t a l O x i d e S e m i c o n d u c t o r F i e l d E f f e c t T r a n s i s t o r）である M P 1 及び M P 2 と、N 型 M O S F E T である M N 1 及び M N 2 と、フィードバック容量素子 C 1 及び C 2 と、抵抗 R 1 及び抵抗 R 2 と、C M O S インバータ I N V P と、C M O S インバータ I N V N と、定電流回路 1 1 0 と、定電流回路 1 1 1 とを備える。なお、ドライバ回路 1 1 及び 1 2 の構成は、図 5 の構成例に限られず、例えば、抵抗 R 1 及び R 2 を配線で置き換えても良い。抵抗 R 1 は、E S D（E l e c t r o - S t a t i c D i s c h a r g e、静電気放電）保護のために挿入されているため、ドライバ回路 1 1 及び 1 2 は、抵抗 R 1 に代えて単純な配線を備えても良い。また、抵抗 R 2 は、N 型 M O S F E T である M N 2 の能力調整のために挿入されているため、ドライバ回路 1 1 及び 1 2 は、抵抗 R 2 に代えて単純な配線を備えても良い。抵抗 R 2 が配線で代替される

40

50

場合、MN2のトランジスタサイズが調整される。以下では、ドライバ回路11及び12が抵抗R1及びR2を備える図5を参照して、ドライバ回路11及び12の構成例を説明する。

【0032】

図5のPADは、図2の差動出力端子DPまたはDMである。

【0033】

MP1とMN1は、外部端子PADをドライブするMOSFETである。図5に示されるように、MP2と、フィードバック容量素子C1と、フィードバック容量素子C2と、抵抗R2と、MN2は、直列に接続される。MP2のソースは、VCCQに接続され、ドレインはフィードバック容量素子C1に接続される。フィードバック容量素子C1の他端は、フィードバック容量素子C2に接続される。フィードバック容量素子C2の他端は、抵抗R2に接続される。抵抗R2の他端は、MN2のドレインに接続される。MN2のソースは、VSSQに接続される。フィードバック容量素子C1とフィードバック容量素子C2の接続ノードは、抵抗R1と接続され、抵抗R1の他端は外部端子PAD、MP1のドレイン、及びMN1のドレインと接続される。

10

【0034】

フィードバック容量素子C1は、P型MOSFETであるMP1がONまたはOFFされる速さを制御するための容量素子である。ドライバ回路11は、フィードバック容量素子C1として、第1の容量素子を備える。また、ドライバ回路12は、フィードバック容量素子C1として、第3の容量素子を備える。同様に、フィードバック容量素子C2は、N型MOSFETであるMN1がONまたはOFFされる速さを制御するための容量素子である。ドライバ回路11は、フィードバック容量素子C2として、第2の容量素子を備える。また、ドライバ回路12は、フィードバック容量素子C2として、第4の容量素子を備える。

20

【0035】

CMOSインバータINVPは、P型MOSFETであるMP3とN型MOSFETであるMN3とを含む。CMOSインバータINVPの出力は、MP2のドレイン、フィードバック容量素子C1、及び、MP1のゲートに接続される。また、CMOSインバータINVNは、P型MOSFETであるMP4とN型MOSFETであるMN4とを含む。CMOSインバータINVNの出力は、フィードバック容量素子C2、抵抗R2、及び、MN1のゲートに接続される。

30

【0036】

定電流回路110は、カレントミラー構成の定電流回路である。定電流回路110のミラー側には複数のP型MOSFET113を備える。ドライバ回路11は、制御信号SLEW_DPに基づいて、複数のP型MOSFET113のうち、ONするP型MOSFETの数を制御し、定電流回路110に流れる電流量を調整する。その結果ドライバ回路11は、定電流回路110により、フィードバック容量素子C2の充放電時間を制御することができる。

【0037】

定電流回路111は、カレントミラー構成の定電流回路である。定電流回路111のミラー側には複数のN型MOSFET114を備える。ドライバ回路11は、制御信号SLEW_DMに基づいて、複数のN型MOSFET114のうち、ONするN型MOSFETの数を制御し、定電流回路111に流れる電流量を調整する。その結果ドライバ回路11は、定電流回路111により、フィードバック容量素子C1の充放電時間を制御することができる。

40

【0038】

ドライバ回路(第1のドライバ回路)11は、定電流回路110として、第1の定電流回路を備える。また、ドライバ回路(第1のドライバ回路)11は、定電流回路111として、第2の定電流回路を備える。同様に、ドライバ回路(第2のドライバ回路)12は、定電流回路110として、第3の定電流回路を備える。また、ドライバ回路(第2のド

50

ライバ回路) 12は、定電流回路111として、第4の定電流回路を備える。

【0039】

ドライバ回路11は、SLEW_DP及びSLEW_DMに基づいてカレントミラーの比を制御して、基準電流を調整する。これにより、フィードバック容量素子C1及びC2の充放電に要する時間が変化する。したがって、差動出力回路7は、ドライバ回路11及びドライバ回路12のスルーレート、差動出力のクロスポイントの調整をすることができる。換言すれば、ドライバ回路11及びドライバ回路12は、基準電流とフィードバック容量の時定数を介して、差動出力端子DP及びDMのスルーレートを制御することができる。

【0040】

図5を参照して、更にスルーレートの調整原理を説明する。ドライバ回路11及びドライバ回路12のスルーレートの立ち上がり側を調整するには、定電流回路111のカレントミラー比を変える。これにより、フィードバック容量素子C1の放電時間が変化するので、立ち上がり時間 T_r を調整することができる。より具体的には、複数のN型MOSFET114について、ONするトランジスタ本数を増加させると、定電流回路111が駆動する、複数のN型MOSFET114に流れる電流量が増加する。そのため、フィードバック容量素子C1はより速やかに放電される。そのため、P型MOSFETであるMP1もより速やかにONする。したがって、PADの電圧はより速やかにVCCQに変化する。この結果、ドライバ回路11が出力する信号波形は、より急峻に立ち上がることとなる。一方、複数のN型MOSFET114について、ONするトランジスタ本数を減少させると、定電流回路111が駆動する、複数のN型MOSFET114に流れる電流量は減少する。そのため、フィードバック容量素子C1はより緩やかに放電され、P型MOSFETであるMP1がONするまでの時間も遅くなる。したがって、PADの電圧はより緩やかにVCCQに変化するため、ドライバ回路11が出力する信号波形は、より緩やかに立ち上がることとなる。

【0041】

次に、ドライバ回路11及びドライバ回路12のスルーレートの立ち下がり側を調整するには、定電流回路110のカレントミラー比を変える。これにより、フィードバック容量素子C2の充電時間が変化するので、立ち下がり時間 T_f を調整することができる。より具体的には、複数のP型MOSFET113について、ONするトランジスタ本数を増加させると、定電流回路110が駆動する、複数のP型MOSFET113に流れる電流量が増加する。そのため、フィードバック容量素子C2は、より速やかに充電される。そのため、N型MOSFETであるMN1もより速やかにONする。したがって、PADの電圧はより速やかにVSSQに変化する。この結果、ドライバ回路11が出力する信号波形は、より急峻に立ち下がることとなる。一方、複数のP型MOSFET113について、ONするトランジスタ本数を減少させると、定電流回路110が駆動する、複数のP型MOSFET113に流れる電流量は減少する。そのため、フィードバック容量素子C2はより緩やかに充電される。そのため、N型MOSFETであるMN1がONするまでの時間も遅くなる。したがって、PADの電圧はより緩やかにVSSQに変化する。この結果、ドライバ回路11及びドライバ回路12が出力する信号波形は、より緩やかに立ち下がることとなる。

【0042】

(動作)

図6は、実施の形態1に係る差動出力回路7の動作フローを示すフローチャートである。上述したように、制御回路34は、カウンタ32及びカウンタ33が示す値として許容できる閾値を記憶する閾値設定レジスタを備える。差動出力回路7の動作に先立って、例えばCPU2が初期化ルーチンを実行して、閾値設定レジスタにカウンタ32及びカウンタ33の差として許容される閾値が設定される。

【0043】

差動出力回路7が動作を開始すると差動出力回路7は、差動出力端子DP及びDMから

10

20

30

40

50

差動出力信号を送信する（ステップS101）。差動出力回路7による差動出力信号の送信が開始されると、コンパレータ20は、差動出力端子DPに出力する信号の電圧と、基準電圧VREF1及びVREF2とを比較し、ステータス信号DP_COMPを出力する。同様に、コンパレータ21は、差動出力端子DMに出力する信号の電圧と、基準電圧VREF1及びVREF2とを比較し、ステータス信号DM_COMPを出力する。カウンタ32はステータス信号DP_COMPに基づいて、DP端子のスルーレートをモニタするためのスルーレートカウンタを実行する（ステップS102）。同様に、カウンタ33は、ステータス信号DM_COMPに基づいて、DM端子のスルーレートをモニタするためのスルーレートカウンタを実行する（ステップS102）。

【0044】

続いて、制御回路34は、カウンタ32及びカウンタ33の値が予め決められた閾値内に入っているか否かを判定する。カウンタ32またはカウンタ33のいずれか一方の値が閾値内に入っていない場合（ステップS103：NO）、制御回路34は、スルーレート調整用の制御信号SLEW_DPによりドライバ回路11のスルーレートを調整するか、制御信号SLEW_DMによりドライバ回路12のスルーレートを調整する（ステップS104）。より具体的には、カウンタ32またはカウンタ33の値が予め決められた閾値よりも小さい場合、スルーレートが小さく信号波形がより急峻であることを示している。そのため、波形の立ち上がり、または立ち下がりをも鈍らせるように調整する。一方、カウンタ32またはカウンタ33の値が予め決められた閾値よりも大きい場合、スルーレートが大きく信号波形が緩やかに変化していることを示している。そのため、信号をより急峻に変化するよう調整する。制御回路34は、差動出力端子DP及びDMの両者に対してスルーレートの調整を行う。

【0045】

ステップS103において、カウンタ32及びカウンタ33の値がともに閾値内に入っている場合（ステップS103：YES）、制御回路34は、カウンタ32の値とカウンタ33の値とを比較する（ステップS105）。以下では、カウンタ32が示す値をCNTDPと呼ぶ。同様に、カウンタ33が示す値をCNTDMと呼ぶ。CNTDPとCNTDMとが等しい場合（ステップS105：YES）、差動出力回路7は差動出力信号のスルーレート調整を終了する。一方、CNTDPとCNTDMとが不一致の場合（ステップS105：NO）、制御回路34は、CNTDPがCNTDMより小さいか否かを判定する（ステップS106）。CNTDPがCNTDMより小さい場合（ステップS106：YES）、制御回路34は、制御信号SLEW_DPにより、差動出力端子DPのスルーレートを鈍らせるように調整する（ステップS107）。一方、CNTDPがCNTDM以上である場合（ステップS106：NO）、制御回路34は、制御信号SLEW_DMにより、差動出力端子DMのスルーレートを鈍らせるように調整する（ステップS108）。

【0046】

ドライバ回路11及び12は、基準電流量でスルーレートを制御している。即ち、基準電流量が多くなると、スルーレートがより急峻となるよう調整され、基準電流量が少なくなると、スルーレートが緩やかになるよう調整される。例えば、スルーレート調整用の制御信号SLEW_DP及びSLEW_DMは、カウンタ値とスルーレートの変動量を対応づける予め用意されたテーブルと、CNTDP及びCNTDMの値とに基づいて決定される。

【0047】

差動出力端子DPのスルーレートと差動出力端子DMのスルーレートの差分の調整は、スルーレートをより鈍らせる方向で調整する方が消費電力の点で優位であり、かつ、EMI（ElectroMagnetic Interference）の点でも、低ノイズのため優位である。しかし、スルーレートを鈍らせて調整するか、または、スルーレートを急峻にして調整するかは、インタフェースの規格等の要因によっても変わり得る。

【0048】

(効果)

実施の形態 1 に係る差動出力回路 7 は、出力回路 1 1 2 のスルーレートを制御するための定電流回路 1 1 0 及び 1 1 1 を具備するドライバ回路 1 1 及び 1 2 と、コンパレータ 2 0 及び 2 1 と、制御回路 3 4 とを備える。制御回路 3 4 は、コンパレータ 2 0 及び 2 1 が出力するステータス信号 COMP_DP 及び COMP_DM に基づいて、ドライバ回路 1 1 及び 1 2 の定電流回路が駆動する電流量を調整し、差動出力端子 DP 及び DM に出力される信号波形のスルーレートを調整する。このため、差動出力信号の電気的特性が、製造ばらつき、電圧、または温度により変動するのを抑止することができる。また、実施の形態 1 に係る半導体装置 1 において、調整制御回路 3 0 は、差動出力端子 DP 及び DM から出力される差動出力信号のスルーレートを自動的に調整するため、差動出力信号のドライバ回路の設計が容易になり、素子サイズの縮小によりチップ面積を低減することができる。

10

【 0 0 4 9 】

[実施の形態 1 の変形例]

実施の形態 1 に係る半導体装置 1 では、半導体装置 1 の起動後に、制御回路 3 4 が、カウンタ 3 2 及び 3 3 の値に基づいて、制御信号 SLEW_DP、SLEW_DM を生成することにより、差動出力信号のスルーレートを調整していた。しかし、半導体装置 1 の出荷テスト時にテストでスルーレートを調整し、最適な SLEW_DP 及び SLEW_DM を決めることができる。そこで、制御信号 SLEW_DP 及び SLEW_DM の値を、出荷テスト時に決められた値に固定した後、半導体装置 1 を出荷しても良い。例えば、半導体装置 1 に内蔵される不揮発性メモリ (図示しない) に信号値を書き込むことで、SLEW_DP 及び SLEW_DM の値を、出荷前に決められた値に固定することができる。ただし、実施の形態 1 の変形例に係る半導体装置 1 において、テスト時に調整できるのは、プロセスの影響に関するスルーレート変動のみである。これとは別に、半導体装置 1 が動作する度に、調整制御回路 3 0 によるスルーレートの自動調整機能を利用することもできる。この場合、電圧または温度に応じた電気的特性の変動も、調整制御回路 3 0 により調整可能である。

20

【 0 0 5 0 】

(効果)

実施の形態 1 の変形例に係る半導体装置 1 によれば、調整制御回路 3 0 が出力する制御信号 SLEW_DP 及び SLEW_DM の値は出荷前に決められた値に固定されている。このため、差動出力回路 7 が動作を開始する度に、プロセスの影響に関するスルーレート変動を調整する必要がない。したがって、実施の形態 1 の変形例によれば、実施の形態 1 より容易に差動出力信号の電気的特性を満足することができる。

30

【 0 0 5 1 】

[実施の形態 2]

次に実施の形態 2 について説明する。図 7 は、実施の形態 2 に係る差動出力回路 7 A の構成例を示すブロック図である。実施の形態 2 に係る差動出力回路 7 A は、実施の形態 1 に係る差動出力回路 7 と比較して、遅延調整回路 2 2 及び 2 3 を備える点と、コンパレータ 2 0 及び 2 1 に代えてコンパレータ 2 0 A 及び 2 1 A を備える点と、調整制御回路 3 0 に代えて調整制御回路 3 0 A を備える点と、ドライバ回路 1 1 及び 1 2 に代えてドライバ回路 1 1 A 及び 1 2 A を備える点と、で異なる。これ以外の構成及び動作については、実施の形態 1 で説明した半導体装置 1 と同様であるので、同一の構成については同一の符号を付し、重複した説明は省略する。

40

【 0 0 5 2 】

実施の形態 1 に係る差動出力回路 7 は、スルーレートの調整を行ったが、実施の形態 2 に係る差動出力回路 7 A は、クロスポイントの調整を行う。

【 0 0 5 3 】

コンパレータ 2 0 A は、差動出力端子 DP の電圧が基準電圧 VREF3 以上の場合に、ステータス信号 DP_COMP として H レベルを出力する電圧比較回路である。同様に、

50

コンパレータ 2 1 A は、差動出力端子 D M の電圧が基準電圧 V R E F 3 以上の場合に、ステータス信号 D M _ C O M P として H レベルを出力する電圧比較回路である。

【 0 0 5 4 】

調整制御回路 3 0 A は、カウンタ部 3 1 A と、制御回路 3 4 A と、を備える。調整制御回路 3 0 A は、カウンタ 3 2 のカウント値とカウンタ 3 3 のカウント値との差分として検出した遅延時間差に基づいて、遅延調整回路 2 2 及び 2 3 の遅延時間を調整する。即ち、調整制御回路 3 0 A は、制御信号 D E L A Y _ D P 及び D E L A Y _ D M により、遅延調整回路 2 2 及び 2 3 の遅延時間を調整する。換言すると、調整制御回路 3 0 A は、ドライバ回路 1 1 の出力波形の立ち上がりとドライバ回路 1 2 の出力波形の立ち下がりとの間の遅延時間差、または、ドライバ回路 1 1 の出力波形の立ち下がりとドライバ回路 1 2 の出力波形の立ち上がりとの間の遅延時間差を、カウンタ 3 2 及びカウンタ 3 3 が出力する各々のカウント値に基づいて検出する。

10

【 0 0 5 5 】

カウンタ 3 2 は、D P _ C O M P 信号が H レベルであることを検出して、カウント動作を行う回路である。同様に、カウンタ 3 3 は、D M _ C O M P 信号が H レベルであることを検出して、カウント動作を行う回路である。カウンタ部 3 1 A の構成の詳細については、図 8 を用いて後述する。

【 0 0 5 6 】

制御回路 3 4 A は、カウンタ 3 2 及びカウンタ 3 3 の示す値に基づいて、遅延調整回路 2 2 及び 2 3 の遅延時間を調整するための制御信号 D E L A Y _ D P 及び D E L A Y _ D M を生成するための回路である。制御回路 3 4 A は、カウンタ 3 2 及び 3 3 の差分として許容できる閾値を予め記憶するためのレジスタ（図示しない）を備える。制御回路 3 4 A は、例えば、C P U やデコーダとして構成することが可能である。制御回路 3 4 A がデコーダとして構成される場合、カウンタ 3 2 及びカウンタ 3 3 の値をデコードして、制御信号 D E L A Y _ D P 及び D E L A Y _ D M が生成される。また、制御回路 3 4 A が C P U （例えば、C P U 2 ）で構成される場合、C P U は、カウンタ 3 2 及びカウンタ 3 3 のカウント値に基づいて、制御信号 D E L A Y _ D P 及び D E L A Y _ D M に出力すべき値を算出する。C P U は、算出した出力すべき値に基づいて、D E L A Y _ D P 及び D E L A Y _ D M を出力するためのレジスタ（図示しない）に、予め決められた値を書き込む。

20

【 0 0 5 7 】

遅延調整回路（第 1 の遅延制御回路）2 2 は、制御信号 D E L A Y _ D P に基づいて、データラインの遅延量を変更するための回路である。同様に、遅延調整回路（第 2 の遅延制御回路）2 3 は、制御信号 D E L A Y _ D M に基づいて、データラインの遅延量を変更するための回路である。このように、調整制御回路 3 0 A は、制御信号 D E L A Y _ D P と D E L A Y _ D M を制御することにより、差動出力端子 D P 及び D M に出力されるデータの遅延量を調整することができる。遅延調整回路 2 2 及び 2 3 の詳細は、図 9 及び図 1 0 を用いて、後述する。

30

【 0 0 5 8 】

図 8 は、実施の形態 2 に係るカウンタ部 3 1 A の構成例を示すブロック図である。カウンタ部 3 1 A は、X O R 回路 3 1 0 と A N D 回路 3 1 1 及び 3 1 2 と、リングオシレータ（R O S C ）3 1 3 及び 3 1 4 と、カウンタ 3 2 及び 3 3 を含む。X O R 回路 3 1 0 は、D P _ C O M P 及び D M _ C O M P の X O R をとる回路である。X O R 回路 3 1 0 の出力信号は、A N D 回路 3 1 1 及び 3 1 2 に入力される。A N D 回路 3 1 1 は、D P _ C O M P 信号が H レベルの場合のみ、X O R 回路 3 1 0 の出力をリングオシレータ 3 1 3 に伝播させる機能を有する。また、A N D 回路 3 1 2 は、D M _ C O M P 信号が H レベルの場合のみ、X O R 回路 3 1 0 の出力をリングオシレータ 3 1 4 に伝播させる機能を有する。リングオシレータ 3 1 3 が出力するクロック信号 D P _ C N は、カウンタ 3 2 に入力される。リングオシレータ 3 1 4 が出力するクロック信号 D M _ C N は、カウンタ 3 3 に入力される。

40

【 0 0 5 9 】

50

図 8 の左下のタイミングチャートは、DP が立ち上がり、DM が立ち下がる場合の波形が示されている。DP 側の変化が早い場合は、DP 立ち上がりから DM 立ち下がりまでの間、DP_CN にクロックパルスが出力される。一方、クロック信号 DM_CN にはクロックパルスが出力されない。図 8 の右下のタイミングチャートは、DP が立ち下がり、DM が立ち上がる場合の波形を示している。DP の変化が早い場合は、クロック信号 DP_CN にはクロックパルスが出力されない。一方、DP 立ち下がりから DM 立ち上がりまでの間、クロック信号 DM_CN にクロックパルスが出力される。

【 0 0 6 0 】

図 8 には、カウント部 3 1 A がリングオシレータ 3 1 3 及び 3 1 4 を備える構成例が示されているが、カウント部 3 1 A の構成例はこれに限られない。カウント部 3 1 は外部より基準クロックを受信しても良い。この場合、カウンタ 3 2 及び 3 3 は、基準クロックを基準として、DP と DM の遅延時間だけ、カウントする構成とすることが可能である。

10

【 0 0 6 1 】

次に、図 9 及び図 1 0 を用いて、遅延調整回路 2 2 及び 2 3 の詳細について説明する。図 9 は、実施の形態 2 に係る遅延調整回路 2 2 の構成例を示すブロック図である。図 1 0 は、遅延調整回路 2 2 の内部信号のタイミングチャートである。遅延調整回路 2 3 も、同様に、図 9 のように構成されるので、説明を省略する。遅延調整回路 2 2 は、RISE 遅延調整回路 2 2 0 と、FALL 遅延調整回路 2 3 0 と、を備える。RISE 遅延調整回路 2 2 0 は、信号 PEN_IN を受信し、信号 PEN_OUT を出力する。PEN_IN 及び PEN_OUT は、出力回路 1 1 2 の P 型 MOSFET である MP 1 の ON または OFF を制御するための制御信号である。RISE 遅延調整回路 2 2 0 は、PEN_OUT が立ち上がるタイミングを調整することにより、MP 1 が ON して DP が立ち上がるタイミングを調整する。一方、FALL 遅延調整回路 2 3 0 は、信号 NEN_IN を受信し、信号 NEN_OUT を出力する。NEN_IN 及び NEN_OUT は、出力回路 1 1 2 の N MOS トランジスタ MN 1 の ON または OFF を制御するための制御信号である。FALL 遅延調整回路 2 3 0 は、NEN_OUT が立ち上がるタイミングを調整することにより、MN 1 が ON して DP が立ち下がるタイミングを調整する。

20

【 0 0 6 2 】

図 9 を参照して、RISE 遅延調整回路 2 2 0 は、複数の遅延素子 2 2 1 と、マルチプレクサ (MUX) 2 2 2 と、AND 回路 2 2 3 とを備える。RISE 遅延調整回路 2 2 0 は、入力された信号 PEN_IN から異なる伝播遅延を有する複数の信号を生成する。信号 2 2 4 は、信号 PEN_IN をバッファリングして生成された信号である。信号群 2 2 5 は、異なる遅延値あるいは異なる段数の遅延素子 2 2 1 を伝播することにより、異なる伝播遅延値を有する複数の信号である。異なる伝播遅延を有する信号群 2 2 5 は、マルチプレクサ (MUX) 2 2 2 に入力され、制御信号 DELAY_DP に基づいて、所望の遅延値をもつ信号 2 2 6 が選択されて、AND 回路 2 2 3 の B 端子に入力される。AND 回路 2 2 3 の A 端子には、信号 2 2 4 が入力される。遅延調整回路 2 2 の出力信号 PEN_OUT は、AND 回路 2 2 3 により信号 2 2 4 と所望の遅延値をもつ信号 2 2 6 との論理積をとり生成される。これにより、RISE 遅延調整回路 2 2 0 は、信号 PEN_IN に対して、所望の値だけ立ち上がりを遅延させた信号を PEN_OUT に出力することができる。図 1 0 には、PEN_OUT の立ち上がりエッジが遅延する様子が示されている。RISE 遅延調整回路 2 2 0 は、AND 回路 2 2 3 により、PEN_IN の立ち下がり側を遅延させずに PEN_OUT に伝播させる。図 1 0 には、PEN_OUT の立ち下がりエッジが遅延せずに出力されている様子が示されている。PEN_IN の立ち下がり側を遅延させない理由は、MP 1 の OFF 制御の遅れにより、MP 1 と MN 1 に貫通電流が流れることを防止するためである。図 1 0 には、PEN_OUT が H レベルにある間、PMOS トランジスタ MP 1 が ON することが示されている。

30

40

【 0 0 6 3 】

再び図 9 を参照して、FALL 遅延調整回路 2 3 0 は、複数の遅延素子 2 3 1 と、マルチプレクサ (MUX) 2 3 2 と、OR 回路 2 3 3 とを備える。FALL 遅延調整回路 2 3

50

0は、入力された信号NEN_INから異なる伝播遅延を有する複数の信号を生成する。信号234は、信号NEN_INをバッファリングして生成された信号である。信号群235は、異なる遅延値あるいは異なる段数の遅延素子231を伝播することにより、異なる伝播遅延値を有する複数の信号である。信号群235は、マルチプレクサ(MUX)232に入力され、制御信号DELAY_DMに基づいて、所望の遅延値をもつ信号236が選択されて、OR回路233のD端子に入力される。OR回路233のC端子には、信号234が入力される。FALL遅延調整回路230の出力信号NEN_OUTは、OR回路233により信号234と所望の遅延値をもつ信号236との論理和をとり生成される。これにより、FALL遅延調整回路230は、信号NEN_INに対して所望の値だけ信号の立ち下がり遅延させた信号を、NEN_OUTに出力することができる。図10には、NEN_OUTの立ち下がりエッジが遅延する様子が示されている。FALL遅延調整回路230は、OR回路233により、NEN_INの立ち上がり側を遅延させずにNEN_OUTに伝播させる。図10には、NEN_OUTの立ち上がりエッジが遅延せずに出される様子が示されている。NEN_INの立ち上がり側を遅延させない理由は、MN1のOFF制御の遅れにより、MP1とMN1に貫通電流が流れることを防止するためである。図10には、NEN_OUTがHレベルにある間、NMOSTランジスタMN1がOFFすることが示されている。

10

【0064】

なお、図9において、RISE遅延調整回路220及びFALL遅延調整回路230は、それぞれ複数の遅延素子221及び231を有しているが、遅延調整回路22の構成はこれに限られない。

20

【0065】

図11は、実施の形態2に係るドライバ回路11Aの構成例を示すブロック図である。実施の形態1に係るドライバ回路11と異なり、ドライバ回路11Aは、MP3及びMN3から構成されるインバータ回路の入力として、PEN_DPに代えて遅延調整回路22が出力する信号PEN_OUTを受信している。また、ドライバ回路11Aは、MP4及びMN4から構成されるインバータ回路の入力として、NEN_DPに代えて遅延調整回路22が出力する信号NEN_OUTを受信している。ドライバ回路11Aは、PEN_OUT及びNEN_OUTにより、出力回路112の変化タイミングを調整することができる。

30

【0066】

(動作)

図12は、実施の形態2に係る差動出力回路7Aが出力する差動出力信号の波形の一例を示すタイミングチャートである。図12には、差動出力端子DP及びDMから出力される差動出力信号の波形と、コンパレータ20及び21が出力するステータス信号DP_COMP及びDM_COMPの波形と、が示されている。コンパレータ20A及び21Aは、DP及びDMの電圧が、基準電圧VREF3とクロスする点をモニタする。ここで、基準電圧VREF3の値は、例えば、電源電圧VDDの1/2であるが、規格等により調整したい範囲で任意に決めることも可能である。図12では、DPがLレベルからHレベルに変化し、DMがHレベルからLレベルに変化している。

40

【0067】

コンパレータ20Aは、DPの電圧がLレベルからHレベルに変化する場合は、VDD/2以上になるとDP_COMPにHレベルを出力する。コンパレータ21Aは、DMの電圧がHからLに変化する場合は、VDD/2以下になるとDM_COMPにHレベルを出力する。カウンタ32及び33は、DP_COMP及びDM_COMPに基づいて、DPの立ち上がりとDMの立ち下がり遅延時間差、または、DPの立ち下がりとDMの立ち上がりの遅延時間差をカウントする。制御回路は、カウンタ32及び33が示すカウント値に基づいて、遅延調整用の制御信号DELAY_DP及びDELAY_DMを生成し、差動出力端子DP及びDMの信号遅延を調整する。

【0068】

50

図12を参照して、破線で示される波形は、このようにしてDPの出力波形を遅延させて得られた遅延後のDPの波形である。実線のDMの波形と破線のDPの波形とはVDD/2で交わっている。即ち、差動出力信号のクロスポイントは、VDD/2に調整されている。

【0069】

図13は、制御回路34Aによるクロスポイント調整フローを示すフローチャートである。まず、差動出力回路7Aは、差動出力信号を送信する(ステップS201)。続いて、カウンタ32及び33は、差動出力端子DP及びDMのクロスポイントの時間差をカウントする(ステップS202)。実施の形態2に係る制御回路34Aは、カウンタ32及び33の差分として許容できる閾値を予め記憶するためのレジスタ(図示しない)を備えている。制御回路34Aは、カウンタ32及び33の示す値を参照して、DP及びDMのクロスポイントの時間差が予め決められた閾値以下か否かを判定する(ステップS203)。DP及びDMのクロスポイントの時間差が閾値より大きい場合(ステップS203:NO)、制御回路34Aは、DELAY_DP及びDELAY_DMで遅延調整回路22及び23の遅延を調整するため、DP側とDM側のどちらの変化タイミングの方が早いかを判定する(ステップS204)。DPが基準電圧VREF3と交わる時刻が、DMが基準電圧VREF3と交わる時刻より早い場合(ステップS204:YES)は、DP側の遅延調整用の制御信号DELAY_DPにより、DP側に遅延を挿入する(ステップS205)。DP側の遅延を調整した後、DP及びDMのクロスポイントの時間差が閾値以下に改善されたか否かを判断するため、制御回路34Aによる制御は、ステップS202の処理に遷移する。一方、DMが基準電圧VREF3と交わる時刻が、DPが基準電圧VREF3と交わる時刻より早い場合(ステップS204:NO)、遅延調整用の制御信号DELAY_DMにより、DM側に遅延を挿入する(ステップS206)。DM側の遅延を調整した後、DP及びDMのクロスポイントの時間差が閾値以下に改善されたか否かを判断するため、制御回路34Aによる制御は、ステップS202の処理に遷移する。

【0070】

(効果)

実施の形態2に係る差動出力回路7Aは、実施の形態1に係る差動出力回路7と比較して、コンパレータ20及び21に代えて、コンパレータ20A及び21Aを備える。また、実施の形態2に係る差動出力回路7Aは、遅延調整回路22及び23を備える。このため、遅延調整回路22及び23により、ドライバ回路11A及び12Aが差動出力信号を出力するタイミングを遅らせることができる。したがって、差動出力回路7Aは、DPとDMのクロスポイントを調整することができる。その結果、例えばUSB等の規格で定められた電気的特性について、プロセス、電圧、及び温度の変動による影響を抑止し、規格を満足する差動出力信号を出力することが容易となる。

【0071】

実施の形態2においても、実施の形態1の変形例と同様、出荷時にテストで半導体装置をテストした結果に基づいて、DELAY_DP及びDELAY_DMを固定することが可能である。この場合、DELAY_DP及びDELAY_DMの値は、例えば、半導体装置に内蔵される不揮発性メモリ(図示しない)に記憶することができる。

【0072】

また、図7において遅延調整回路22及び23は、ドライバ回路11A及び12Aの外部にあるものとして説明したが、差動出力回路7Aの構成はこれに限られない。遅延調整回路22及び23は、それぞれ、ドライバ回路11A及び12Aに含まれる構成であっても良い。

【0073】

更に、実施の形態2に係る制御回路34Aとしては、例えばCPUを利用することができる。また、制御回路34Aは、専用のデコーダであっても良い。

【0074】

[実施の形態3]

10

20

30

40

50

次に実施の形態 3 について説明する。図 1 4 は、実施の形態 3 に係る差動出力回路 7 B の構成例を示すブロック図である。実施の形態 3 に係る差動出力回路 7 B は、実施の形態 1 に係る差動出力回路 7 と比較して、遅延調整回路 2 2 及び 2 3 を具備する点と、コンパレータ 2 0 及び 2 1 に代えてコンパレータ 2 0 B 及び 2 1 B を具備する点と、カウンタ部 3 1 に代えてカウンタ部 3 1 B を具備する点と、制御回路 3 4 B が制御信号 S L E W _ D P 及び S L E W _ D M に加えて、D E L A Y _ D P 及び D E L A Y _ D M をも出力する点で異なる。これ以外の構成及び動作については、実施の形態 1 で説明した半導体装置 1 と同様であるので、同一の構成については同一の符号を付し、重複した説明は省略する。

【 0 0 7 5 】

実施の形態 3 に係る差動出力回路 7 B は、実施の形態 1 に係る差動出力回路 7 のスルーレート調整機能と、実施の形態 2 に係る差動出力回路 7 A のクロスポイント調整機能の両方の調整機能を有する。

10

【 0 0 7 6 】

遅延調整回路 2 2 及び 2 3 は、実施の形態 2 で説明した差動出力回路 7 A と同一の遅延調整回路である。

【 0 0 7 7 】

コンパレータ 2 0 B は、差動出力端子 D P の電圧と、3 つの基準電圧 V R E F 1、V R E F 2、及び V R E F 3 との大小関係を比較する電圧比較回路である。同様に、コンパレータ 2 1 B は、差動出力端子 D M の電圧と、3 つの基準電圧 V R E F 1、V R E F 2、及び V R E F 3 との大小関係を比較する電圧比較回路である。

20

【 0 0 7 8 】

調整制御回路 3 0 B は、カウンタ部 3 1 B と、制御回路 3 4 B と、を備える。調整制御回路 3 0 B は、カウンタ 3 2 のカウント値とカウンタ 3 3 のカウント値に基づいて、ドライバ回路 1 1 及び 1 2 に、それぞれ、制御信号 S L E W _ D P 及び S L E W _ D M を出力する。また、調整制御回路 3 0 B は、カウンタ 3 2 のカウント値とカウンタ 3 3 のカウント値に基づいて、遅延調整回路 2 2 及び 2 3 に、それぞれ、制御信号 D E L A Y _ D P 及び D E L A Y _ D M を出力する。

【 0 0 7 9 】

カウンタ部 3 1 B は、実施の形態 1 に係るカウンタ部 3 1、及び、実施の形態 2 に係るカウンタ部 3 1 A の両機能を有する。カウンタ部 3 1 B は、実施の形態 1 と同様に制御信号 S L E W _ D P 及び S L E W _ D M により制御を行うステップにあるか、実施の形態 2 と同様に D E L A Y _ D P 及び D E L A Y _ D M により制御を行うステップにあるか、に基づいて、それぞれに適したカウント動作を行う。

30

【 0 0 8 0 】

制御回路 3 4 B は、ドライバ回路 1 1 及び 1 2 に対して、制御信号 S L E W _ D P 及び S L E W _ D M を送信するとともに、遅延調整回路 2 2 及び 2 3 に対して制御信号 D E L A Y _ D P 及び D E L A Y _ D M を送信する。

【 0 0 8 1 】

(動作)

図 1 5 は、差動出力回路 7 B が出力する差動出力信号のタイミングチャートである。実施の形態 3 に係る差動出力回路 7 B は、図 1 5 (a) に示されるように、まず、T r / T f、即ち、スルーレートを調整する。続いて、差動出力回路 7 B は、図 1 5 (b) に示されるように、遅延調整回路を用いてクロスポイントの調整を行う。

40

【 0 0 8 2 】

図 1 6 は、実施の形態 3 に係る差動出力回路 7 B の動作フローを示すフローチャートである。ステップ S 1 0 1 から S 1 0 8 については、実施の形態 1 に係るフローチャート図である図 6 と同様であるので、説明を省略する。ステップ S 1 0 5 において C N T D P と C N T D M とが一致する場合 (ステップ S 1 0 5 : Y E S)、カウンタ 3 2 及びカウンタ 3 3 は、クロスポイントの時間差をカウントする動作モードに切り替わる (ステップ S 2 0 2)。ステップ S 2 0 2 から S 2 0 6 までの動作は、実施の形態 2 に係るフローチャー

50

トである図13と同様であるので、説明を省略する。クロスポイントの時間差が閾値以下である場合（ステップS203：YES）、差動出力回路7Bによる差動出力信号の調整動作は終了する。このように、実施の形態3では、スルーレートを調整した後、クロスポイントの調整を行う。これは、スルーレートを変更するとクロスポイントも変わってしまうため、先にスルーレートを調整し、スルーレートを決めた後でクロスポイントの遅延差を調整する方が、調整効率が良いためである。

【0083】

（効果）

実施の形態3に係る差動出力回路7Bは、実施の形態1の差動出力回路7に対して、更に遅延調整回路22及び23を具備する。また、コンパレータ20Bは、差動出力端子DPの電圧と、基準電圧VREF1、VREF2、及びVREF3との電圧を比較することができる。同様に、コンパレータ21Bは、差動出力端子DMの電圧と、基準電圧VREF1、VREF2、及びVREF3との電圧を比較することができる。調整制御回路30Bは、スルーレートを調整するための制御信号SLEW__DP及びSLEW__DMと、クロスポイントを調整するための制御信号DELAY__DP及びDELAY__DMを生成する。このため、差動出力回路7Bは、スルーレート調整とクロスポイント調整の両方を行うことができる。したがって、差動出力回路7Bが出力する差動出力信号に関してスルーレート及びクロスポイントの電気的特性が規格化されている場合にも、差動出力回路7Bは、プロセス、電圧、及び温度の影響を除去して規格を満足する差動出力信号を容易に出力することができる。

【0084】

[実施の形態4]

次に実施の形態4について説明する。実施の形態4に係る差動出力回路7Cは、クロスポイント調整を、スルーレートを調整することで実現する。

【0085】

（構成）

図17は、実施の形態4に係る差動出力回路7Cの構成例を示すブロック図である。実施の形態4に係る差動出力回路7Cは、実施の形態1に係る差動出力回路7と比較して、コンパレータ20及び21に代えて、コンパレータ20C及び21Cを備える点で異なる。これ以外の構成及び動作については、実施の形態1で説明した差動出力回路7と同様であるので、同一の構成については同一の符号を付し、重複した説明は省略する。

【0086】

コンパレータ20Cは、差動出力端子DPの電圧と基準電圧VREF3とを比較する電圧比較回路である。コンパレータ20Cは、差動出力端子DPの電圧がLレベルからHレベルに変化する場合には、基準電圧VREF3以上の場合に、DP__COMP信号としてHレベルを出力する。また、コンパレータ20Cは、DPの電圧がHレベルからLレベルに変化する場合には、基準電圧VREF3以下の場合に、DP__COMP信号としてHレベルを出力する。

【0087】

同様に、コンパレータ21Cは、差動出力端子DMの電圧と基準電圧VREF3とを比較する電圧比較回路である。コンパレータ21Cは、差動出力端子DMの電圧がLレベルからHレベルに変化する場合には、基準電圧VREF3以上の場合に、DM__COMP信号としてHレベルを出力する。また、コンパレータ21Cは、DMの電圧がHレベルからLレベルに変化する場合には、基準電圧VREF3以下の場合に、DM__COMP信号としてHレベルを出力する。

【0088】

調整制御回路30Cは、カウンタ32または33が示す値に基づいて、ドライバ回路11及び12のスルーレートを制御するための制御信号SLEW__DP及びSLEW__DMを出力する回路である。ドライバ回路11は、SLEW__DPに基づいて、定電流回路110及び111のカレントミラーの比を制御して、基準電流を調整する。定電流回路11

0及び111の基準電流が調整されるため、フィードバック容量素子C1及びC2の充放電に要する時間が変化する。その結果、差動出力端子DPに出力される差動出力信号のスルーレートが調整される。同様に、ドライバ回路12は、SLEW_DMに基づいて、定電流回路110及び111のカレントミラーの比を制御して、基準電流を調整する。定電流回路110及び111の基準電流が調整されるため、フィードバック容量素子C1及びC2の充放電に要する時間が変化する。その結果、差動出力端子DMに出力される差動出力信号のスルーレートが調整される。調整制御回路30Cは、差動出力端子DP及びDMに出力する信号のスルーレートを調整することにより、両信号のクロスポイントを調整する。

【0089】

10

(動作)

調整制御回路30Cでは、差動出力端子DPまたはDMのいずれか一方が先にVDD/2に到達してから、DPまたはDMの他方がVDD/2に到達するまでの時間差が、カウンタ32またはカウンタ33でカウントされる。換言すると、調整制御回路30Cでは、ステータス信号DP_COMPまたはDM_COMPの一方が活性化されてから、他方が活性化されるまでの時間差が、カウンタ32またはカウンタ33でカウントされる。より具体的には、差動出力端子DPの方が差動出力端子DMより先にVDD/2に到達する場合には、カウンタ32によりカウント動作が行われる。一方、差動出力端子DMの方が差動出力端子DPより先にVDD/2に到達する場合には、カウンタ33によりカウント動作が行われる。

20

【0090】

図18は、実施の形態4に係る差動出力回路7Cが出力する差動出力信号のタイミングチャートである。図18に示される例では、差動出力端子DPの波形がLレベルからHレベルに変化する際にVDD/2に到達する時刻T1は、差動出力端子DMの波形がHレベルからLレベルに変化する際にVDD/2に到達する時刻T2より早い。このため、実線で示される調整前のDPの波形と、実線で示される調整前のDMの波形とはVDD/2より高い電圧で波形がクロスしている。カウンタ32は、時刻T1から時刻T2までの間、カウント動作を行う。制御回路34Cは、カウンタ32の示す値に基づいて、差動出力端子DPのスルーレートを調整するために、SLEW_DP信号を生成する。ドライバ回路11は、制御信号SLEW_DPに基づいて、差動出力端子DPのスルーレートを、より

30

【0091】

(効果)

実施の形態4に係る差動出力回路7Cは、実施の形態1に係る差動出力回路7と比較して、コンパレータ20及び21に代えて、コンパレータ20C及び21Cを備えている。このため、コンパレータ20C及び21Cは、1つの基準電圧VREF3に基づき、かつ、遅延制御回路を具備することなく、差動出力信号のクロスポイントを調整することができる。この結果、差動出力回路7Cは、プロセス、電圧、及び温度の影響を除去して、規格等で定められた電気的特性を満足する差動出力信号を容易に出力することができる。

40

【0092】

以上、本発明によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更され得る。

【符号の説明】

【0093】

- 1 半導体装置
- 2 CPU

50

3	ROM	
4	RAM	
5	論理回路	
6	USBトランシーバ	
7、7A、7B、7C	差動出力回路	
9	周辺機器	
11、12	ドライバ回路	
13	ドライバ制御回路	
14	基準電流生成回路	
20、20A、20B、20C	コンパレータ	10
21、21A、21B、21C	コンパレータ	
22、23	遅延調整回路	
30、30A、30B、30C	調整制御回路	
31、31A、31B、31C	カウント部	
32、33	カウンタ	
34、34A、34B、34C	制御回路	
90	ホストコンピュータ	
91	半導体装置	
92	USBトランシーバ	
110、110A	定電流回路	20
111、111A	定電流回路	
112	出力回路	
220	RISE遅延調整回路	
230	FALL遅延調整回路	
221、231	遅延素子	
222、232	マルチプレクサ(MUX)	
223	AND回路	
233	OR回路	
224、234	信号	
225、235	信号群	30
226、236	信号	
310	XOR回路	
311、312	AND回路	
313、314	リングオシレータ(ROSC)	
C1、C2	フィードバック容量素子	
DELAY_DP、DELAY_DM	制御信号	
DP_CN、DM_CN	クロック信号	
DP、DM	差動出力端子	
DP_COMP、DM_COMP	ステータス信号	
MN1、MN2、MN3、MN4	N型MOSFET	40
MP1、MP2、MP3、MP4	P型MOSFET	
PEN_IN、NEN_IN	信号	
PEN_OUT、NEN_OUT	信号	
PEN_DP、NEN_DP、PEN_DM、NEN_DM	制御信号	
SLEW_DP、SLEW_DM	制御信号	
VCC、VCCQ、VDD	電源電圧	
VREF1、VREF2、VREF3	基準電圧	
VSS、VSSQ	接地電圧	

【 図 1 】

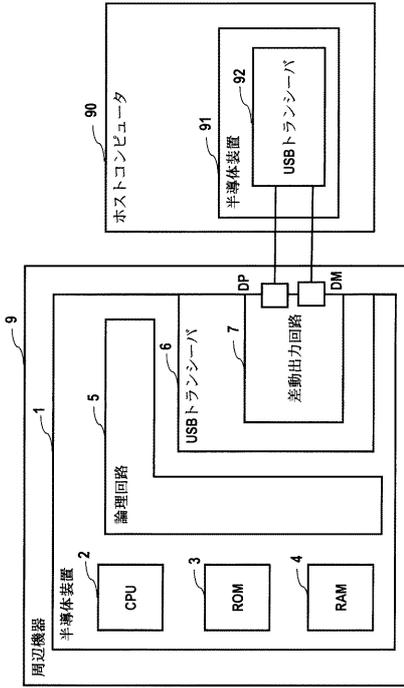


図1

【 図 2 】

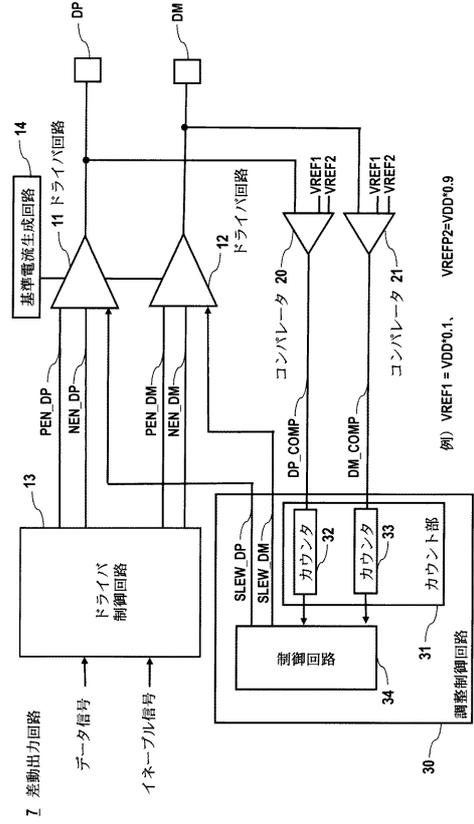


図2

例) VREF1 = VDD*0.1, VREF2 = VDD*0.9

【 図 3 】

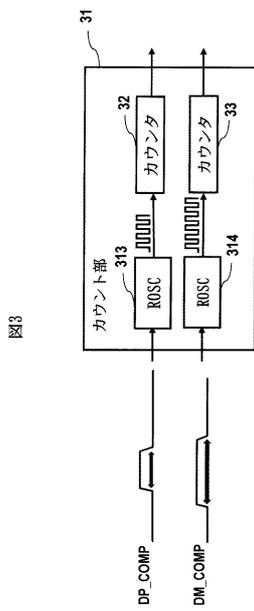


図3

【 図 4 】

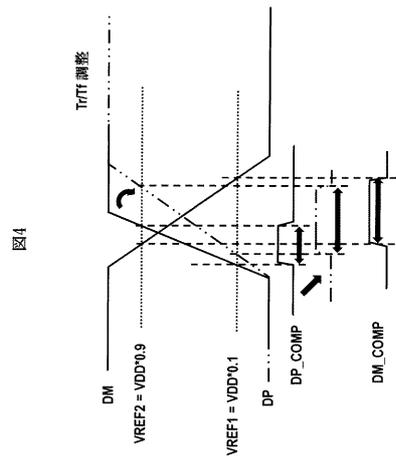


図4

【 図 5 】

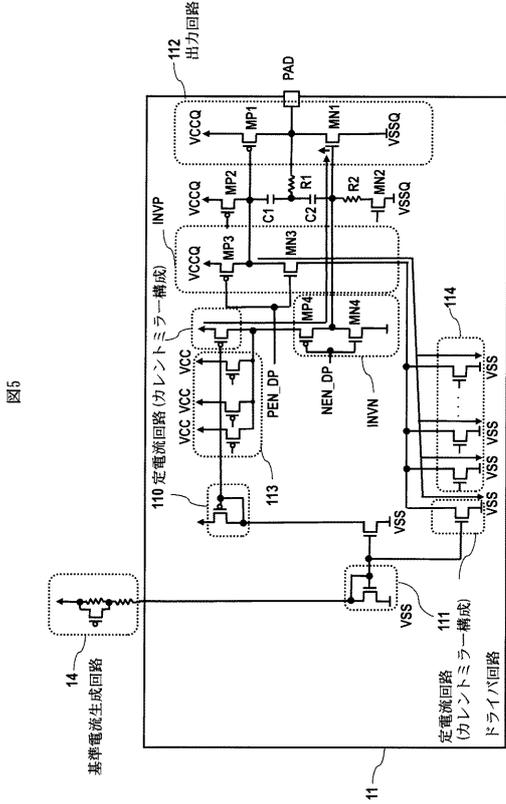


図5

【 図 6 】

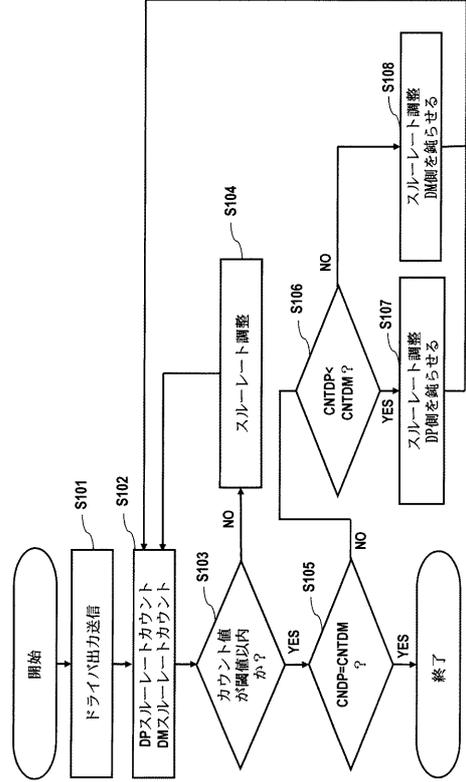


図6

【 図 7 】

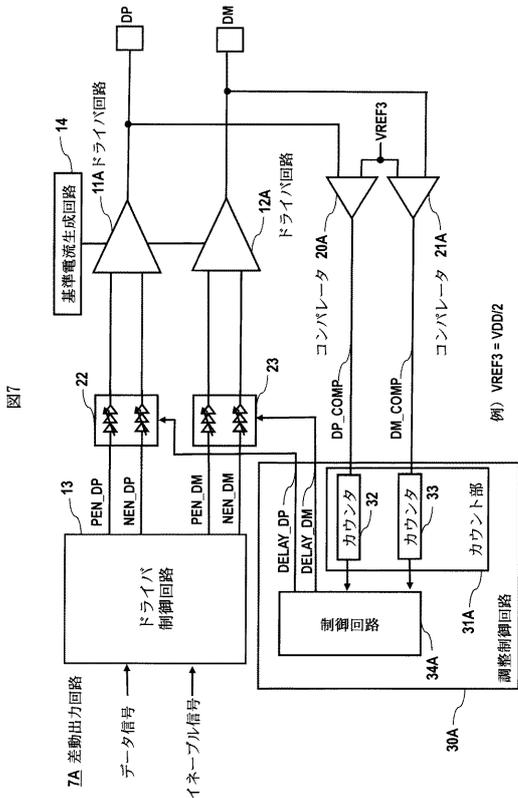


図7

【 図 8 】

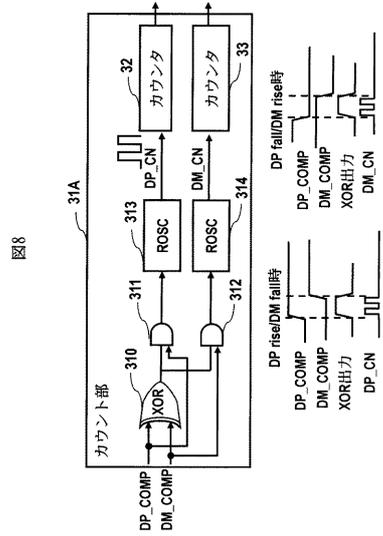


図8

【 図 9 】

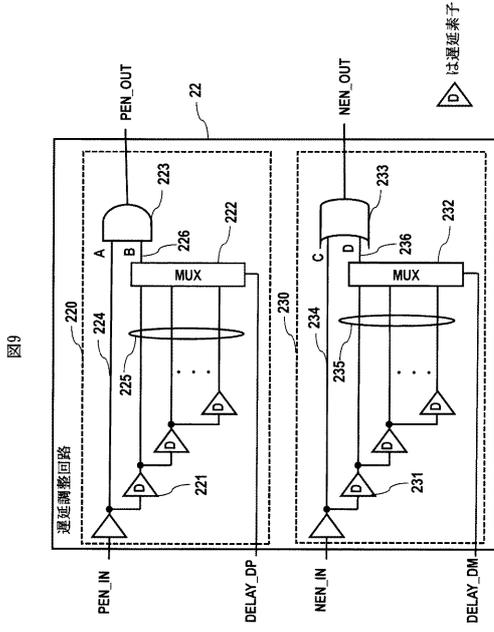


図9

【 図 10 】

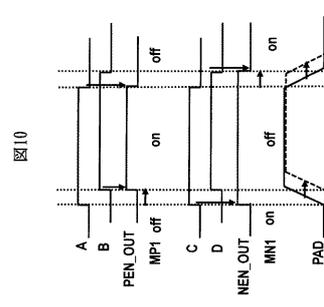


図10

【 図 11 】

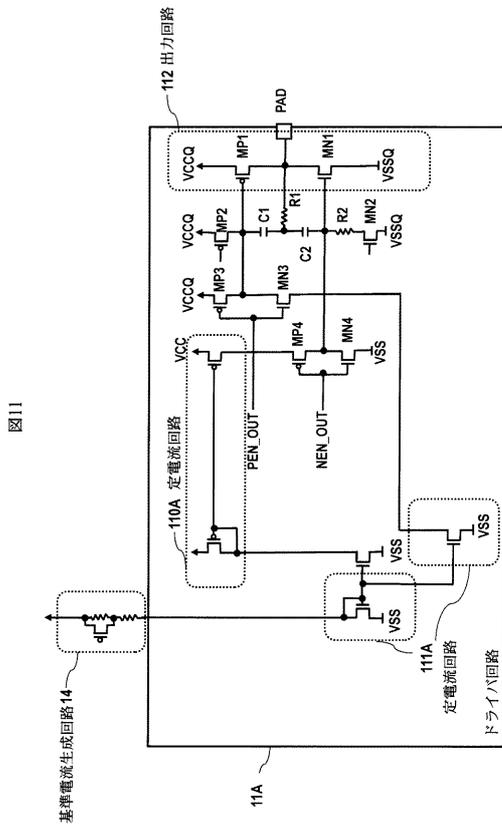


図11

【 図 12 】

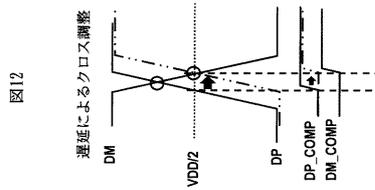


図12

【 図 1 3 】

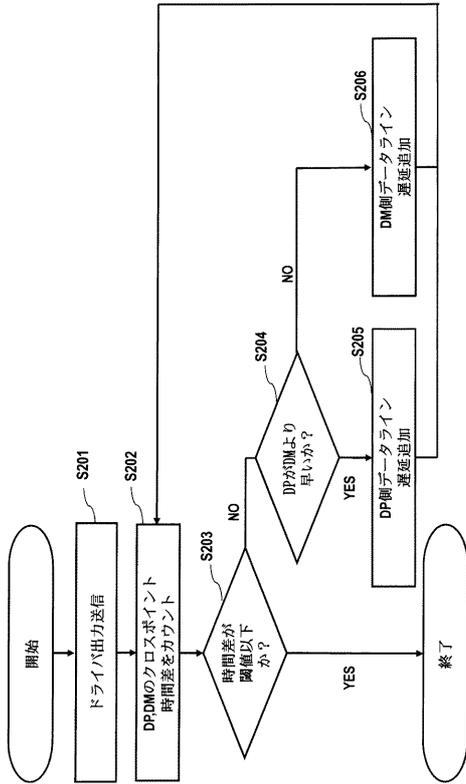


図13

【 図 1 4 】

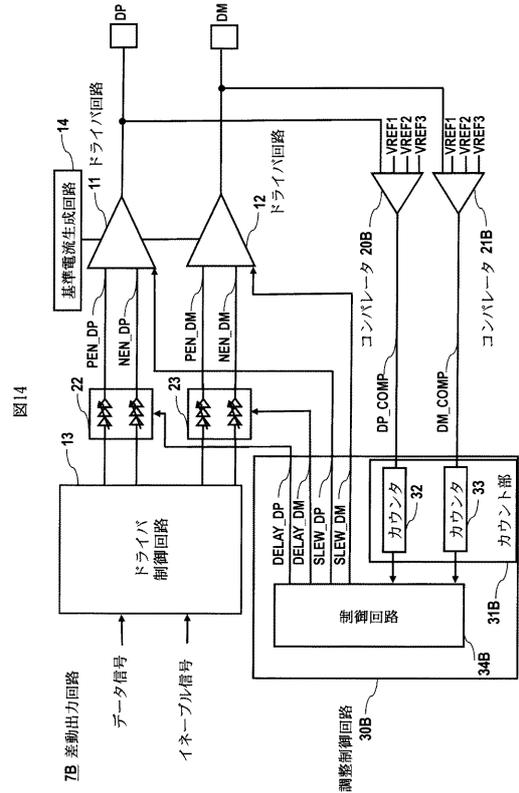


図14

【 図 1 5 】

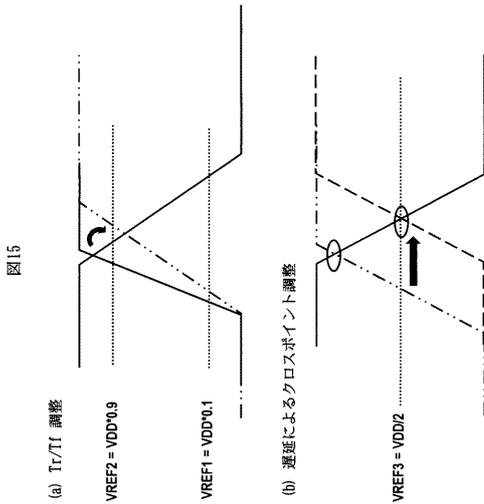


図15

【 図 1 6 】

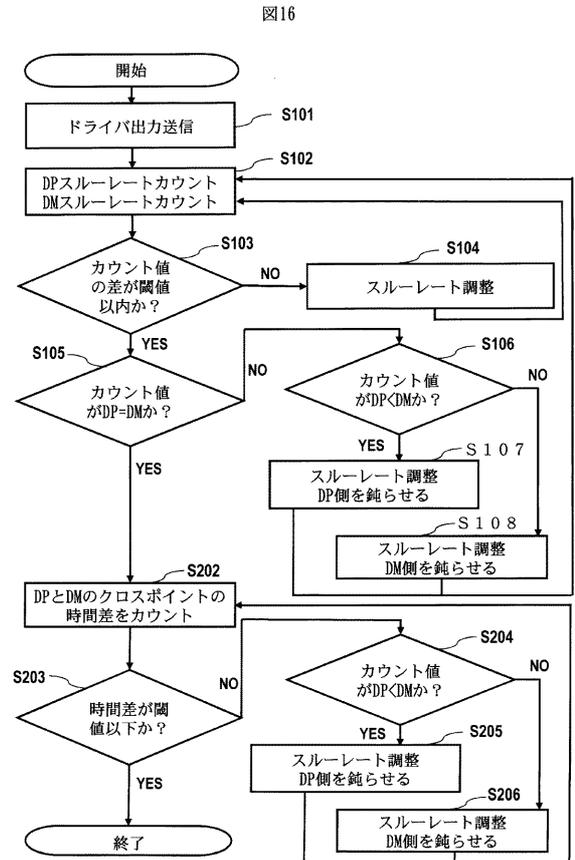
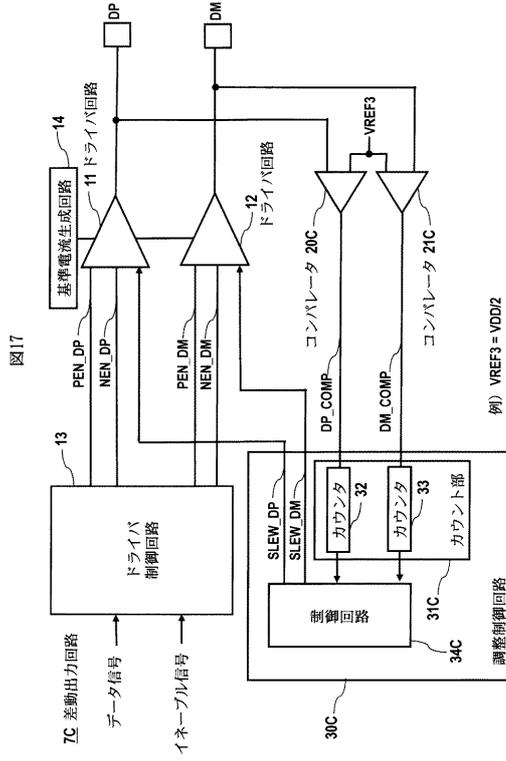


図16

【 図 1 7 】



【 図 1 8 】

