

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-44709  
(P2021-44709A)

(43) 公開日 令和3年3月18日(2021.3.18)

(51) Int. Cl.	F 1			テーマコード (参考)	
<b>H03M 1/10 (2006.01)</b>	H03M	1/10	A	5J022	
<b>H03M 1/38 (2006.01)</b>	H03M	1/38			

審査請求 未請求 請求項の数 19 O L (全 21 頁)

(21) 出願番号	特願2019-165606 (P2019-165606)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	令和1年9月11日(2019.9.11)	(71) 出願人	317011920 東芝デバイス&ストレージ株式会社 東京都港区芝浦一丁目1番1号
		(74) 代理人	110002147 特許業務法人酒井国際特許事務所
		(72) 発明者	前田 北斗 東京都港区芝浦一丁目1番1号 東芝デバイス&ストレージ株式会社内
		Fターム(参考)	5J022 AA02 AB01 BA03 CA10 CB06 CE08 CF01 CF07 CF10

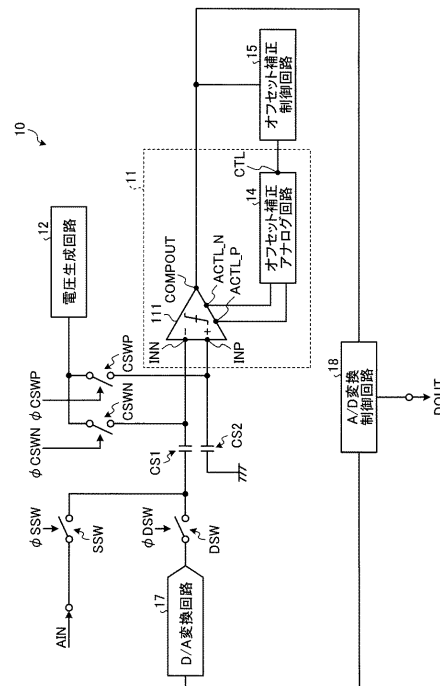
(54) 【発明の名称】 A/D変換回路、A/D変換方法及び半導体装置

(57) 【要約】

【課題】 比較回路のオフセットを補正するA/D変換回路を提供すること。

【解決手段】 一つの実施形態によれば、A/D変換回路は、オフセット可変比較回路と、第1の制御回路とを備える。前記オフセット可変比較回路は、第1の入力ノードと、第2の入力ノードと、オフセット制御ノードと、出力ノードとを有する。前記2つの入力ノードの電位に関する比較動作の比較結果は、前記出力ノードから出力される。前記第1の制御回路は、前記出力ノード及び前記オフセット制御ノードに接続される。前記第1の制御回路は、A/D変換対象のアナログ信号のサンプリング期間に重複するオフセット調整期間に実行された前記比較動作の比較結果に応じた制御信号を前記オフセット制御ノードに供給することにより前記オフセット可変比較回路のオフセット電圧を制御する。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

第 1 の入力ノードと、第 2 の入力ノードと、オフセット制御ノードと、前記 2 つの入力ノードの電位に関する比較動作の比較結果が出力される出力ノードとを有するオフセット可変比較回路と、

前記出力ノード及び前記オフセット制御ノードに接続され、A / D 変換対象のアナログ信号のサンプリング期間に重複するオフセット調整期間に実行された前記比較動作の比較結果に応じた制御信号を前記オフセット制御ノードに供給することにより前記オフセット可変比較回路のオフセット電圧を制御する第 1 の制御回路と

を具備する A / D 変換回路。

10

**【請求項 2】**

前記オフセット可変比較回路は、

前記 2 つの入力ノードの電位を比較する前記比較動作を実行する比較回路と、

前記比較回路及び前記オフセット制御ノードの間に接続され、前記制御信号に応じて前記比較回路のオフセット電圧を変化させるオフセット調整回路と

をさらに有する、請求項 1 に記載の A / D 変換回路。

**【請求項 3】**

前記制御信号は、デジタルコードであり、

前記第 1 の制御回路は、前記オフセット調整期間に実行された前記比較動作の比較結果に応じて前記デジタルコードのビット値を決定する、

請求項 2 に記載の A / D 変換回路。

20

**【請求項 4】**

前記第 1 の制御回路は、

クロックを生成するクロック生成回路と、

前記出力ノード及び前記クロック生成回路に接続され、前記クロック生成回路から供給されるクロックに同期して、前記オフセット調整期間に実行された前記比較動作の比較結果に応じて上位ビットから順に値を決定していく逐次比較制御を行う逐次比較レジスタと、

前記クロック生成回路及び前記逐次比較レジスタに接続され、前記逐次比較レジスタの出力を保持し、前記クロック生成回路から供給されるクロックに同期して、前記逐次比較レジスタの出力を前記デジタルコードとして前記オフセット調整回路に供給する出力レジスタと

を有する、請求項 3 に記載の A / D 変換回路。

30

**【請求項 5】**

前記デジタルコードは、前記オフセット調整回路によるオフセット電圧の調整階調に対応するビット数を有し、

前記比較回路は、前記オフセット調整期間に前記デジタルコードのビット数に応じた回数の前記比較動作を実行し、

前記第 1 の制御回路は、前記オフセット調整期間に前記デジタルコードの上位ビットから順に前記デジタルコードを逐次決定する、

請求項 3 又は 4 に記載の A / D 変換回路。

40

**【請求項 6】**

前記オフセット調整回路は、電流補償、容量補償及び電荷補償のうちの少なくとも 1 つの調整方法により、前記比較回路のオフセット電圧を変更する、請求項 2 乃至 5 のうちのいずれか 1 項に記載の A / D 変換回路。

**【請求項 7】**

前記オフセット調整回路は、容量補償により前記オフセット電圧を変化させる少なくとも 1 つの容量素子を有する、請求項 2 乃至 5 のうちのいずれか 1 項に記載の A / D 変換回路。

**【請求項 8】**

50

前記第 1 の制御回路は、前記オフセット調整期間に実行された前記比較動作の比較結果に応じて、前記少なくとも 1 つの容量素子の使用又は不使用を制御する、  
請求項 7 に記載の A / D 変換回路。

【請求項 9】

前記オフセット調整回路は、容量補償により前記オフセット電圧を変化させる少なくとも 1 つの容量素子を有し、

前記デジタルコードのビット値は、対応する容量素子が使用されるか否かを示す値である、

請求項 3 乃至 5 のうちのいずれか 1 項に記載の A / D 変換回路。

【請求項 10】

前記オフセット調整回路は、前記比較回路の前記 2 つの入力ノードのうちのいずれか一方の側に設けられる、請求項 2 乃至 9 のうちのいずれか 1 項に記載の A / D 変換回路。

【請求項 11】

前記オフセット調整回路は、前記比較回路の前記 2 つの入力ノードの両方の側に設けられる、請求項 2 乃至 9 のうちのいずれか 1 項に記載の A / D 変換回路。

【請求項 12】

前記 2 つの入力ノードに前記オフセット調整期間にオン状態に遷移されるスイッチを介して接続され、前記オフセット調整期間に前記 2 つの入力ノードを等電位化する等電位化回路をさらに備え、

前記第 1 の制御回路は、前記 2 つの入力ノードが等電位化された期間の比較結果に応じて前記オフセット調整回路を制御する、

請求項 2 乃至 11 のうちのいずれか 1 項に記載の A / D 変換回路。

【請求項 13】

前記等電位化回路は、前記 2 つの入力ノードに供給する所定の電圧を発生する電圧発生回路である、請求項 12 に記載の A / D 変換回路。

【請求項 14】

前記出力ノードに接続される第 2 の制御回路をさらに備え、

前記オフセット可変比較回路は、前記オフセット調整期間の後の変換期間において、前記制御信号に従い前記オフセット可変比較回路のオフセット電圧が調整された状態で、前記サンプリング期間にサンプリングされた前記 A / D 変換対象のアナログ信号に関する前記比較動作を実行し、

前記第 2 の制御回路は、前記変換期間に実行された前記比較動作の比較結果を用いて前記 A / D 変換対象のアナログ信号に対応するデジタルの出力信号を決定する、

請求項 2 乃至 13 のうちのいずれか 1 項に記載の A / D 変換回路。

【請求項 15】

前記第 2 の制御回路に接続される D / A 変換回路をさらに備え、

前記オフセット可変比較回路は、前記変換期間に前記デジタルの出力信号のビット数に応じた回数の前記比較動作を実行し、

前記第 2 の制御回路は、前記変換期間に前記デジタルの出力信号の上位ビットから順に前記デジタルの出力信号を逐次決定し、

前記 D / A 変換回路は、前記逐次決定された前記デジタルの出力信号に応じたアナログの出力信号を前記オフセット可変比較回路に逐次供給する、

請求項 14 に記載の A / D 変換回路。

【請求項 16】

前記オフセット調整期間は、前記サンプリング期間内の期間である、請求項 1 乃至 15 のうちのいずれか 1 項に記載の A / D 変換回路。

【請求項 17】

前記オフセット調整期間は、前記サンプリング期間の開始前及び / 又は終了後の期間を含む期間である、請求項 1 乃至 15 のうちのいずれか 1 項に記載の A / D 変換回路。

【請求項 18】

10

20

30

40

50

第1の入力ノードと、第2の入力ノードと、オフセット制御ノードと、前記2つの入力ノードの電位に関する比較動作の比較結果が出力される出力ノードとを有するオフセット可変比較回路と、前記出力ノード及び前記オフセット制御ノードに接続される第1の制御回路とを備えるA/D変換回路において、

A/D変換対象のアナログ信号のサンプリング期間に重複するオフセット調整期間に、前記オフセット可変比較回路により、前記比較動作を実行することと、

前記第1の制御回路により、前記オフセット調整期間に実行された前記比較動作の比較結果に応じた制御信号を前記オフセット制御ノードに供給することにより前記オフセット可変比較回路のオフセット電圧を制御することと

を含むA/D変換方法。

10

#### 【請求項19】

第1の入力ノードと、第2の入力ノードと、オフセット制御ノードと、前記2つの入力ノードの電位に関する比較動作の比較結果が出力される出力ノードとを有するオフセット可変比較回路と、

前記出力ノード及び前記オフセット制御ノードに接続され、A/D変換対象のアナログ信号のサンプリング期間に重複するオフセット調整期間に実行された前記比較動作の比較結果に応じた制御信号を前記オフセット制御ノードに供給することにより前記オフセット可変比較回路のオフセット電圧を制御する第1の制御回路と

前記出力ノードに接続され、前記オフセット調整期間の後の変換期間において、前記制御信号に従い前記オフセット可変比較回路のオフセット電圧が調整された状態で実行された前記比較動作の比較結果を用いて前記A/D変換対象のアナログ信号に対応するデジタルの出力信号を出力する出力回路と

20

を有するA/D変換回路と、

前記A/D変換回路に接続され、前記A/D変換対象のアナログ信号を前記A/D変換回路に供給するセンサ回路と、

前記A/D変換回路に接続され、前記デジタルの出力信号に信号処理を施す処理回路と

を具備する半導体装置。

#### 【発明の詳細な説明】

#### 【技術分野】

30

#### 【0001】

本実施形態は、A/D変換回路、半導体装置及びA/D変換方法に関する。

#### 【背景技術】

#### 【0002】

従来、供給されたアナログ信号をサンプルホールド回路によりサンプリングし、サンプルホールド回路から出力されるサンプリング電圧をコンパレータ（比較回路）により量子化してデジタル信号に変換するA/D（Analog to Digital）変換回路がある。

#### 【0003】

しかしながら、コンパレータ（比較回路）による量子化において、オフセットが発生する場合がある。比較回路のオフセットは、A/D変換の変換精度を劣化させる。

40

#### 【先行技術文献】

#### 【特許文献】

#### 【0004】

【特許文献1】特開平5 - 259909号公報

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0005】

一つの実施形態は、比較回路のオフセットを補正するA/D変換回路、半導体装置及びA/D変換方法を提供することを目的とする。

#### 【課題を解決するための手段】

50

## 【 0 0 0 6 】

一つの実施形態によれば、A / D 変換回路は、オフセット可変比較回路と、第 1 の制御回路とを備える。前記オフセット可変比較回路は、第 1 の入力ノードと、第 2 の入力ノードと、オフセット制御ノードと、出力ノードとを有する。前記 2 つの入力ノードの電位に関する比較動作の比較結果は、前記出力ノードから出力される。前記第 1 の制御回路は、前記出力ノード及び前記オフセット制御ノードに接続される。前記第 1 の制御回路は、A / D 変換対象のアナログ信号のサンプリング期間に重複するオフセット調整期間に実行された前記比較動作の比較結果に応じた制御信号を前記オフセット制御ノードに供給することにより前記オフセット可変比較回路のオフセット電圧を制御する。

## 【 図面の簡単な説明 】

10

## 【 0 0 0 7 】

【 図 1 】 図 1 は、実施形態に係る A / D 変換回路の構成の一例を示す図である。

【 図 2 】 図 2 は、図 1 のオフセット可変比較回路の構成の一例を示す図である。

【 図 3 】 図 3 は、図 1 のオフセット補正制御回路の構成の一例を示す図である。

【 図 4 】 図 4 は、図 1 の A / D 変換回路の動作タイミングの一例を示す図である。

【 図 5 】 図 5 は、図 1 のオフセット可変比較回路の構成の別の一例を示す図である。

【 図 6 】 図 6 は、図 1 の A / D 変換回路を有する半導体装置の構成の一例を示す図である。

## 【 発明を実施するための形態 】

## 【 0 0 0 8 】

20

以下、添付図面を参照して、実施形態に係る A / D 変換回路、半導体装置及び A / D 変換方法を詳細に説明する。なお、この実施形態により本発明が限定されるものではない。

## 【 0 0 0 9 】

( 実施形態 )

従来、A / D ( Analog to Digital ) 変換回路の比較回路においてダイナミック型コンパレータの前段にプリアンプを設け、比較動作時に後段のコンパレータのオフセットが A / D 変換特性に現れない程度までコンパレータ入力電圧をプリアンプで増幅することにより、コンパレータのオフセットを補正する技術がある。また、比較回路にプリアンプを設けない構成もある。例えば、コンパレータ ( 比較回路 ) にデジタル値でオフセット電圧を調整する回路を設け、予めコンパレータのオフセット電圧を補正するためのデジタル値を設定することにより、コンパレータのオフセットを補正する技術がある。

30

## 【 0 0 1 0 】

しかしながら、従来技術では、プリアンプを設けることにより消費電力が増大し、また、比較動作時のプリアンプの電圧増幅期間により A / D 変換速度が低下する。一方で、消費電力や A / D 変換速度を優先して比較回路にプリアンプを設けない場合、温度や電圧などの使用環境の変化により生じるコンパレータ ( 比較回路 ) のオフセット変動を補正することができない。

## 【 0 0 1 1 】

そこで、本実施形態では、実動作時にコンパレータ ( 比較回路 ) のオフセット電圧をデジタル値で制御することによりオフセットを補正し、高精度な高速 A / D 変換を実現する。

40

## 【 0 0 1 2 】

以下、逐次変換 ( Successive Approximation Register : S A R ) 型の A / D 変換を行う場合を例として、実施形態に係る A / D 変換回路、半導体装置及び A / D 変換方法について説明する。

## 【 0 0 1 3 】

図 1 は、実施形態に係る A / D 変換回路 1 0 の構成の一例を示す図である。A / D 変換回路 1 0 は、図 1 に示すように、オフセット可変比較回路 1 1、電圧生成回路 1 2、オフセット補正制御回路 1 5、A / D 変換用の D / A ( Digital to Analog ) 変換回路 1 7、A / D 変換制御回路 1 8、複数のスイッチ S S W、D S W、C S W N、C S W P 及び複数

50

の容量素子 $C S 1$ 、 $C S 2$ を有する。ここで、電圧生成回路 $1 2$ は、等電位化回路の一例である。オフセット補正制御回路 $1 5$ は、第 $1$ の制御回路の一例である。A/D変換制御回路 $1 8$ は、第 $2$ の制御回路の一例である。スイッチ $C S W N$ は、第 $1$ のスイッチの一例である。スイッチ $C S W P$ は、第 $2$ のスイッチの一例である。容量素子 $C S 1$ は、第 $1$ の容量素子の一例である。容量素子 $C S 2$ は、第 $2$ の容量素子の一例である。

**【0014】**

A/D変換回路 $1 0$ は、入力されたアナログ信号 $A I N$ を容量素子 $C S 1$ に充電し、充電されたサンプリング電圧と参照電圧とをオフセット可変比較回路 $1 1$ で比較することにより入力されたアナログ信号 $A I N$ を量子化し、入力されたアナログ信号 $A I N$ に応じたデジタル信号 $D O U T$ を出力する回路である。

10

**【0015】**

図 $1$ に示すように、A/D変換回路 $1 0$ には、A/D変換の実動作時にオフセット可変比較回路 $1 1$ のオフセット電圧をデジタル値で制御するオフセット補正制御回路 $1 5$ が設けられている。オフセット補正制御回路 $1 5$ は、A/D変換の実動作時において、サンプリング動作中にオフセット可変比較回路 $1 1$ のオフセット電圧がゼロとなるデジタルコードをサーチする。デジタルコードのサーチは、例えばA/D変換の逐次比較動作に類似する動作である。オフセット補正制御回路 $1 5$ は、得られたデジタルコードに応じてオフセット可変比較回路 $1 1$ のオフセット電圧をサンプリング動作中に調整する。

**【0016】**

このように、本実施形態に係るA/D変換回路 $1 0$ は、実動作時において、サンプリング期間にオフセット可変比較回路 $1 1$ のオフセット電圧をデジタル値で制御することにより変換期間にオフセット可変比較回路 $1 1$ のオフセットを補正するため、高精度な高速A/D変換を実現することができる。

20

**【0017】**

以下、本実施形態に係るA/D変換回路 $1 0$ について、より詳細に説明をする。

**【0018】**

オフセット可変比較回路 $1 1$ は、容量素子 $C S 1$ に充電されたサンプリング電圧と、容量素子 $C S 2$ に充電された参照電圧(グラウンド電位)とを比較し、その比較結果を出力する回路である。オフセット可変比較回路 $1 1$ の詳細については、後述する(図 $2$ 参照)。

30

**【0019】**

電圧生成回路 $1 2$ は、オフセット補正用の所定の電圧を生成する回路である。電圧生成回路 $1 2$ の出力ノードは、スイッチ $C S W N$ を介して、オフセット可変比較回路 $1 1$ の第 $1$ の入力ノード $I N N$ に電氣的に接続される。また、電圧生成回路 $1 2$ の出力ノードは、スイッチ $C S W P$ を介して、オフセット可変比較回路 $1 1$ の第 $2$ の入力ノード $I N P$ に電氣的に接続される。また、電圧生成回路 $1 2$ には、A/D変換制御回路 $1 8$ から制御信号が入力される。

**【0020】**

オフセット補正制御回路 $1 5$ は、A/D変換のサンプリング動作中にオフセット可変比較回路 $1 1$ のオフセット補正アナログ回路 $1 4$ の制御値(デジタルコード)を決定する回路である。また、オフセット補正制御回路 $1 5$ は、決定された制御値(デジタルコード)をオフセット可変比較回路 $1 1$ のオフセット制御ノード $C T L$ に供給する回路である。オフセット補正制御回路 $1 5$ の詳細については、後述する(図 $3$ 参照)。

40

**【0021】**

A/D変換用のD/A変換回路 $1 7$ は、入力されたデジタル信号(デジタルコード)をアナログ信号に変換し、変換されたアナログ信号を容量素子 $C S 1$ に供給する回路である。デジタルコードは、A/D変換制御回路 $1 8$ から供給される。D/A変換回路 $1 7$ は、A/D変換制御回路 $1 8$ に電氣的に接続される。また、D/A変換回路 $1 7$ は、スイッチ $D S W$ を介して、容量素子 $C S 1$ に電氣的に接続される。

**【0022】**

50

A/D変換制御回路18は、オフセット可変比較回路11が出力するMSBからLSBまでの複数のビット値をデジタル信号DOUTとして出力する回路である。また、A/D変換制御回路18は、オフセット可変比較回路11、電圧生成回路12、オフセット補正制御回路15及び複数のスイッチSSW、DSW、CSWN、CSWPを制御する制御信号(0, 1, 2, SSW, DSW, CSWN, CSWPを含む)を出力する回路である。A/D変換制御回路18は、オフセット可変比較回路11の出力ノードCOMPOUT、A/D変換用のD/A変換回路17の入力ノード及びA/D変換された入力信号(デジタル信号DOUT)の出力ノードに電氣的に接続される。また、A/D変換制御回路18は、オフセット可変比較回路11、電圧生成回路12、オフセット補正制御回路15及び複数のスイッチSSW、DSW、CSWN、CSWPに電氣的に接続される。

10

#### 【0023】

スイッチSSWは、A/D変換制御回路18から供給されるスイッチング信号SSWに応じて、オン状態とオフ状態とが切り替わるスイッチである。スイッチSSWは、一端がA/D変換対象のアナログ信号(入力信号AIN)の入力ノードに電氣的に接続され、他の一端が容量素子CS1に電氣的に接続され、制御ノードがA/D変換制御回路18に電氣的に接続される。

#### 【0024】

スイッチDSWは、A/D変換制御回路18から供給されるスイッチング信号DSWに応じて、オン状態とオフ状態とが切り替わるスイッチである。スイッチDSWは、一端がD/A変換回路17の出力ノードに電氣的に接続され、他の一端が容量素子CS2に電氣的に接続され、制御ノードがA/D変換制御回路18に電氣的に接続される。

20

#### 【0025】

スイッチCSWNは、A/D変換制御回路18から供給されるスイッチング信号CSWNに応じて、オン状態とオフ状態とが切り替わるスイッチである。具体的には、スイッチCSWNは、一端が電圧生成回路12の出力ノードに電氣的に接続され、他の一端が容量素子CS1に電氣的に接続され、制御ノードがA/D変換制御回路18に電氣的に接続される。また、スイッチCSWPは、A/D変換制御回路18から供給されるスイッチング信号CSWPに応じて、オン状態とオフ状態とが切り替わるスイッチである。具体的には、スイッチCSWPは、一端が電圧生成回路12の出力ノードに電氣的に接続され、他の一端が容量素子CS2に電氣的に接続され、制御ノードがA/D変換制御回路18に電氣的に接続される。なお、複数のスイッチCSWN、CSWPの制御ノードは、オフセット補正制御回路15に電氣的に接続されていてもよい。換言すれば、スイッチング信号CSWN、CSWPは、例えばA/D変換制御回路18からの制御信号に応じてオフセット補正制御回路15により生成され、オフセット補正制御回路15からスイッチCSWN、CSWPに供給されてもよい。

30

#### 【0026】

複数の容量素子CS1、CS2は、供給されたアナログ信号の電荷を蓄えるサンプリング容量である。容量素子CS1は、一端がスイッチSSW及びスイッチDSWに電氣的に接続され、他の一端がスイッチCSWN及び第1の入力ノードINNに電氣的に接続される。容量素子CS2は、一端がグラウンド電位となるノード(基準電位が供給される接地線)に電氣的に接続され、他の一端がスイッチCSWP及び第2の入力ノードINPに電氣的に接続される。

40

#### 【0027】

ここで、実施形態に係るオフセット可変比較回路11について、より詳細に説明する。図2は、図1のオフセット可変比較回路11の構成の一例を示す図である。

#### 【0028】

オフセット可変比較回路11は、図1及び図2に示すように、比較回路(コンパレータ)111及びオフセット補正アナログ回路14をさらに有する。また、オフセット可変比較回路11には、第1の入力ノードINN、第2の入力ノードINP、オフセット制御ノ

50

ードCTL及び出力ノードCOMPOUTが設けられている。ここで、オフセット補正アナログ回路14は、オフセット調整回路の一例である。

【0029】

第1の入力ノードINNには、実動作時のサンプリング期間において、スイッチCSWNを介して、電圧生成回路12から供給される所定の電圧が印加される。また、第1の入力ノードINNには、実動作時の変換期間において、容量素子CS1に充電されたサンプリング電圧が印加される。具体的には、第1の入力ノードINNは、反転入力端子(-)である。第1の入力ノードINNは、容量素子CS1に電氣的に接続される。

【0030】

第2の入力ノードINPには、実動作時のサンプリング期間において、スイッチCSWPを介して、電圧生成回路12から供給される所定の電圧が印加される。また、第2の入力ノードINPには、実動作時の変換期間において、容量素子CS2に充電された参照電圧が印加される。具体的には、第2の入力ノードINPは、非反転入力端子(+ )である。第2の入力ノードINPは、容量素子CS2に電氣的に接続される。

【0031】

オフセット制御ノードCTLには、オフセット補正制御回路15からデジタルの制御信号(デジタルコード)が入力される。入力された制御信号は、オフセット補正アナログ回路14に供給される。具体的には、オフセット制御ノードCTLは、オフセット補正制御回路15の出力ノード及びオフセット補正アナログ回路14に電氣的に接続される。

【0032】

出力ノードCOMPOUTは、比較回路111による増幅結果(ハイレベル又はローレベルの信号)、すなわちオフセット可変比較回路11による比較結果を出力する。出力された比較結果は、実動作時のサンプリング期間においてオフセット補正制御回路15の入力ノードに供給され、実動作時の変換期間においてA/D変換制御回路18の入力ノードに供給される。具体的には、出力ノードCOMPOUTは、オフセット補正制御回路15の入力ノード及びA/D変換制御回路18の入力ノードに電氣的に接続される。

【0033】

比較回路111は、第1の入力ノードINNに印加された電圧と、第2の入力ノードINPに印加された電圧とを比較する差動増幅回路である。比較回路111の増幅動作は、オフセット補正アナログ回路14により調整される。比較回路111は、A/D変換制御回路18からクロック入力ノードCLKを介して入力されるクロック $\phi_1$ ( $\phi_{11}$ ,  $\phi_{12}$ ,  $\phi_{13}$ ,  $\phi_{14}$ ),  $\phi_2$ ( $\phi_{21}$ ,  $\phi_{22}$ ,  $\phi_{23}$ ,  $\phi_{24}$ )に応じて増幅動作を開始する。具体的には、比較回路111は、第1の入力ノードINN、第2の入力ノードINP、出力ノードCOMPOUT、クロック入力ノードCLK及びオフセット補正アナログ回路14に電氣的に接続される。より具体的には、比較回路111は、図2に示すように、第1のアナログ制御ノードACTL\_N、第2のアナログ制御ノードACTL\_P、複数のNMOSトランジスタNM1, NM2, NM3, NM4, NM5及び複数のPMOSトランジスタPM1, PM2, PM3, PM4, PM5, PM6を有する。

【0034】

第1のアナログ制御ノードACTL\_Nは、比較回路111の負極性側に設けられたオフセット調整用のアナログノードであり、第2のアナログ制御ノードACTL\_Pは、比較回路111の正極性側に設けられたオフセット調整用のアナログノードである。2つのアナログ制御ノードACTL\_N, ACTL\_Pは、オフセット補正アナログ回路14に電氣的に接続される。

【0035】

NMOSトランジスタNM1は、ゲートがクロック入力ノードCLKに電氣的に接続され、ソースがグラウンド電位となるノードに電氣的に接続され、ドレインがNMOSトランジスタNM2, NM3の各ソースに電氣的に接続される。

【0036】

NMOSトランジスタNM2は、ゲートが第1の入力ノードINNに電氣的に接続され

10

20

30

40

50



、ソースがNMOSトランジスタNM1のドレイン及びNMOSトランジスタNM3のソースに電氣的に接続され、ドレインがPMOSトランジスタPM5のドレイン、第2のアナログ制御ノードACTL\_P及びPMOSトランジスタPM1のゲートに電氣的に接続される。

【0037】

NMOSトランジスタNM3は、ゲートが第2の入力ノードINPに電氣的に接続され、ソースがNMOSトランジスタNM1のドレイン及びNMOSトランジスタNM2のソースに電氣的に接続され、ドレインがPMOSトランジスタPMOS6のドレイン、第1のアナログ制御ノードACTL\_N及びPMOSトランジスタPM2のゲートに電氣的に接続される。

10

【0038】

NMOSトランジスタNM4は、ゲートがPMOSトランジスタPM4のゲートに電氣的に接続され、ソースがグラウンド電位となるノードに電氣的に接続され、ドレインがPMOSトランジスタPM3のドレインに電氣的に接続される。

【0039】

NMOSトランジスタNM5は、ゲートがPMOSトランジスタPM3のゲートに電氣的に接続され、ソースがグラウンド電位となるノードに電氣的に接続され、ドレインがPMOSトランジスタPM4のドレインに電氣的に接続される。

【0040】

PMOSトランジスタPM1は、ゲートがNMOSトランジスタNM2のドレイン、PMOSトランジスタPM5のドレイン及び第2のアナログ制御ノードACTL\_Pに電氣的に接続され、ソースが電源電位となるノードに電氣的に接続され、ドレインがPMOSトランジスタPM3のソースに電氣的に接続される。

20

【0041】

PMOSトランジスタPM2は、ゲートがNMOSトランジスタNM3のドレイン、PMOSトランジスタPM6のドレイン及び第1のアナログ制御ノードACTL\_Nに電氣的に接続され、ソースが電源電位となるノードに電氣的に接続され、ドレインがPMOSトランジスタPM4のソース及び出力ノードCOMPOUTに電氣的に接続される。

【0042】

PMOSトランジスタPM3は、ゲートがNMOSトランジスタNM5のゲートに電氣的に接続され、ソースがPMOSトランジスタPM1のドレインに電氣的に接続され、ドレインがNMOSトランジスタNM4のドレインに電氣的に接続される。

30

【0043】

PMOSトランジスタPM4は、ゲートがNMOSトランジスタNM4のゲートに電氣的に接続され、ソースがPMOSトランジスタPM2のドレイン及び出力ノードCOMPOUTに電氣的に接続され、ドレインがNMOSトランジスタNM5のドレインに電氣的に接続される。

【0044】

PMOSトランジスタPM5は、ゲートがクロックノードCLKに電氣的に接続され、ソースが電源電位となるノードに電氣的に接続され、ドレインがNMOSトランジスタNM2のドレイン、PMOSトランジスタPM1のゲート及び第2のアナログ制御ノードACTL\_Pに電氣的に接続される。

40

【0045】

PMOSトランジスタPM6は、ゲートがクロックノードCLKに電氣的に接続され、ソースが電源電位となるノードに電氣的に接続され、ドレインがNMOSトランジスタNM3のドレイン、PMOSトランジスタPM2のゲート及び第1のアナログ制御ノードACTL\_Nに電氣的に接続される。

【0046】

オフセット補正アナログ回路14は、比較回路111のオフセット電圧を調整する回路である。より詳細には、オフセット補正アナログ回路14は、オフセット補正制御回路1

50

5 からオフセット制御ノードCTLを介して制御値（デジタルコード）が入力される。オフセット補正アナログ回路14は、供給されたデジタルコードに応じて、比較回路111のオフセット電圧を変化させる回路である。このことから、オフセット補正アナログ回路14は、オフセット補正用のD/A変換回路と表現することもできる。具体的には、オフセット補正アナログ回路14は、容量可変のオフセット調整回路及び容量固定のオフセット調整回路を有する。

#### 【0047】

容量可変のオフセット調整回路は、オフセット補正制御回路15からオフセット制御ノードCTLを介して入力されるデジタルコードに応じて、比較回路111のオフセット電圧を変化させる回路である。具体的には、容量可変のオフセット調整回路は、比較回路111の第2の入力ノードINP（非反転入力（+））側に設けられる。より具体的には、容量可変のオフセット調整回路は、比較回路111の第2のアナログ制御ノードACTL\_Pに接続される。容量可変のオフセット調整回路は、複数の容量素子C1, C2, C3, C4及び複数のスイッチSW1, SW2, SW3, SW4を有する。

10

#### 【0048】

複数の容量素子C1, C2, C3, C4は、比較回路111から供給される電荷を蓄える容量である。4つの容量素子C1, C2, C3, C4には、例えばバイナリの重み付けがされている。一例として、4つの容量素子C1, C2, C3, C4の容量比は、C1 : C2 : C3 : C4 = 8 : 4 : 2 : 1である。具体的には、複数の容量素子C1, C2, C3, C4は、一端が比較回路111のNMOSTランジスタNM3のドレイン及びPMOSTランジスタPM2のゲートに電氣的に接続される。容量素子C1は、他の一端がスイッチSW1に電氣的に接続される。容量素子C2は、他の一端がスイッチSW2に電氣的に接続される。容量素子C3は、他の一端がスイッチSW3に電氣的に接続される。容量素子C4は、他の一端がスイッチSW4に電氣的に接続される。

20

#### 【0049】

複数のスイッチSW1, SW2, SW3, SW4は、複数の容量素子C1, C2, C3, C4と、グラウンド電位となるノード（基準電位が供給される接地線）との電氣的な接続/非接続を切り替えるスイッチである。複数のスイッチSW1, SW2, SW3, SW4の各々は、オフセット制御ノードCTLを介してオフセット補正制御回路15から供給されるデジタルコードの各ビットの値（スイッチング信号）に応じて動作する。具体的には、スイッチSW1は、容量素子C1と接地線との間に設けられ、スイッチング信号SW1に応じて動作する。スイッチSW2は、容量素子C2と接地線との間に設けられ、スイッチング信号SW2に応じて動作する。スイッチSW3は、容量素子C3と接地線との間に設けられ、スイッチング信号SW3に応じて動作する。スイッチSW4は、容量素子C4と接地線との間に設けられ、スイッチング信号SW4に応じて動作する。複数のスイッチSW1, SW2, SW3, SW4としては、例えば各制御ノード（ゲート）がオフセット制御ノードCTLに接続されるMOSTランジスタが使用可能である。

30

#### 【0050】

容量固定のオフセット調整回路は、比較回路111の第1の入力ノードINN（反転入力（-））側に設けられる。具体的には、容量固定のオフセット調整回路は、比較回路111の第1のアナログ制御ノードACTL\_Nに接続される。容量固定のオフセット調整回路は、容量素子C5を有する。容量素子C5は、比較回路111から供給される電荷を蓄える容量である。具体的には、容量素子C5は、一端が比較回路111のNMOSTランジスタNM2のドレイン及びPMOSTランジスタPM1のゲートに電氣的に接続され、他の一端がグラウンド電位となるノードに電氣的に接続される。

40

#### 【0051】

ここで、実施形態に係るオフセット補正制御回路15について、より詳細に説明する。図3は、図1のオフセット補正制御回路15の構成の一例を示す図である。

#### 【0052】

図1に示すように、オフセット補正制御回路15は、オフセット可変比較回路11の出

50

力ノードCOMPOUT及びオフセット制御ノードCTLに電氣的に接続される。また、オフセット補正制御回路15には、A/D変換制御回路18から制御信号が入力される。

【0053】

オフセット補正制御回路15は、オフセット補正アナログ回路14による増幅動作の調整量を決定する回路である。より詳細には、オフセット補正制御回路15は、オフセット補正動作の制御値(デジタルコード)を決定し、決定されたデジタルコードをオフセット補正アナログ回路14に供給する回路である。具体的には、オフセット補正制御回路15は、図3に示すように、クロック生成回路151、逐次比較レジスタ152及び出力レジスタ153を有する。

【0054】

クロック生成回路151には、A/D変換制御回路18からクロック(制御信号) 0, 1(11, 12, 13, 14)が入力される。クロック生成回路151は、入力されたクロック0, 1に応じてクロックを生成し、生成されたクロックを逐次比較レジスタ152又は出力レジスタ153に供給する回路である。具体的には、クロック生成回路151は、複数の出力ノードを有し、複数の出力ノードは、逐次比較レジスタ152の複数の入力ノード及び出力レジスタ153に電氣的に接続される。

【0055】

逐次比較レジスタ152は、クロック生成回路151から供給されたクロックに同期して、オフセット可変比較回路11の出力ノードCOMPOUTから出力された比較結果に応じて上位ビットから順に値を決定していく逐次比較制御を行う回路である。具体的には、逐次比較レジスタ152は、オフセット可変比較回路11の出力ノードCOMPOUT、クロック生成回路151の複数の出力ノード及び出力レジスタ153の複数の入力ノードに電氣的に接続される。

【0056】

出力レジスタ153は、逐次比較レジスタ152の各段のレジスタから出力された複数のビット値やオフセット補正アナログ回路14に供給するデジタルコード(制御値)の初期値を保持する回路である。また、出力レジスタ153は、クロック生成回路151から供給されたクロックに同期して、保持された複数のビット値(デジタルコード)をオフセット補正アナログ回路14に供給する回路である。具体的には、出力レジスタ153は、逐次比較レジスタ152の複数の出力ノード、クロック生成回路151及びオフセット補正アナログ回路14の複数のオフセット制御ノードCTLに電氣的に接続される。

【0057】

ここで、実施形態に係るA/D変換回路10の動作の一例について説明する。図4は、図1のA/D変換回路10の動作タイミングの一例を示す図である。図4には、実動作時における、A/D変換の複数のサイクルのうちの1つのサイクル1が例示されている。各サイクルは、サンプリング期間と、変換期間とを含む。

【0058】

以下、A/D変換回路10のA/D変換制御回路18が4ビットの逐次比較レジスタを有する場合を例として説明する。この場合、出力レジスタ153からオフセット補正アナログ回路14に供給されるデジタルコード(制御値)は、4bitのコードであり、4つの容量素子C1, C2, C3, C4に接続される4つのスイッチSW1, SW2, SW3, SW4のオン/オフ状態を示すものとする。ここで、図2に示す例では、4つの容量素子C1, C2, C3, C4は、4つのスイッチSW1, SW2, SW3, SW4がオン状態であるときに電荷を蓄えらる。

【0059】

なお、デジタルコードのビット数、すなわち、オフセット補正アナログ回路14によるオフセット電圧の調整階調は、要求されるオフセット補正の分解能(精度)や補正可能な電圧幅に応じて適宜設定され得る。ここで、デジタルコード(制御値)は、オフセット補正アナログ回路14によるオフセット電圧の調整階調に対応するビット数を有するとも表現できる。

10

20

30

40

50

## 【 0 0 6 0 】

まず、サンプリング期間（図 4 の  $t_1 \sim t_2$  ,  $t_3 \sim$ ）における動作について説明する。

## 【 0 0 6 1 】

タイミング  $t_1$  において、A/D変換が開始され、入力信号 A I N のサンプリングが開始される。具体的には、A/D変換制御回路 1 8 は、ハイレベルのスイッチング信号 S S W を生成し、スイッチ S S W の制御ノードに供給する。スイッチ S S W は、供給されたスイッチング信号 S S W に応じてオフ状態からオン状態へ遷移する。容量素子 C S 1 には、スイッチ S S W がオン状態である期間に、入力信号 A I N が入力され、サンプリング電圧が充電される。

10

## 【 0 0 6 2 】

また、タイミング  $t_1$  において、オフセット補正動作が開始される。具体的には、A/D変換制御回路 1 8 は、ハイレベルのスイッチング信号 C S W N を生成し、スイッチ C S W N の制御ノードに供給する。スイッチ C S W N は、供給されたスイッチング信号 C S W N に応じてオフ状態からオン状態へ遷移する。また、A/D変換制御回路 1 8 は、ハイレベルのスイッチング信号 C S W P を生成し、スイッチ C S W P の制御ノードに供給する。スイッチ C S W P は、供給されたスイッチング信号 C S W P に応じてオフ状態からオン状態へ遷移する。電圧生成回路 1 2 は、スイッチ C S W N , C S W P を介して、容量素子 C S 1 , C S 2 の逆極性側、すなわちオフセット可変比較回路 1 1 の入力ノード I N N , I N P にオフセット補正用の所定の電圧を印加する。2つの容量素子 C S 1 , C S 2 には、電圧生成回路 1 2 から供給されたオフセット補正用の所定の電圧が充電される。このようにして、オフセット可変比較回路 1 1 の2つの入力ノード I N N , I N P は、サンプリング期間中に等電位になる。

20

## 【 0 0 6 3 】

なお、オフセット補正用の所定の電圧としては、例えば中間電圧（コモン電圧）が使用可能であるが、オフセット可変比較回路 1 1 が動作する電圧であって、2つの入力ノード I N N , I N P が等電位となる電圧であればよい。

## 【 0 0 6 4 】

タイミング  $t_1$  に先立って、オフセット補正制御回路 1 5 は、デジタルコードの初期値を用いて、オフセット可変比較回路 1 1 のオフセット電圧の初期値を設定する。デジタルコードの初期値は、例えば出力レジスタ 1 5 3 に保持される。デジタルコードの初期値としては、例えばセンター値「1 0 0 0 [ b i n ]」が使用可能である。ここで、センター値は、オフセット可変比較回路 1 1 がオフセットの無い理想状態であるときに、オフセット補正アナログ回路 1 4 にオフセットを発生させないデジタルコードであるとする。具体的には、A/D変換制御回路 1 8 は、例えばハイレベルのスイッチング信号 S S W に同期してクロック 0 を生成し、オフセット補正制御回路 1 5 のクロック生成回路 1 5 1 に供給する。クロック生成回路 1 5 1 は、入力された制御信号 0 に応じてクロックを生成し、出力レジスタ 1 5 3 に供給する。出力レジスタ 1 5 3 は、供給されたクロックに応じて、保持されたデジタルコードの初期値をオフセット補正アナログ回路 1 4 にオフセット制御ノード C T L を介して供給する。つまり、オフセット補正制御回路 1 5 は、デジタルコードの初期値をオフセット補正アナログ回路 1 4 に設定する。オフセット補正アナログ回路 1 4 では、供給されたデジタルコードの初期値に応じて複数のスイッチ S W 1 , S W 2 , S W 3 , S W 4 の状態が遷移され、デジタルコードの初期値に応じたオフセット電圧の初期値が設定される。

30

40

## 【 0 0 6 5 】

なお、オフセット可変比較回路 1 1 のオフセット電圧の初期値の設定、すなわちクロック 0 の生成は、ハイレベルのスイッチング信号 S S W に同期する場合に限らず、ハイレベルのスイッチング信号 C S W N , C S W P に同期していてもよいし、これらのハイレベルのスイッチング信号が生成された後であってもよい。さらに、サンプリング期間が開始される前に、オフセット可変比較回路 1 1 のオフセット電圧の初期値の設定が行わ

50

れてもよい。

【 0 0 6 6 】

タイミング  $t_{11}$  において、オフセット可変比較回路 11 は、クロック  $\phi_{11}$  に従い、等電位化された 2 つの入力ノード  $I_{NN}$  ,  $I_{NP}$  に関する比較動作を行い、比較結果を出力する。ここで出力される比較結果は、センター値「1000 [bin]」に対応するオフセット可変比較回路 11 のオフセットに従った比較結果である。その後、オフセット補正制御回路 15 は、オフセット可変比較回路 11 の出力結果に基づいて、最上位ビットのデジタルコードを決定する。また、オフセット補正制御回路 15 は、2 ビット目のデジタルコードを「1」に設定する。

【 0 0 6 7 】

タイミング  $t_{12}$  において、オフセット可変比較回路 11 は、クロック  $\phi_{12}$  に従い、タイミング  $t_{11}$  と同様に比較動作を行い、比較結果を出力する。ここで出力される比較結果は、タイミング  $t_{12}$  に先立って 2 ビット目が「1」に設定されたデジタルコードに対応するオフセット可変比較回路 11 のオフセット電圧に従った比較結果である。その後、オフセット補正制御回路 15 は、オフセット可変比較回路 11 の出力結果に基づいて、2 ビット目のデジタルコードを決定する。

【 0 0 6 8 】

タイミング  $t_{13}$  ,  $t_{14}$  におけるオフセット補正動作は、タイミング  $t_{12}$  における補正動作と同様であり、オフセット補正制御回路 15 は、クロック  $\phi_{13}$  ,  $\phi_{14}$  に従う比較動作の比較結果に基づいて、上位ビットから順にデジタルコードを決定する。

【 0 0 6 9 】

なお、オフセット補正動作は、図 4 を参照して上述したように、A/D 変換の要求精度に応じて必要となる長さに設定されたサンプリング期間内に完了させることが好ましい。サンプリング期間内にオフセット補正動作を完了させる場合には、A/D 変換の変換速度を低下させることなく、オフセット補正した A/D 変換が可能となる。このとき、オフセット補正動作が実行される期間であるオフセット調整期間は、サンプリング期間内の期間である。しかしながら、オフセット調整期間は、サンプリング期間内の期間である場合に限らない。つまり、オフセット補正動作が開始されるタイミングは、A/D 変換対象のサンプリング開始と同時のタイミングであってもよいし、サンプリング開始前のタイミングであってもよいし、サンプリング開始後のタイミングであってもよい。また、オフセット補正動作が終了するタイミングは、A/D 変換対象のサンプリング終了と同時のタイミングであってもよいし、サンプリング終了前のタイミングであってもよいし、サンプリング終了後のタイミングであってもよい。ただし、サンプリング開始前及び/又はサンプリング終了後の期間にオフセット補正動作が実行される場合には、A/D 変換の変換速度は、サンプリング期間外のオフセット調整期間の分だけ低下することになる。この場合であっても、サンプリング期間内に含まれるオフセット調整期間の分だけ A/D 変換の変換速度の低下を抑制することができる。換言すれば、サンプリング期間に重複するオフセット調整期間にオフセット補正動作を実行することにより、A/D 変換の変換速度の低下を抑制しつつ、オフセット補正した A/D 変換が可能となる。

【 0 0 7 0 】

次に、オフセット調整期間の後の変換期間（図 4 の  $t_2 \sim t_3$ ）における動作について説明する。

【 0 0 7 1 】

タイミング  $t_2$  において、入力信号  $A_{IN}$  のサンプリングが終了し、サンプリングされた入力信号  $A_{IN}$ （サンプリング電圧）に関する量子化（比較動作）が開始される。具体的には、タイミング  $t_2$  において、A/D 変換制御回路 18 は、ローレベルのスイッチング信号  $SSW$  を生成し、スイッチ  $SSW$  の制御ノードに供給する。スイッチ  $SSW$  は、供給されたスイッチング信号  $SSW$  に応じてオン状態からオフ状態へ遷移する。その後、A/D 変換制御回路 18 は、クロック  $\phi_2$  を生成し、サンプリング電圧に関する逐次比較動作を開始する。図 4 に示す例では、4 つのクロック  $\phi_{21}$  ,  $\phi_{22}$  ,  $\phi_{23}$  ,  $\phi_{24}$

10

20

30

40

50

が、4つのタイミング  $t_{21}$  ,  $t_{22}$  ,  $t_{23}$  ,  $t_{24}$  において、4ビットの逐次比較レジスタに供給される場合が示されている。なお、A/D変換制御回路18は、4つのタイミング  $t_{21}$  ,  $t_{22}$  ,  $t_{23}$  ,  $t_{24}$  に先立って、D/A変換回路17に制御信号を供給し、制御信号に応じた基準電圧を生成させる。また、A/D変換制御回路18は、ハイレベルのスイッチング信号 DSWを生成し、スイッチDSWの制御ノードに供給することにより、スイッチDSWをオフ状態からオン状態へ遷移させ、生成された基準電圧を容量素子CS1に供給する。このようにして、図1に示すオフセット可変比較回路11では、サンプリング電圧及び基準電圧の和と、参照電圧(グラウンド電位)とを逐次比較し、A/D変換された入力信号AIN(デジタル信号DOU T)を出力する。その後、タイミング  $t_3$  において、次のサイクルが開始される。

10

#### 【0072】

このように、オフセット補正制御回路15は、オフセット可変比較回路11の出力ノードCOMPOUTからの出力(2つの入力ノードが等電位であるときの比較結果)の値から、オフセット可変比較回路11のオフセットが最小となるデジタルコードを、上位ビットから逐次比較動作によりサーチし、決定する。換言すれば、オフセット補正制御回路15は、デジタルコードのビット数に応じた回数の比較動作をオフセット可変比較回路11に実行させる。図2に示すように4bitでオフセット補正アナログ回路14及びオフセット補正制御回路15が構成される場合、オフセット補正用のデジタルコードは、4回の比較動作により決定することができる。

#### 【0073】

なお、実施形態に係るオフセット補正動作は、オフセット可変比較回路の前段にプリアンプを設け、サンプリング期間中にプリアンプのオフセットをオートゼロ動作により補正し、比較動作時にプリアンプの増幅効果によって後段の比較回路のオフセットをシステム全体として小さくする、というアナログ動作によるオートゼロ手法に対し、プリアンプを設けず、比較回路のオフセットに関してデジタル動作によるオートゼロを行う、ということに相当すると表現できる。

20

#### 【0074】

以上説明したように、実施形態に係るA/D変換回路10は、A/D変換対象のサンプリング期間に重複するオフセット調整期間にオフセット可変比較回路11のオフセット電圧をデジタル値で制御することにより、オフセット可変比較回路11のオフセットを補正するオフセット補正制御回路15を備える。換言すれば、実施形態に係るA/D変換回路10は、A/D変換対象のサンプリング期間に重複するオフセット調整期間にオフセット可変比較回路11のオフセット電圧をデジタル値で制御することにより、オフセット可変比較回路11のオフセットを補正する。より好ましくは、実施形態に係るA/D変換回路10は、A/D変換対象のサンプリング期間内のオフセット調整期間にオフセット可変比較回路11のオフセット電圧をデジタル値で制御することにより、オフセット可変比較回路11のオフセットを補正する。この構成/方法によれば、高精度、かつ、高速なA/D変換が実現される。

30

#### 【0075】

より具体的には、この構成/方法によれば、オフセット可変比較回路11のオフセット電圧がデジタル値で制御されることから、プリアンプを用いるA/D変換と比較して、低消費電力で高速なA/D変換が実現できる。

40

#### 【0076】

また、この構成/方法によれば、決定されたデジタルコードは、例えばオフセット補正制御回路15の出力レジスタ153等に保持しておくだけでよい。つまり、A/D変換結果から予め設定されたオフセット値を減算する処理は不要である。このため、減算処理が要求されるA/D変換と比較して、高速なA/D変換が実現できる。

#### 【0077】

また、この構成/方法によれば、A/D変換の実動作時にオフセット補正動作が行われることから、A/D変換の変換動作は1回で済む。つまり、実動作時のA/D変換に先立

50

って、基準とする電圧のA/D変換を行ってオフセット値を予め求めるといった2回のA/D変換は不要である。このため、実動作時のA/D変換及び基準とする電圧のA/D変換が要求されるA/D変換と比較して、簡易に高速なA/D変換が実現できる。

【0078】

また、この構成/方法によれば、A/D変換の実動作時にオフセット補正動作が行われることから、例えば温度や電圧などの使用環境の変化などによるオフセットの変動も補正できる。オフセット変動の補正は、A/D変換の変換精度の劣化の抑制に寄与する。このため、予め設定されたオフセット値の減算処理を行うA/D変換と比較して、高精度なA/D変換が実現できる。

【0079】

なお、デジタルコードのビット数、すなわち、オフセット補正アナログ回路14によるオフセット電圧の調整階調は、要求されるオフセット補正の分解能(精度)やレンジに応じて適宜設定され得る。

【0080】

例えば、上記実施形態では、オフセット補正アナログ回路14の容量可変のオフセット調整回路が4つの容量素子を有する場合(2の4乗の調整階調)を例として説明したが、これに限らない。容量可変のオフセット調整回路が有する容量素子の数は、1つであってもよいし、3つ以下の複数の数であってもよいし、5つ以上の複数の数であってもよい。

【0081】

例えば、上記実施形態では、オフセット可変比較回路11の比較回路111の第2の入力ノードINP側(非反転入力ノード(+))側にバイナリの重み付けがされた4つの容量素子C1, C2, C3, C4、すなわち容量可変のオフセット調整回路(オフセット補正アナログ回路14)を設ける場合を例として説明したが、これに限らない。オフセット補正アナログ回路14の容量可変のオフセット調整回路は、オフセット可変比較回路11の比較回路111の第1の入力ノードINN側(反転入力ノード(-))側に設けられていてもよいし、これらの両方に設けられていてもよい。図5は、図1のオフセット可変比較回路11の構成の別の一例を示す図である。図5に示すオフセット可変比較回路11は、第1の入力ノードINN、第2の入力ノードINP、クロック入力ノードCLK、出力ノードCOMPOUT、比較回路111-1、オフセット補正アナログ回路14を有する。ここで、比較回路111-1は比較回路111の別の一例であり、以下の説明において、比較回路111-1と比較回路111とを区別せずに、比較回路111と記載する場合もある。

【0082】

比較回路111-1は、2つの入力ノードINN, INP、出力ノードCOMPOUT及び2つのオフセット調整回路14-1, 14-2に電氣的に接続される。より具体的には、比較回路111-1は、複数のNMOSトランジスタNM11, NM12, NM13, NM14, NM15、複数のPMOSトランジスタPM11, PM12を有する。

【0083】

NMOSトランジスタNM11は、ゲートがクロック入力ノードCLKに電氣的に接続され、ソースがグラウンド電位となるノードに電氣的に接続され、ドレインがNMOSトランジスタNM12, NM13の各ソースに電氣的に接続される。

【0084】

NMOSトランジスタNM12は、ゲートが第2の入力ノードINPに電氣的に接続され、ソースがNMOSトランジスタNM11のドレインに電氣的に接続され、ドレインがNMOSトランジスタNM14のソース及び第1のアナログ制御ノードACTL\_Nに電氣的に接続される。

【0085】

NMOSトランジスタNM13は、ゲートが第1の入力ノードINNに電氣的に接続され、ソースがNMOSトランジスタNM11のドレインに電氣的に接続され、ドレインがNMOSトランジスタNM15のソース及び第2のアナログ制御ノードACTL\_Pに電

10

20

30

40

50

氣的に接続される。

【 0 0 8 6 】

NMOSトランジスタNM14は、ゲートがPMOSトランジスタPM11のゲート、NMOSトランジスタNM15のドレイン、PMOSトランジスタPM12のドレイン及び出力ノードCOMPOUTに電氣的に接続され、ソースがNMOSトランジスタNM12のドレイン及び第1のアナログ制御ノードACTL\_Nに電氣的に接続され、ドレインがPMOSトランジスタPM11のドレイン、PMOSトランジスタPM12のゲート及びNMOSトランジスタNM15のゲートに電氣的に接続される。

【 0 0 8 7 】

NMOSトランジスタNM15は、ゲートがPMOSトランジスタPM12のゲート、NMOSトランジスタNM14及びPMOSトランジスタPM11の各ドレインに電氣的に接続され、ソースがNMOSトランジスタNM13のドレイン及び第2のアナログ制御ノードACTL\_Pに電氣的に接続され、ドレインがPMOSトランジスタPM12のドレイン、PMOSトランジスタPM11のゲート、NMOSトランジスタNM14のゲート及び出力ノードCOMPOUTに電氣的に接続される。

10

【 0 0 8 8 】

PMOSトランジスタPM11は、ゲートがNMOSトランジスタNM14のゲート、PMOSトランジスタPM12のドレイン、NMOSトランジスタNM15のドレイン及び出力ノードCOMPOUTに電氣的に接続され、ソースが電源電位となるノードに電氣的に接続され、ドレインがNMOSトランジスタNM14のドレイン、PMOSトランジスタPM12のゲート及びNMOSトランジスタNM15のゲートに電氣的に接続される。

20

【 0 0 8 9 】

PMOSトランジスタPM12は、ゲートがNMOSトランジスタNM15のゲート、PMOSトランジスタPM11のドレイン及びNMOSトランジスタNM14のドレインに電氣的に接続され、ソースが電源電位となるノードに電氣的に接続され、ドレインがNMOSトランジスタNM15のドレイン、PMOSトランジスタPM11のゲート、NMOSトランジスタNM14のゲート及び出力ノードCOMPOUTに電氣的に接続される。

【 0 0 9 0 】

オフセット補正アナログ回路14は、第1のオフセット調整回路14-1及び第2のオフセット調整回路14-2を有する。第1のオフセット調整回路14-1及び第2のオフセット調整回路14-2は、容量可変のオフセット調整回路であり、例えば図2の容量可変のオフセット調整回路と同様である。具体的には、第1のオフセット調整回路14-1及び第2のオフセット調整回路14-2は、オフセット補正制御回路15からオフセット制御ノードCTLを介して入力されるデジタルコードに応じて、比較回路111-1のオフセット電圧を変化させる回路である。

30

【 0 0 9 1 】

第1のオフセット調整回路14-1は、比較回路111-1の第2の入力ノードINP（非反転入力（+））側に設けられる。第1のオフセット調整回路14-1は、複数の容量素子C1-1、C2-1、C3-1、C4-1及び複数のスイッチSW1-1、SW2-1、SW3-1、SW4-1を有する。複数の容量素子C1-1、C2-1、C3-1、C4-1は、例えば図2のバイナリの重み付けがされた4つの容量素子C1、C2、C3、C4と同様であり、比較回路111-1から供給される電荷を蓄える容量である。複数の容量素子C1-1、C2-1、C3-1、C4-1は、一端が第1のアナログ制御ノードACTL\_Nに電氣的に接続される。容量素子C1-1の他の一端は、スイッチSW1-1を介してグラウンド電位となるノード（接地線）に電氣的に接続される。容量素子C2-1の他の一端は、スイッチSW2-1を介してグラウンド電位となるノード（接地線）に電氣的に接続される。容量素子C3-1の他の一端は、スイッチSW3-1を介してグラウンド電位となるノード（接地線）に電氣的に接続される。容量素子C4-1の他

40

50



の一端は、スイッチSW4-1を介してグラウンド電位となるノード（接地線）に電氣的に接続される。複数のスイッチSW1-1, SW2-1, SW3-1, SW4-1は、オフセット制御ノードCTLを介して供給されるスイッチング信号（デジタルコードの対応するビット値）に応じて動作するスイッチであり、例えば図2の複数のスイッチSW1, SW2, SW3, SW4と同様である。スイッチSW1-1は、スイッチング信号SW1-1に応じて動作する。スイッチSW2-1は、スイッチング信号SW2-1に応じて動作する。スイッチSW3-1は、スイッチング信号SW3-1に応じて動作する。スイッチSW4-1は、スイッチング信号SW4-1に応じて動作する。なお、複数のスイッチSW1-1, SW2-1, SW3-1, SW4-1としては、例えば各制御ノード（ゲート）がオフセット制御ノードCTLに接続されるMOSトランジスタが使用可能である。

10

#### 【0092】

第2のオフセット調整回路14-2は、比較回路111-1の第1の入力ノードINN（反転入力（-））側に設けられる。第2のオフセット調整回路14-2は、複数の容量素子C1-2, C2-2, C3-2, C4-2及び複数のスイッチSW1-2, SW2-2, SW3-2, SW4-2を有する。ここで、第2のオフセット調整回路14-2は、第1のオフセット調整回路14-1と同様である。複数の容量素子C1-2, C2-2, C3-2, C4-2は、複数の容量素子C1-1, C2-1, C3-1, C4-1と同様であり、比較回路111-1から供給される電荷を蓄える容量である。複数のスイッチSW1-2, SW2-2, SW3-2, SW4-2は、複数のスイッチSW1-1, SW2-1, SW3-1, SW4-1と同様であり、オフセット制御ノードCTLを介して供給されるスイッチング信号（デジタルコードの対応するビット値）に応じて動作するスイッチである。複数の容量素子C1-2, C2-2, C3-2, C4-2は、一端が第2のアナログ制御ノードACTL\_Pに電氣的に接続される。容量素子C1-2の他の一端は、スイッチング信号/SW1-2に応じて動作するスイッチSW1-2を介して、グラウンド電位となるノード（接地線）に電氣的に接続される。容量素子C2-2の他の一端は、スイッチング信号/SW2-2に応じて動作するスイッチSW2-2を介して、グラウンド電位となるノード（接地線）に電氣的に接続される。容量素子C3-2の他の一端は、スイッチング信号/SW3-2に応じて動作するスイッチSW3-2を介して、グラウンド電位となるノード（接地線）に電氣的に接続される。容量素子C4-2の他の一端は、スイッチング信号/SW4-2に応じて動作するスイッチSW4-2を介して、グラウンド電位となるノード（接地線）に電氣的に接続される。

20

30

#### 【0093】

なお、オフセット補正動作において、第1のオフセット調整回路14-1及び第2のオフセット調整回路14-2のためのデジタルコード（制御値）としては、2つのオフセット調整回路のうち的一方は上述したように決定されたデジタルコードが使用され、他の一方は上述したように決定されたデジタルコードの逆相のデジタルコードが使用されればよい。具体的には、第1の入力ノードINN側に設けられる容量可変のオフセット調整回路のデジタルコード（/SW1-1, /SW2-1, /SW3-1, /SW4-1）は、上述したように決定された第2の入力ノードINP側の容量可変のオフセット調整回路のデジタルコード（SW1-1, SW2-1, SW3-1, SW4-1）の逆相である。この場合、容量可変のオフセット調整回路が比較回路111-1のいずれか一方の側に設けられる場合と同じ回数の比較動作によりデジタルコードを決定することができる。なお、図2の比較回路111の両側に容量可変のオフセット調整回路が設けられる場合も同様である。もちろん、両側のオフセット調整回路が少なくとも1つのデジタルコードの各ビットの値によって独立に制御される場合もあり得る。換言すれば、本実施形態に係る技術は、逆相のデジタルコードが使用される場合に限定されない。

40

#### 【0094】

このような構成であっても、上述の実施形態と同様の効果が得られる。また、容量可変

50

のオフセット調整回路が比較回路 1 1 1 の両側に設けられる場合には、オフセット補正において補正可能なオフセット電圧のレンジを大きくすることができる。

【 0 0 9 5 】

なお、上記実施形態では、オフセット可変比較回路 1 1 のオフセット電圧を変更する方式として、複数のスイッチ（複数の MOS トランジスタ）で複数の容量素子の使用 / 不使用を制御することにより、比較回路 1 1 1 の負荷容量を調整（容量補償）する方式を例として説明したが、これに限らない。以下に示す各方式が適宜利用可能である。また、以下に示す各方式を適宜組み合わせることもできる。

【 0 0 9 6 】

例えば、MOS トランジスタを可変容量として用いて、バイナリの重み付けがされた複数の MOS トランジスタを有するオフセット補正アナログ回路 1 4 により比較回路 1 1 1 の負荷容量を調整（容量補償）する方式も使用可能である。

10

【 0 0 9 7 】

また、例えば、少なくとも 1 つの可変容量の MOS トランジスタと、当該 MOS トランジスタにバイアス電圧を印加するバイアス生成回路とを有するオフセット補正アナログ回路 1 4 により比較回路 1 1 1 の負荷容量を調整（容量補償）する方式も使用可能である。バイアス生成回路は、決定された制御値（デジタルコード）に応じた容量になるようにバイアス電圧を発生し、MOS トランジスタの容量を変更する。

【 0 0 9 8 】

なお、上記実施形態では、オフセット可変比較回路 1 1 のオフセット電圧を変更する方式として、オフセット補正アナログ回路 1 4 により比較回路 1 1 1 の負荷容量を調整（容量補償）する方式を例として説明したが、これに限らない。

20

【 0 0 9 9 】

例えば、2 つの入力ノード  $I_{NN}$  ,  $I_{NP}$  のうちの少なくとも 1 つにバイアス電圧（ボディ電圧）を制御値（デジタルコード）に応じて印加するバイアス生成回路を有するオフセット補正アナログ回路 1 4 により比較回路 1 1 1 に流れる電流量を調整（電流補償）する方式も使用可能である。

【 0 1 0 0 】

また、例えば、比較回路 1 1 1 の入力差動対（2 つの入力ノード  $I_{NN}$  ,  $I_{NP}$  に接続される NMOS トランジスタ  $NM2$  ,  $NM3$  又は NMOS トランジスタ  $NM12$  ,  $NM13$ ）のうちの少なくとも 1 つに並列に接続されるトランジスタと、当該トランジスタのゲート電圧を制御値（デジタルコード）に応じて印加するバイアス生成回路とを有するオフセット補正アナログ回路 1 4 により比較回路 1 1 1 に流れる電流量を調整（電流補償）する方式も使用可能である。

30

【 0 1 0 1 】

また、例えば、複数の容量素子に制御値（デジタルコード）に応じて電荷を注入するオフセット補正アナログ回路 1 4 により、複数の容量素子に関するバイナリの重み付けを調整（電荷補償）する方式も使用可能である。

【 0 1 0 2 】

なお、オフセット補正アナログ回路 1 4 の容量可変のオフセット調整回路において、複数の容量素子の容量は、バイナリの重み付けに限らない。要求されるオフセット補正の分解能（精度）やレンジに応じて、複数の容量を有する複数の容量素子が適宜使用されればよい。例えば、オフセット補正のレンジのうちの一部のレンジに関して分解能を高く（調整階調を大きく）したい場合には、当該一部のレンジに対応する複数の容量素子間の容量の差を小さく設定すればよい。

40

【 0 1 0 3 】

また、オフセット補正アナログ回路 1 4 の容量可変のオフセット調整回路において、複数の容量素子のうちの少なくとも 2 つの容量素子の重み付けが同一に設定されていてもよい。例えば、容量可変のオフセット調整回路の有するすべての容量素子が同一の容量であってもよく、この場合、決定されたデジタルコードに応じた数の容量素子が使用され

50

ばよい。また、例えば、容量可変のオフセット調整回路の有する一部の容量素子が同一の容量であってもよい。同一の容量とする容量素子は、要求されるオフセット補正の分解能（精度）やレンジに応じて決定されればよい。例えば、オフセット補正のレンジのうちの一部のレンジに関して分解能を高く（調整階調を大きく）したい場合には、当該一部のレンジに対応する複数の容量素子を同一の容量とすればよい。

#### 【 0 1 0 4 】

なお、上記実施形態では、等電位化回路として、スイッチ C S W N , C S W P を介して 2 つの入力ノード I N N , I N P に接続される電圧生成回路 1 2 を例示したが、これに限らない。等電位化回路としては、第 1 の入力ノード I N N 及び第 2 の入力ノード I N P に電氣的に接続され、オフセット補正制御回路 1 5 又は A / D 変換制御回路 1 8 から供給される制御信号に応じて動作するスイッチも使用可能である。この場合、例えば、電圧生成回路 1 2 は、スイッチ C S W N , C S W P のいずれか一方を介して、2 つの入力ノード I N N , I N P のいずれか一方に接続されていてもよい。

10

#### 【 0 1 0 5 】

なお、上記実施形態では、2 つの入力ノード I N N , I N P に印加されるオフセット補正用の所定の電圧が共通である場合を例として説明したが、これに限らない。例えば、2 つの入力ノード I N N , I N P に要求される変換精度から許容される範囲で互いに異なる電圧が印加されてもよい。また、例えば、2 つの入力ノード I N N , I N P に所定の電位差を与えた状態で上述のオフセット補正動作を実施すれば、A / D 変換結果に所定の電位差に応じた任意のバイアス（オフセット）を与えることも可能である。

20

#### 【 0 1 0 6 】

なお、上記実施形態では、逐次比較型の A / D 変換回路を例示して説明したが、これに限らない。実施形態に係る技術は、例えば並列比較型、追従比較型、型など、他の型の A / D 変換回路であっても適用可能である。

#### 【 0 1 0 7 】

なお、上記実施形態に係る A / D 変換方法は、Read Only Memory ( R O M ) や Random Access Memory ( R A M ) 等のメモリと、Central Processing Unit ( C P U ) 等のプロセッサとを有するコンピュータにおいて、メモリに展開されたプログラムをプロセッサが実行することにより実現されてもよい。

#### 【 0 1 0 8 】

##### [ 適用例 ]

図 6 は、図 1 の A / D 変換回路 1 0 を有する半導体装置 1 の構成の一例を示す図である。図 6 に示すように、半導体装置 1 は、A / D 変換回路 1 0、センサ回路 2 0 及び処理回路 3 0 を有する。

30

#### 【 0 1 0 9 】

センサ回路 2 0 は、スイッチ S S W を介して、容量素子 C S 1 にアナログ信号 A I N を供給する回路である。具体的には、センサ回路 2 0 の出力ノードは、A / D 変換回路 1 0 の入力ノードに電氣的に接続される。センサ回路 2 0 としては、例えば、温度センサ、湿度センサ、輝度センサなど、計測値をアナログ信号として出力する各種の回路 / 装置が使用可能である。なお、センサ回路 2 0 に代えて、取得 / 受信した値に応じてアナログ信号を出力する各種の回路 / 装置が使用されてもよい。

40

#### 【 0 1 1 0 】

処理回路 3 0 には、A / D 変換回路 1 0 の出力するデジタル信号 D O U T が入力される。処理回路 3 0 は、入力されたデジタル信号 D O U T に関する信号処理を実行する回路である。具体的には、処理回路 3 0 の入力ノードは、A / D 変換回路 1 0 の出力ノードに電氣的に接続される。処理回路 3 0 としては、Application Specific Integrated Circuit ( A S I C ) や Field Programmable Gate Array ( F P G A ) などのデジタル信号を入力可能な各種の論理回路が使用可能である。なお、処理回路 3 0 として、R O M や R A M 等のメモリに展開されたプログラムを実行する C P U 等のプロセッサが使用されてもよい。

50

【0111】

以上説明した少なくとも1つの実施形態によれば、A/D変換の実動作時にオフセット可変比較回路11のオフセット電圧をデジタル値で制御することにより、比較回路111(コンパレータ)のオフセットを補正するA/D変換回路、半導体装置及びA/D変換方法を提供することができる。

【0112】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

10

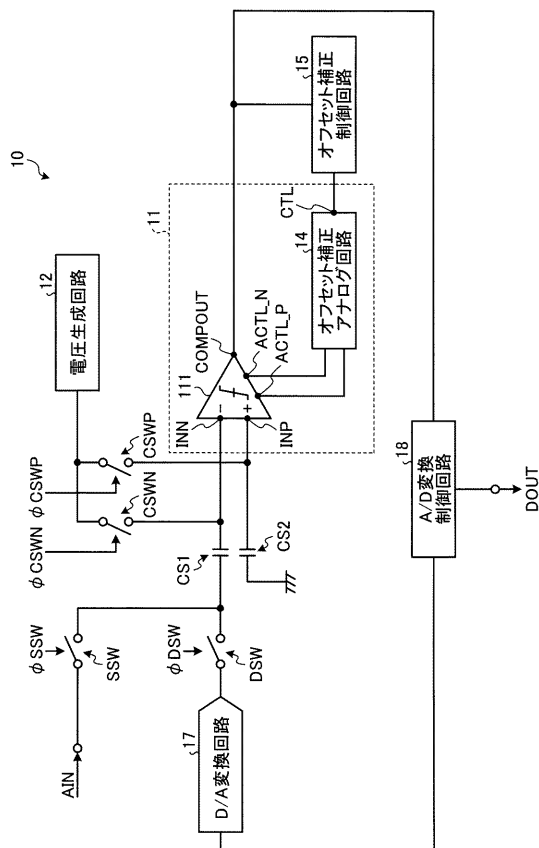
【符号の説明】

【0113】

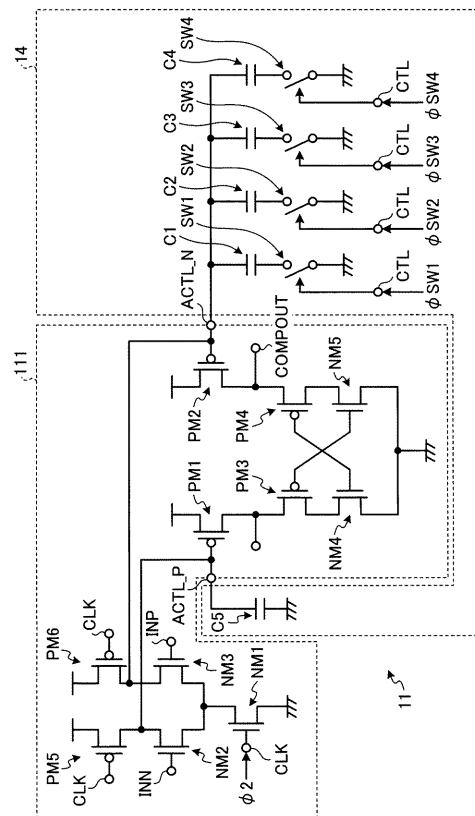
1 半導体装置、10 A/D変換回路、20 センサ回路、30 処理回路、11 オフセット可変比較回路、12 電圧生成回路(等電位化回路)、14, 14-1, 14-2 オフセット補正アナログ回路(オフセット調整回路)、15 オフセット補正制御回路(第1の制御回路)、17 A/D変換用のD/A変換回路、18 A/D変換制御回路(第2の制御回路)、111, 111-1 比較回路、151 クロック生成回路、152 逐次比較レジスタ、153 出力レジスタ、ACTL\_N 第1のアナログ制御ノード、ACTL\_P 第2のアナログ制御ノード、CS1 容量素子(第1の容量素子)、CS2 容量素子(第2の容量素子)、CSWN スイッチ(第1のスイッチ)、CSWP スイッチ(第2のスイッチ)、CTL オフセット制御ノード、COMPOUT 出力ノード、INN 第1の入力ノード、INP 第2の入力ノード。

20

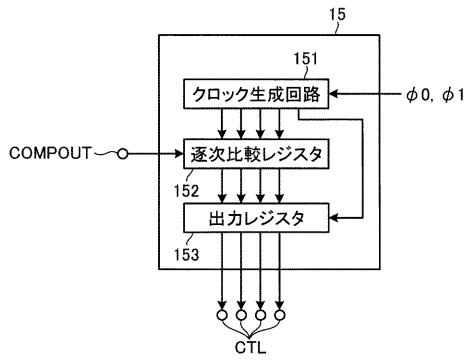
【図1】



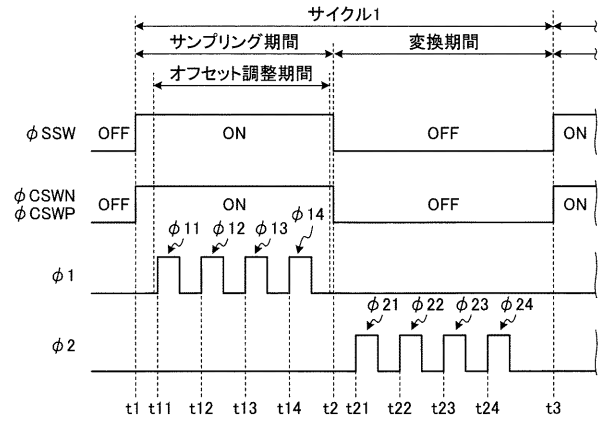
【図2】



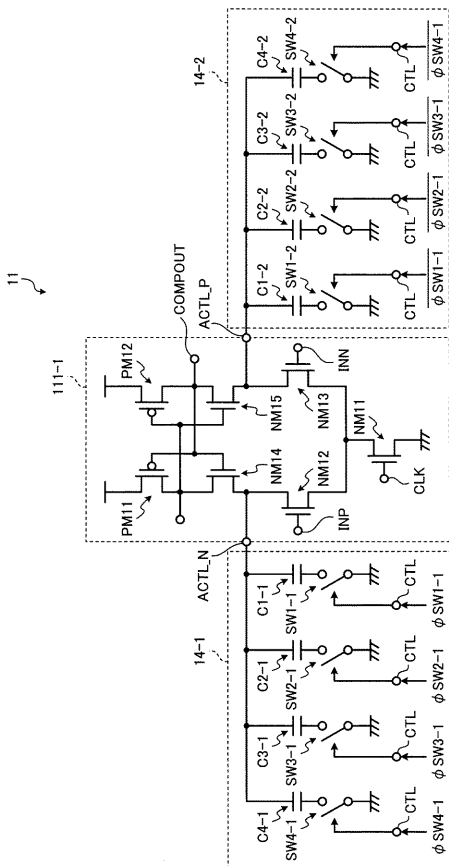
【図3】



【図4】



【図5】



【図6】

