

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-13342
(P2020-13342A)

(43) 公開日 令和2年1月23日(2020.1.23)

(51) Int. Cl.		F I		テーマコード (参考)
G06F 21/85	(2013.01)	G06F 21/85		2C061
G03G 21/00	(2006.01)	G03G 21/00	388	2H270
B41J 29/38	(2006.01)	B41J 29/38	Z	

審査請求 未請求 請求項の数 5 O L (全 12 頁)

(21) 出願番号	特願2018-135220 (P2018-135220)	(71) 出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成30年7月18日 (2018. 7. 18)	(74) 代理人	100076428 弁理士 大塚 康德
		(74) 代理人	100115071 弁理士 大塚 康弘
		(74) 代理人	100112508 弁理士 高柳 司郎
		(74) 代理人	100116894 弁理士 木村 秀二
		(74) 代理人	100130409 弁理士 下山 治
		(74) 代理人	100134175 弁理士 永川 行光

最終頁に続く

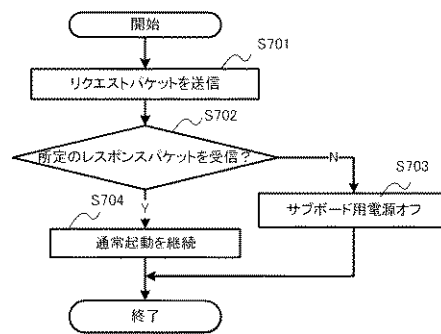
(54) 【発明の名称】 情報処理装置とその制御方法、及びプログラム

(57) 【要約】

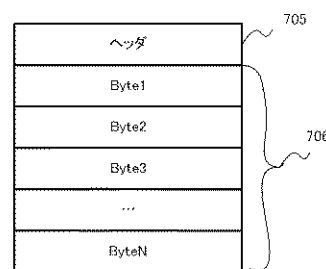
【課題】コントローラボード上のソケットを利用した攻撃が存在しており、例えば、コントローラボードのデバッグソケットに攻撃用ハードウェアが接続されると、そのハードウェアにより、不正に情報が取得され、コントローラボードの情報を改ざんされる。

【解決手段】画像処理回路と直列にオプションのハードウェアを装着できる情報処理装置であって、画像処理回路と前記オプションのハードウェアとを含む回路列の前記オプションのハードウェア側に所定のパケットを送信し、その所定のパケットに対する応答パケットが、前記所定のパケットに対応する応答パケットでないと判定すると、オプションのハードウェアへの電源供給を停止する。

【選択図】 図7



(A)



(B)

【特許請求の範囲】**【請求項 1】**

画像処理回路と直列にオプションのハードウェアを装着できる情報処理装置であって、前記画像処理回路と前記オプションのハードウェアとを含む回路列の前記オプションのハードウェア側に所定のパケットを送信する送信手段と、

前記送信手段が送信した前記所定のパケットに対する応答パケットを受信する受信手段と、

前記応答パケットが前記所定のパケットに対応する応答パケットかどうか判定する判定手段と、

前記判定手段が前記応答パケットが前記所定のパケットに対応する応答パケットでないと判定すると、前記オプションのハードウェアへの電源供給を停止するよう制御する制御手段と、

を有することを特徴とする情報処理装置。

10

【請求項 2】

前記所定のパケットは前記画像処理回路を指定する宛先を含み、前記画像処理回路は前記宛先に基づいて自分宛てのパケットであると判定したパケットに対する処理を実行することを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】

前記所定のパケットは日時、機種に基づいて暗号化された付加情報を含み、前記所定のパケットに対応する応答パケットは、前記付加情報を復号した情報を含むことを特徴とする請求項 1 又は 2 に記載の情報処理装置。

20

【請求項 4】

画像処理回路と直列にオプションのハードウェアを装着できる情報処理装置を制御する制御方法であって、

前記画像処理回路と前記オプションのハードウェアとを含む回路列の前記オプションのハードウェア側に所定のパケットを送信する送信工程と、

前記送信工程で送信した前記所定のパケットに対する応答パケットを受信する受信工程と、

前記応答パケットが前記所定のパケットに対応する応答パケットかどうか判定する判定工程と、

前記判定工程で前記応答パケットが前記所定のパケットに対応する応答パケットでないと判定すると、前記オプションのハードウェアへの電源供給を停止するよう制御する制御工程と、

を有することを特徴とする制御方法。

30

【請求項 5】

コンピュータを、請求項 1 乃至 3 のいずれか 1 項に記載の情報処理装置の各手段として機能させるためのプログラム。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、情報処理装置とその制御方法、及びプログラムに関する。

40

【背景技術】**【0002】**

読取装置もしくは外部装置から取得した画像データを処理するための半導体部品をコントローラボード（制御基板）に搭載した画像形成装置が知られている。このような画像形成装置の価格を抑えるために、画像形成装置の機種ごとにコントローラボードを作成するのではなく、コントローラボードの一部の機能を固定せずに、機種に合わせた機能を実現できる部品を搭載できるようにすることが行われている。これにより、一種類のコントローラボードで複数種類の画像形成装置に対応することができる。このような機種に合わせた機能を実現できる部品は、通常、コントローラボード上のソケットに装着されるが、出

50

荷後も交換することができる。例えば特許文献 1 には、情報処理装置上で動作する不正モジュールを特定して無効化する技術が記載されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特許第 5 4 5 3 3 2 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

一方、このようなコントローラボード上のソケットを利用した攻撃が存在しており、例えば、コントローラボードのデバッグソケットにデバッグツールを装着すると、その機器がどのような挙動をしているか容易に解析できる。また、このようなソケットを介してコントローラボードの内部信号も取得できる。よって、このような情報の取得が継続的に実行されると、そのコントローラボードにおける信号パターンが解析でき、その解析結果を用いて、その機器から不正に情報を取得したり、コントローラボードの内の情報を改ざんすることができる。上記特許文献 1 では、不正モジュールによる改ざんを検出して不正モジュールを特定しているが、より簡易的に不正ハードウェア（攻撃用ハードウェア）を検出できる技術が求められていた。

10

【0005】

本発明の目的は、上記従来技術の問題点の少なくとも一つを解決することにある。

20

【0006】

本発明の目的は、攻撃用ハードウェアを検出して、その起動を抑制することができる技術を提供することにある。

【課題を解決するための手段】

【0007】

上記目的を達成するために本発明の一態様に係る情報処理装置は以下のような構成を備える。即ち、

画像処理回路と直列にオプションのハードウェアを装着できる情報処理装置であって、

前記画像処理回路と前記オプションのハードウェアとを含む回路列の前記オプションのハードウェア側に所定のパケットを送信する送信手段と、

30

前記送信手段が送信した前記所定のパケットに対する応答パケットを受信する受信手段と、

前記応答パケットが前記所定のパケットに対応する応答パケットかどうか判定する判定手段と、

前記判定手段が前記応答パケットが前記所定のパケットに対応する応答パケットでないと判定すると、前記オプションのハードウェアへの電源供給を停止するよう制御する制御手段と、を有することを特徴とする。

【発明の効果】

【0008】

本発明によれば、攻撃用ハードウェアを検出して、その起動を抑制することができるという効果がある。

40

【0009】

本発明のその他の特徴及び利点は、添付図面を参照とした以下の説明により明らかになるであろう。なお、添付図面においては、同じ若しくは同様の構成には、同じ参照番号を付す。

【図面の簡単な説明】

【0010】

添付図面は明細書に含まれ、その一部を構成し、本発明の実施形態を示し、その記述と共に本発明の原理を説明するために用いられる。

【図 1】実施形態に係る画像形成装置のハードウェア構成を説明するブロック図。

50

【図2】実施形態に係る制御部のハードウェア構成を説明するブロック図。

【図3】実施形態に係るサブボードにおけるサブCPUと画像処理プロセッサによる画像処理を説明するブロック図。

【図4】画像形成装置に対する典型的な攻撃の一例を説明する図。

【図5】実施形態に係る画像形成装置において攻撃用ハードウェアを検出する構成を説明するブロック図。

【図6】実施形態に係る画像形成装置において攻撃用ハードウェアを検出する方法を説明する図。

【図7】実施形態に係る画像形成装置において攻撃用ハードウェアを検出する方法を説明する図。

10

【図8】通信探知装置（いわゆるスニファ－）型攻撃を対策するための一実施形態を説明する図。

【発明を実施するための形態】

【0011】

以下、添付図面を参照して本発明の実施形態を詳しく説明する。尚、以下の実施形態は特許請求の範囲に係る本発明を限定するものではありません。また本実施形態で説明されている特徴の組み合わせの全てが本発明の解決手段に必須のものとは限らない。ここでは本発明に係る情報処理装置の一実施形態である画像形成装置について説明する。

【0012】

図1は、実施形態に係る画像形成装置100のハードウェア構成を説明するブロック図である。

20

【0013】

スキャナ部102は、原稿の画像を光学的に読み取って、その画像をデジタル画像データに変換する。プリンタ部104は、デジタル画像データに基づいてシートに画像を印刷する。操作部105は、ユーザの操作を受け付けるとともに、ユーザに各種情報を提示する表示部を有し、ユーザインタフェース（UI）を提供している。尚、表示部は、タッチパネル機能を有してもよい。HDD（ハードディスクドライブ）106は、画像データなどの各種データや制御プログラム等を記憶している。FAX（ファクス）部107は、電話回線を介してファクシミリ信号を送受信する。コントローラ（制御部）103は、これらと接続され、各部との間で制御信号などを送受信を行って画像形成装置100でジョブを実行する。また制御部103は、LAN108経由でコンピュータ109との間でデジタル画像データの入出力、ジョブの発行や機器の指示等も行なうことができる。

30

【0014】

スキャナ部102は、原稿束を積載して、逐次、スキャナユニット122に給紙できる原稿給紙ユニット121、原稿をスキャンして得られたデジタル画像データを制御部103に出力するスキャナユニット122を有している。

【0015】

プリンタ部104は、積載されたシート束から一枚ずつ給紙できる給紙ユニット142、給紙されたシートに画像を印刷するマーキングユニット141、印刷されたシートを排紙する排紙ユニット143を有する。またコンピュータ109は、LAN108を経由して制御部103に指示を出してジョブを実行させる。

40

【0016】

この画像形成装置100は多彩なジョブを実行可能である。一例を以下に記載する。

・複写機能

スキャナ部102から得られた画像データをHDD106に記録するとともに、プリンタ部104を使用して印刷を行なう。

・画像送信機能

スキャナ部102から得られた画像データをLAN108を介してコンピュータ109に送信する。

・画像保存機能

50

スキャナ部 102 から得られた画像データを HDD 106 に記録し、必要に応じて画像送信や画像印刷を行なう

・画像印刷機能

コンピュータ 109 から送信された、例えばページ記述言語を解析し、プリンタ部 104 で印刷する。

【0017】

図 2 は、実施形態に係る制御部 103 のハードウェア構成を説明するブロック図である。

【0018】

制御部 103 は、メインボード 200 とサブボード 220 を有している。メインボード 200 はいわゆる汎用的な CPU システムで、ボード全体を制御するメイン CPU 201、ブートプログラムが含まれるブートルーム 202、CPU 201 がワークメモリとして使用するメモリ 203 を有する。更に、メインボード 200 は、外部バスとのブリッジ機能を持つバスコントローラ 204、電源がオフされた場合でも、記憶しているデータが消えない不揮発性メモリ 205、時計機能を有する RTC 211 を有している。更に、HDD 106 へのアクセスを制御するディスクコントローラ 206、半導体デバイスで構成された比較的小容量な不揮発性記憶装置であるフラッシュディスク (SSD 等) 207、USB を制御することが可能な USB コントローラ 209 を有している。このメインボード 200 には、USB メモリ 210、操作部 105、HDD 106 等が接続される。

10

【0019】

サブボード 220 は、比較的小さな汎用サブ CPU のシステムと、画像処理ハードウェアを含んでいる。サブボード 220 は、ボード全体を制御するサブ CPU 221、CPU 221 がワークメモリとして使用するメモリ 223、外部バスとのブリッジ機能を持つバスコントローラ 224、電源がオフされた場合でも、記憶しているデータが消えない不揮発性メモリ 225 を有している。サブボード 220 は、更に、リアルタイムデジタル画像処理を行なう画像処理プロセッサ 227 と、エンジンコントローラ 226 を有する。スキャナ部 102 とプリンタ部 104 は、それぞれエンジンコントローラ 226 を介してデジタル画像データの受け渡しを行なう。FAX 部 107 は、サブ CPU 221 が直接制御する。尚、この図はブロック図であり簡略化している。例えばメイン CPU 201、サブ CPU 221 等には、チップセット、バスブリッジ、クロックジェネレータ等の CPU 周辺ハードウェアが多数含まれているが、これらは簡略化して記載しており、このブロック構成が本発明を制限するものではない。

20

30

【0020】

次に、制御部 103 の動作を、原稿の複写を例に説明する。

【0021】

いまユーザが、操作部 105 から原稿の複写を指示すると、メイン CPU 201 がサブ CPU 221 を介してスキャナ部 102 に原稿の読み取り命令を送る。これによりスキャナ部 102 は、原稿を光学的にスキャンして、その原稿の画像に対応するデジタル画像データを取得し、それをエンジンコントローラ 226 を介して画像処理プロセッサ 227 に入力する。画像処理プロセッサ 227 は、メモリ 223 に DMA 転送でデジタル画像データの一時保存を行なう。メイン CPU 201 は、デジタル画像データがメモリ 223 に一定量、もしくは全て記憶されたことを確認すると、サブ CPU 221 を介してプリンタ部 104 に印刷指示を出力する。このときサブ CPU 221 は、画像処理プロセッサ 227 にメモリ 223 の画像データの読み取りアドレスを教える。これにより、画像処理プロセッサ 227 は、プリンタ部 104 からの同期信号に同期して、メモリ 223 の画像データをエンジンコントローラ 226 を介してプリンタ部 104 に出力する。こうしてプリンタ部 104 により、原稿の画像データに基づく画像が印刷される。

40

【0022】

複数部のコピーを行なう場合、メイン CPU 201 がメモリ 223 の画像データを HDD 106 に保存し、2 部目以降は、スキャナ部 102 から画像データを受け取ることなく

50

プリンタ部 104 により原稿のコピーを行うことができる。

【0023】

図3は、実施形態に係るサブボード220におけるサブCPU221と画像処理プロセッサ227による画像処理を説明するブロック図である。

【0024】

画像処理を司るサブCPU221に対して、画像形成の動作に必要な画像処理CPU301、画像処理CPU(画像処理回路)302、画像処理CPU303、及びショートボード304もしくはオプションCPU305が画像処理バスを介して直列に接続されている。

【0025】

課題でも説明したように、コストダウンのため、一種類のコントローラボードで複数種類の画像形成装置に対応できるようにしている。例えば実施形態では、図3(A)に示すように、サブボード220にショートボード304(電気信号はそのまま通る)が設けられている。これにより、一部の機種に対応するために、このショートボード304の代わりに、図3(B)に示すように、オプションCPU305(追加機能を実行できる)を実装して、その機種に対応する機能を実現することができる。

【0026】

各画像処理CPU301~303、及びオプションCPU305には、一時データを格納するための画像メモリが搭載される。また画像処理CPU301~303は、ASIC(専用半導体)によって実装されてもよい。尚、図3では、サブボード220にあるメモリ223、バスコントローラ224、不揮発性メモリ225、エンジンコントローラ226などは、本技術と関係がないため省略してある。このような構成は、本技術を実施する際に一部可能な形態にすぎず、実際の製品は上記の実施形態に限らない。

【0027】

図3に示すサブボード220の画像処理ブロックでは、サブCPU221がメインCPU201からの指示を受けた際に、画像処理バス上にある各画像処理CPUを制御する。ここでは、サブCPU221が画像処理バスを介して、リクエストパケット(Request Packet)をショートボード304に送信する。このリクエストパケットには、画像処理CPUを指定する宛先が記述される。例えば、サブCPU221は、画像処理CPU301に対して、初期化処理、または現在、画像メモリ上にあるプリント用データに反転処理を行うことを要求することがある。このリクエストパケットを受け取った各画像処理CPUは、そのパケットを解析し、自分宛てのパケットであると認識した場合、そのパケットの指示に応じた処理を実行する。そして、応答パケット(Response Packet)を画像処理バスを介してサブCPU221へ送信する。例えば、画像処理CPUは、リクエストパケットを受信すると、初期化、もしくは指示された画像データの反転処理などを行って、応答パケットをサブCPU221に返す。

【0028】

また各画像処理CPUは、リクエストパケットを解析した結果、自分宛てのパケットではないと判断すると、そのリクエストパケットをそのまま画像処理バスに送信する。これにより、後段の画像処理CPUが、そのリクエストパケットを受信して、その解析及び処理を行うことができる。

【0029】

このように、サブCPU221が画像処理バスを介してリクエストパケットを送信し、リクエストパケットで指示された画像処理CPUが、応答パケットを返すことにより、一通りの通信が完了する。この画像形成装置100では、一つのジョブ(例えばコピー)を実行するため、サブCPU221が複数回に亘って、前述したように各画像処理CPUと通信を行う。

【0030】

図4は、画像形成装置100に対する典型的な攻撃の一例を説明する図である。尚、図4では、図3と共通する部分は同じ参照番号で示している。

10

20

30

40

50

【 0 0 3 1 】

前述の通り、サブCPU 221は、画像処理バスでパケットを用いて各画像処理CPUを制御する。また既存のショートボード304を外して、代わりにオプションCPU 305を装着することができる(図3(B)参照)。こういった構成を利用し、攻撃者はショートボード304の代わりに、攻撃用ハードウェア401を装着することでシステムに対して攻撃を行うことができる。例えば、攻撃用ハードウェア401は、画像処理バス上に流れる画像情報を横取りして外部デバイスに保存することによって、各種情報を不正に取得することができる。また、画像処理バス上に流れる制御パケットを改ざんして送信することによって、システムの制御シーケンスが破綻し、動作できなくすることが考えられる。

10

【 0 0 3 2 】

製品ではコントローラボードが製品に内蔵されている。しかし、装置のカバーを外すなどにより、コントローラボードのソケットに攻撃用ハードウェア401を装着することができるため、このような攻撃の実行が可能になる。

【 0 0 3 3 】

図5は、実施形態に係る画像形成装置100において攻撃用ハードウェア401を検出する構成を説明するブロック図である。

【 0 0 3 4 】

メインCPU 201は、サブCPU 221用のプログラムをサブメモリ 223に転送する。サブCPU 221は、サブメモリ 223に記憶されたプログラムに従って動作する。更に、ここでは、メインCPU 201、サブCPU 221以外、サブCPU 221と同様に画像処理バスにアクセスできる第三CPU 502を設けている。この第三CPU 502は、第三CPU用ROM 501に格納された第三CPU用のプログラムに従って動作する。第三CPU 502は、サブボード用の電源503のオン/オフを制御することができる。

20

【 0 0 3 5 】

図6及び図7は、実施形態に係る画像形成装置100において攻撃用ハードウェアを検出する方法を説明する図である。

【 0 0 3 6 】

前述したように第三CPU 502は、第三CPU用ROM 501に格納されているプログラムに従って動作する。第三CPU 502は、サブCPU 221と同様に、画像処理バスにアクセスすることができ、サブボード用電源503も制御できる。また第三CPU 502は、画像形成装置100の初期化時に、各画像処理CPU宛にリクエストパケットを送信し、各画像処理CPUから応答パケットを受信する。

30

【 0 0 3 7 】

図6(A)は、図3(B)と同様に、オプションCPU 305が追加された状態を示す図で、図6(B)は、図4と同様に、ショートボード304の代わりに攻撃用ハードウェア401が装着された状態を示す。

【 0 0 3 8 】

図7(A)は、実施形態に係る画像形成装置100における攻撃用ハードウェアを検出する方法を説明するフローチャートである。

40

【 0 0 3 9 】

まずS701で第三CPU 502は、オプションCPU 305が装着されているか、或いは機種によってショートボード304が装着されているかを確認するためにバスを介してリクエストパケットを、これら回路列のショートボード304側に送信する。ここでオプションCPU 305が装着されていると、第三CPU 502は、全画像処理CPUから、例えば所定の特徴値を持つ所定のパケットを受信できる。従って、この場合は、第三CPU 502は画像処理バスへの制御を放棄し、サブCPU 221が初期化を行う。

【 0 0 4 0 】

次にS702に進み第三CPU 502は、所定の応答パケットを受信したかどうか判定

50

する。このとき、例えばショートボード304に攻撃用ハードウェア401が装着されている場合は、攻撃用ハードウェア401は、オプションCPU305と同様な応答パケットを返すことができない。このため、第三CPU502は、所定の応答パケットを受信できないためS703に進む。S703で第三CPU502は、サブボード用電源503からの電源供給を遮断して、サブボード220の起動を止めることができる。

【0041】

一方、S702で第三CPU502は、所定の応答パケットを受信したときはS704に進み、第三CPU502は、処理を継続してサブボード220の起動処理を実行する。

【0042】

図7(B)は、通信で使われるパケットフォーマットの一例を示す図である。

10

【0043】

このパケットは、ヘッダ705とボディ706を含んでいる。ヘッダ705には、宛先のデバイス番号やパケットサイズなどが記載されている。ボディ706の、Byte1~ByteNには、各画像処理CPUからの返答が入っている。第三CPU502は、このパケットを解析し、所定情報が入っているか確認する。

【0044】

このようにして、攻撃用ハードウェアが装着された際に、サブボード220の起動を停止することで、攻撃用ハードウェアによる攻撃を防ぐことができる。このように、攻撃用ハードウェアが装着されているとサブボード220が起動しないため、ジョブ関連のリクエストパケットがサブCPU221から送信されないため、情報が横取りされたり、改ざんされることがない。

20

【0045】

また第三CPU502が送信するリクエストパケットと、各画像処理CPU及びオプションCPU305が送信する応答パケット情報は、第三CPU502のメモリ(不図示)に格納される。

【0046】

図8は、通信探知装置(いわゆるスニファァ)型攻撃を対策するための一実施形態を説明する図である。

【0047】

図5~図7では、オプションCPU305を抜いて、代わりに攻撃用ハードウェア401を装着した場合の対策、及び攻撃用ハードウェアを検知する例で説明したが、図8はもう一つの攻撃形態とその対策を説明する。

30

【0048】

図8に示すように、オプションCPU305は、攻撃用ハードウェア401を介して画像処理バスに接続されている(例えば、変換ケーブルを介して)。ここで攻撃用ハードウェア401は、画像処理バス上に流れてくるリクエストパケットをそのまま次の画像処理CPUへ送信する。このとき第三CPU502は、受信した応答パケットは、通常時(攻撃用ハードウェアない場合)と同じであるため、攻撃用ハードウェア401を検出できない。攻撃用ハードウェア401は、取得した通信パケットを攻撃用ストレージ801に格納し、その通信パケットを解析することで画像処理バスの通信プロトコル(どのタイミングでどのようなパケットを受送信する)を識別できる。そして、この情報を基に、オプションCPU305と同じパケット受送信できる攻撃用ハードウェアを作成し、検知されないままデータを抜き出すことができる。

40

【0049】

そのような通信探知機能に対策するため、第三CPU502は、日付・時間・機種・機械のシリアル番号などに基づいて暗号化した付加情報を含むリクエストパケットを生成して、各画像処理CPUへ送信する。この付加情報を含めたリクエストパケットを受信した各画像処理CPUは、そのパケットを解析して、独自の付加情報を含めた応答パケットを生成して、第三CPU502へ送信する。

【0050】

50

例えば、送信日時が「2017年8月9日10時59分」、機種番号が「001」の場合、以下のようなリクエストパケットが送信される。

【0051】

「1108 - 0908 - 9941 - 001」 + (従来のリクエストパケット)

ここで、「1108」は、「2017年」の偶数桁の各数字を - 1 し、奇数桁の各数字を + 1 して得られた文字列である。「0908」は、「08月09日」を逆転した文字列である。「9941」は、送信時刻「1059」の補数である。更に、「001」は、機種番号「001」そのものである。

【0052】

このリクエストパケットを受信した各画像処理CPUは、そのリクエストパケットを解析して、本来の「2017 - 0809 - 1059」に復号し、それを応答パケットに付加して送信する。

10

【0053】

これに対して攻撃用ハードウェア401は、このような応答パケットの作成ロジックを把握していないため、上述したような付加情報を含めた応答パケットを生成することができない。

【0054】

第三CPU502は、正しいリクエストパケットを受信した場合、サブボード220の起動を継続させる。一方、正しいパケットを受信できなかった場合は攻撃用ハードウェア401が接続されていると判定して、サブボード用電源503からの電源供給を遮断することにより、サブボード220の起動を止める。このように、リクエストパケットに付加情報を追加することで、攻撃者による通信解析の難易度を大幅上げて、攻撃用ハードウェアにより攻撃から守ることができる。尚、このような情報の付加はあくまでも一例に過ぎず、本発明は、このような実施形態に限らない。

20

【0055】

以上説明したように実施形態によれば、オプションとして不正な攻撃用ハードウェアが接続された場合でも、そのハードウェアを起動させないようにすることができる。

【0056】

また実施形態では、攻撃用ハードウェアが装着されていると、それを接続している制御基板が起動されないため、攻撃用ハードウェアにより情報が横取りされたり改ざんされることがなくなるといった効果がある。

30

【0057】

(その他の実施形態)

本発明は、上述の実施形態の1以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける1つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1以上の機能を実現する回路(例えば、ASIC)によっても実現可能である。

【0058】

本発明は上記実施形態に制限されるものではなく、本発明の精神及び範囲から離脱することなく、様々な変更及び変形が可能である。従って、本発明の範囲を公にするために、以下の請求項を添付する。

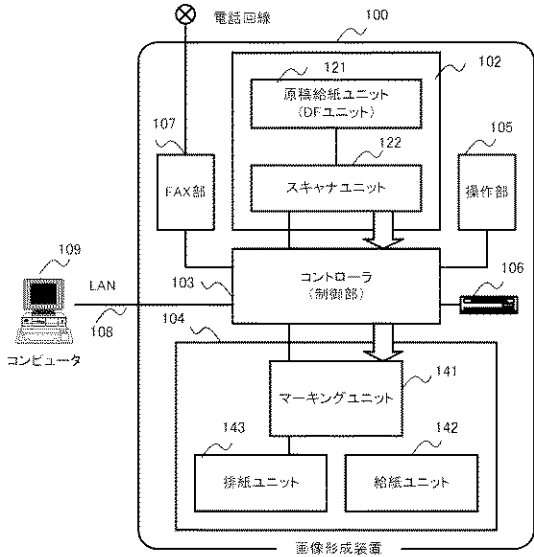
40

【符号の説明】

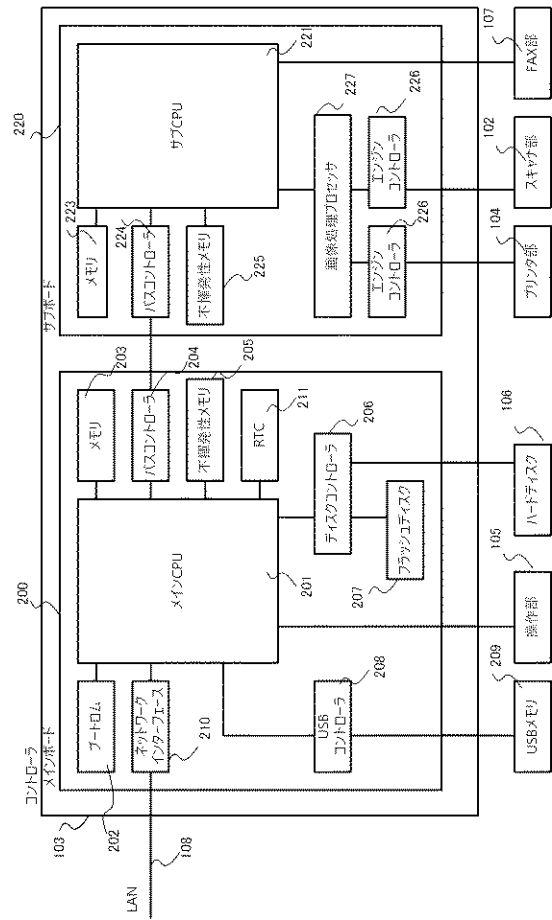
【0059】

100...画像形成装置、102...スキャナ部、103...コントローラ(制御部)、104...プリンタ部、220...サブボード、221...サブCPU、301~304...画像処理CPU、305...オプションCPU、401...攻撃用ハードウェア、502...第三CPU、503...サブボード用電源

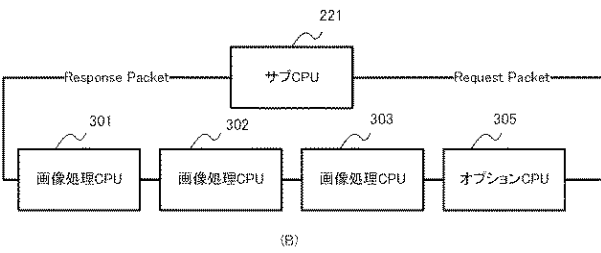
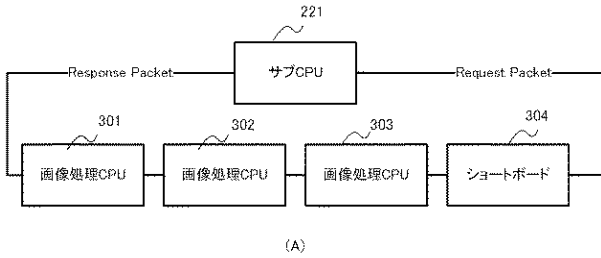
【図1】



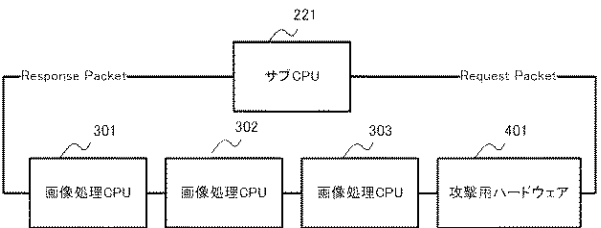
【図2】



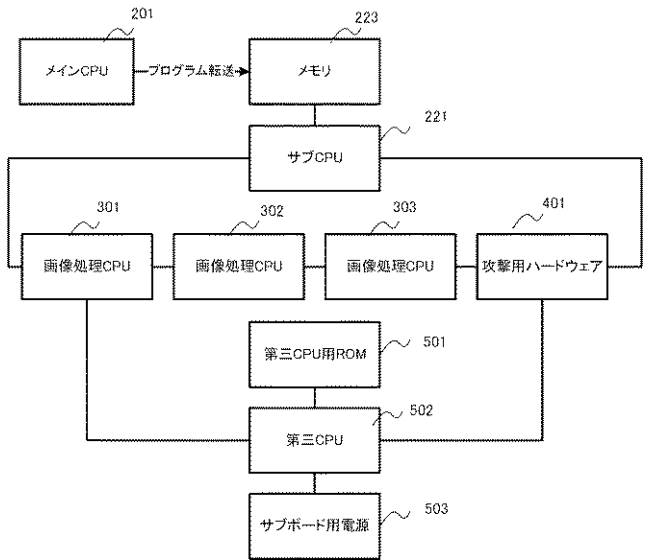
【図3】



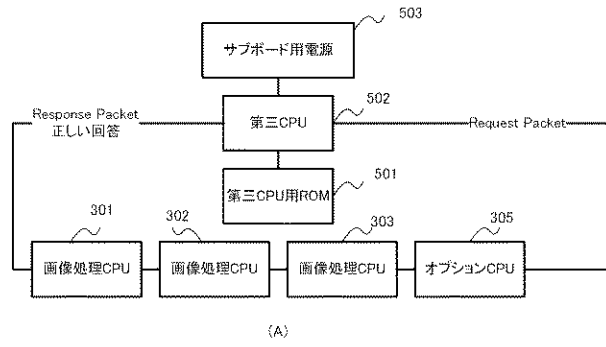
【図4】



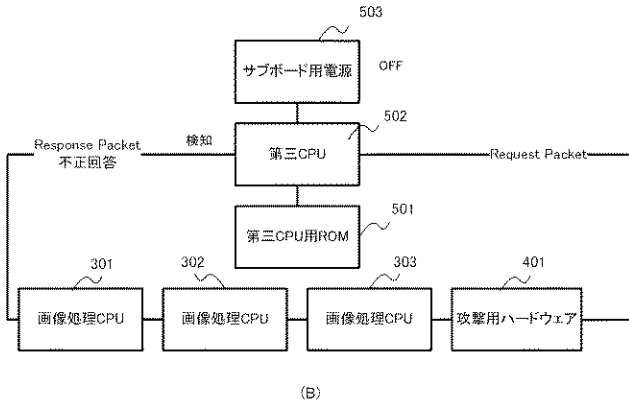
【図5】



【図6】

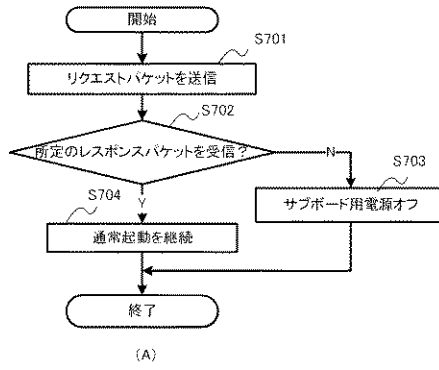


(A)

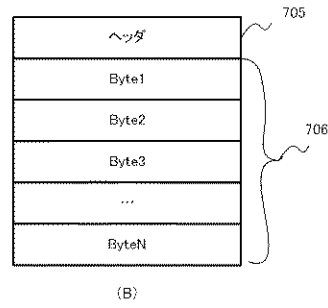


(B)

【図7】

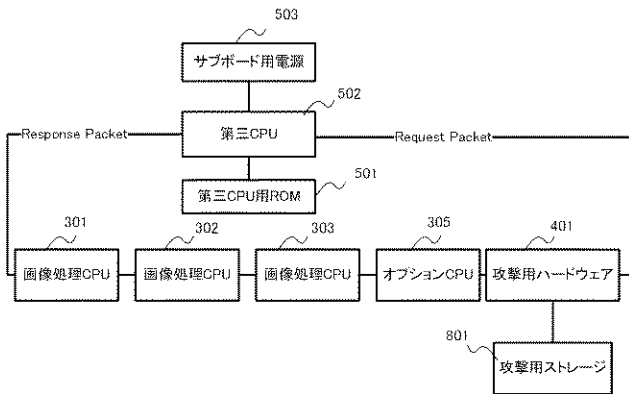


(A)



(B)

【図8】



フロントページの続き

(72)発明者 王 暁立

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 2C061 AP01 AP07 HJ08

2H270 KA53 LA98 MG02 NB09 NC01 ZC03 ZC04

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】令和3年7月26日(2021.7.26)

【公開番号】特開2020-13342(P2020-13342A)
 【公開日】令和2年1月23日(2020.1.23)
 【年通号数】公開・登録公報2020-003
 【出願番号】特願2018-135220(P2018-135220)

【国際特許分類】

G 0 6 F 21/85 (2013.01)
 G 0 3 G 21/00 (2006.01)
 B 4 1 J 29/38 (2006.01)

【F I】

G 0 6 F 21/85
 G 0 3 G 21/00 3 8 8
 B 4 1 J 29/38 Z

【手続補正書】

【提出日】令和3年5月11日(2021.5.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ハードウェアを接続できる情報処理装置であって、
複数の処理回路又は複数のプロセッサと、
前記ハードウェアが接続されるソケットであって、前記ハードウェアは前記ソケットに
接続され、前記複数の処理回路又は前記複数のプロセッサはバスを介して直列に接続され

前記複数の処理回路又は前記複数のプロセッサ及び前記ソケットに接続された前記ハー
ドウェアに電力を供給する電源と、を有し、
前記複数の処理回路又は前記複数のプロセッサは、
前記バスに所定のパケットを送信し、
前記所定のパケットに対する応答パケットを受信し、
前記応答パケットが期待した応答パケットかどうか判定し、
受信した前記応答パケットの判定結果に基づいて、前記電源から、前記複数の処理回路
又は前記複数のプロセッサ及び前記ソケットに接続された前記ハードウェアへの電力供給
を停止することを特徴とする情報処理装置。

【請求項2】

前記応答パケットは前記ソケットに接続された前記ハードウェアで生成されることを特
 徴とする請求項1に記載の情報処理装置。

【請求項3】

前記電源は、前記複数の処理回路又は前記複数のプロセッサの内の一つで制御されるこ
 とを特徴とする請求項1又は2に記載の情報処理装置。

【請求項4】

前記応答パケットが前記期待した応答パケットでない場合、前記複数の処理回路又は前
 記複数のプロセッサの内の一つは、前記電源を制御して、前記ソケットに接続された前記
 ハードウェア、及び前記バスを介して接続された前記複数の処理回路又は前記複数のプロ

セッサへの電力供給を停止することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の情報処理装置。

【請求項 5】

前記所定の packets は、前記ソケットに接続された前記ハードウェア及び前記複数の処理回路又は前記複数のプロセッサを特定する宛先を含み、

前記ソケットに接続された前記ハードウェア及び前記複数の処理回路又は前記複数のプロセッサの内の一は、前記ソケットに接続された前記ハードウェア及び前記複数の処理回路又は前記複数のプロセッサの内の一宛の packets に関する処理を実行することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の情報処理装置。

【請求項 6】

前記所定の packets は日時及び前記情報処理装置の機種に基づいて暗号化された付加情報を含み、前記期待した応答 packets は、前記付加情報を復号した情報を含むことを特徴とする請求項 5 に記載の情報処理装置。

【請求項 7】

前記複数の処理回路又は前記複数のプロセッサは、ASIC (application specific integrated circuit) を含むことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の情報処理装置。

【請求項 8】

複数の処理回路又は複数のプロセッサと、ハードウェアを接続できるソケットとを有し、前記ハードウェアは前記ソケットに接続され、前記複数の処理回路又は前記複数のプロセッサはバスを介して直列に接続されていて、前記複数の処理回路又は前記複数のプロセッサ及び前記ソケットに接続された前記ハードウェアに電力を供給する電源とを有する情報処理装置を制御する制御方法であって、

所定の packets を前記バスに送信する送信工程と、

前記所定の packets に対する応答 packets を受信する受信工程と、

前記応答 packets が期待した応答 packets かどうか判定する判定工程と、

前記判定工程の判定結果に基づいて、前記電源から、前記複数の処理回路又は前記複数のプロセッサ及び前記ソケットに接続された前記ハードウェアへの電力供給を制御する制御工程と、

を有することを特徴とする制御方法。

【請求項 9】

前記応答 packets は前記ソケットに接続された前記ハードウェアで生成されることを特徴とする請求項 8 に記載の制御方法。

【請求項 10】

前記制御工程では、前記ハードウェアへの電力供給は、前記受信した応答 packets が前記期待した応答 packets でない場合に停止されることを特徴とする請求項 8 又は 9 に記載の制御方法。

【請求項 11】

前記所定の packets は日時及び前記情報処理装置の機種に基づいて暗号化された付加情報を含み、前記期待した応答 packets は、前記付加情報を復号した情報を含むことを特徴とする請求項 8 乃至 10 のいずれか 1 項に記載の制御方法。

【請求項 12】

情報処理装置であって、

複数の処理回路又は複数のプロセッサと、

ハードウェアが接続されるソケットであって、前記ハードウェアは前記ソケットに接続され、前記複数の処理回路又は前記複数のプロセッサはバスを介して直列に接続され、

前記複数の処理回路又は前記複数のプロセッサ、及び前記ソケットに接続された前記ハードウェアに電力を供給する電源と、を有し、

前記複数の処理回路又は前記複数のプロセッサの一つは、前記バスに所定の packets を送信し、

前記所定のパケットに対する応答パケットを受信すると、前記複数の処理回路又は前記複数のプロセッサの一つは、前記応答パケットが期待した応答パケットかどうか判定し、前記複数の処理回路又は前記複数のプロセッサの一つは、前記応答パケットの判定結果に基づいて、前記電源から、前記複数の処理回路又は前記複数のプロセッサ及び前記ソケットに接続された前記ハードウェアへの電力供給を制御することを特徴とする情報処理装置。

【請求項 13】

前記応答パケットが前記期待した応答パケットでない場合、前記複数の処理回路又は前記複数のプロセッサの内の一つは、前記電源を制御して、前記ソケットに接続された前記ハードウェアへの電力供給を停止することを特徴とする請求項 12 に記載の情報処理装置。

【請求項 14】

前記応答パケットが前記期待した応答パケットでないとの判定結果に応じて、前記複数の処理回路又は前記複数のプロセッサの内の一つは、前記電源を制御して、前記ソケットに接続された前記ハードウェア、及び前記バスを介して接続された前記複数の処理回路又は前記複数のプロセッサへの電力供給を停止することを特徴とする請求項 12 又は 13 に記載の情報処理装置。

【請求項 15】

前記所定のパケットは、前記ソケットに接続された前記ハードウェア、及び前記複数の処理回路又は前記複数のプロセッサを特定する宛先を含み、

前記ソケットに接続された前記ハードウェア及び前記複数の処理回路又は前記複数のプロセッサの内の一つは、前記ソケットに接続された前記ハードウェア及び前記複数の処理回路又は前記複数のプロセッサの内の一つ宛のパケットに関する処理を実行し、

前記ソケットに接続された前記ハードウェア及び前記複数の処理回路又は前記複数のプロセッサは、前記ソケットに接続された前記ハードウェア及び前記複数の処理回路又は前記複数のプロセッサの内の一つ宛となるべきパケットに関する処理を実行することを特徴とする請求項 12 乃至 14 のいずれか 1 項に記載の情報処理装置。

【請求項 16】

前記所定のパケットは日時及び前記情報処理装置の機種に基づいて暗号化された付加情報を含み、前記期待した応答パケットは、前記付加情報を復号した情報を含むことを特徴とする請求項 12 乃至 15 のいずれか 1 項に記載の情報処理装置。

【請求項 17】

前記複数の処理回路又は前記複数のプロセッサは、直列に接続された複数の回路を含み、

前記複数の処理回路又は前記複数のプロセッサのうちの一つは、前記複数の回路それぞれを特定する宛先を含み、前記複数の処理回路から前記所定のパケットに対する応答を受信することを特徴とする請求項 12 乃至 16 のいずれか 1 項に記載の情報処理装置。

【請求項 18】

前記ハードウェアが前記ソケットに接続されていない場合、前記ソケットは、入力信号を変更することなくそのまま出力する回路を含むことを特徴とする請求項 12 乃至 17 のいずれか 1 項に記載の情報処理装置。

【請求項 19】

前記複数の処理回路又は前記複数のプロセッサは、ASIC (application specific integrated circuit) を含むことを特徴とする請求項 12 乃至 18 のいずれか 1 項に記載の情報処理装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】情報処理装置とその制御方法

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

【補正の内容】

【0001】

本発明は、情報処理装置とその制御方法に関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

上記目的を達成するために本発明の一態様に係る情報処理装置は以下のような構成を備える。即ち、

ハードウェアを接続できる情報処理装置であって、

複数の処理回路又は複数のプロセッサと、

前記ハードウェアが接続されるソケットであって、前記ハードウェアは前記ソケットに接続され、前記複数の処理回路又は前記複数のプロセッサはバスを介して直列に接続され

前記複数の処理回路又は前記複数のプロセッサ及び前記ソケットに接続された前記ハードウェアに電力を供給する電源と、を有し、

前記複数の処理回路又は前記複数のプロセッサは、

前記バスに所定のパケットを送信し、

前記所定のパケットに対する応答パケットを受信し、

前記応答パケットが期待した応答パケットかどうか判定し、

受信した前記応答パケットの判定結果に基づいて、前記電源から、前記複数の処理回路又は前記複数のプロセッサ及び前記ソケットに接続された前記ハードウェアへの電力供給を停止することを特徴とする。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

制御部103は、メインボード200とサブボード220を有している。メインボード200はいわゆる汎用的なCPUシステムで、ボード全体を制御するメインCPU201、ブートプログラムが含まれるブートルーム202、CPU201がワークメモリとして使用するメモリ203を有する。更に、メインボード200は、外部バスとのブリッジ機能を持つバスコントローラ204、電源がオフされた場合でも、記憶しているデータが消えない不揮発性メモリ205、時計機能を有するRTC211を有している。更に、HDD106へのアクセスを制御するディスクコントローラ206、半導体デバイスで構成された比較的小容量な不揮発性記憶装置であるフラッシュディスク(SSD等)207、USBを制御することが可能なUSBコントローラ208を有している。このメインボード200には、USBメモリ209、操作部105、HDD106等が接続される。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

第三CPU502は、正しい応答パケットを受信した場合、サブボード220の起動を継続させる。一方、正しい応答パケットを受信できなかった場合は攻撃用ハードウェア401が接続されていると判定して、サブボード用電源503からの電源供給を遮断することにより、サブボード220の起動を止める。このように、リクエストパケットに付加情報を追加することで、攻撃者による通信解析の難易度を大幅上げて、攻撃用ハードウェアによる攻撃から守ることができる。尚、このような情報の付加はあくまでも一例に過ぎず、本発明は、このような実施形態に限らない。