

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-50272  
(P2019-50272A)

(43) 公開日 平成31年3月28日(2019.3.28)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 27/11573 (2017.01)	HO 1 L 27/11573	5 F 0 3 8
HO 1 L 27/11578 (2017.01)	HO 1 L 27/11578	5 F 0 4 4
HO 1 L 27/11582 (2017.01)	HO 1 L 27/11582	5 F 0 8 3
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/04 H	

審査請求 未請求 請求項の数 9 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2017-173296 (P2017-173296)  
(22) 出願日 平成29年9月8日(2017.9.8)

(71) 出願人 318010018  
東芝メモリ株式会社  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100108062  
弁理士 日向寺 雅彦  
(74) 代理人 100168332  
弁理士 小崎 純一  
(74) 代理人 100146592  
弁理士 市川 浩  
(74) 代理人 100157901  
弁理士 白井 達哲  
(72) 発明者 中島 博臣  
東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内

最終頁に続く

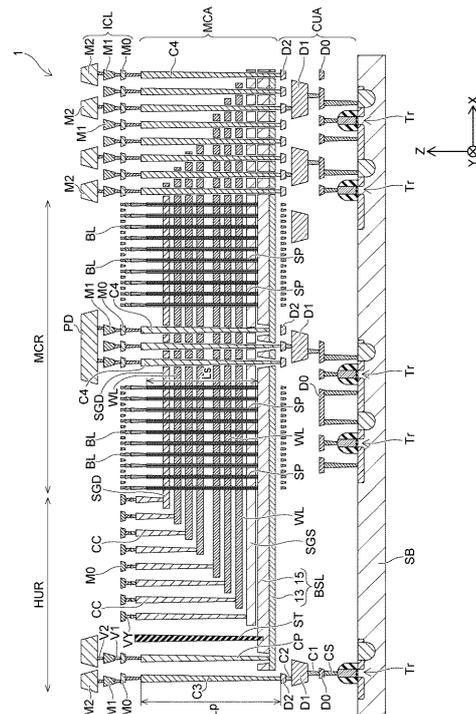
(54) 【発明の名称】 記憶装置

(57) 【要約】

【課題】パッド電極下に回路素子を配置可能な記憶装置を提供する。

【解決手段】記憶装置は、基板上に配置された第1回路素子を含む回路と、前記回路の上方に設けられ、金属ワイヤをボンディング可能な領域を有するパッド電極を含む配線層と、前記回路と前記配線層との間に位置し、前記回路から前記配線層に向かう第1方向に積層された複数の電極層と、前記第1方向に延びる半導体ピラーと、前記複数の電極層と前記半導体ピラーとの間に配置された記憶部と、を備える。前記第1回路素子は、前記第1方向に見て、前記パッド電極と重なる位置に配置される。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

基板上に配置された第 1 回路素子を含む回路と、  
前記回路の上方に設けられ、金属ワイヤをボンディング可能な領域を有するパッド電極を含む配線層と、  
前記回路と前記配線層との間に位置し、前記回路から前記配線層に向かう第 1 方向に積層された複数の電極層と、  
前記第 1 方向に延びる半導体ピラーと、  
前記複数の電極層と前記半導体ピラーとの間に配置された記憶部と、  
を備え、  
前記第 1 回路素子は、前記第 1 方向に見て、前記パッド電極と重なる位置に配置された記憶装置。

10

**【請求項 2】**

前記第 1 方向に延在し、前記配線層に含まれる配線と前記回路とを電氣的に接続する第 1 コンタクトプラグをさらに備え、  
前記第 1 コンタクトプラグは、前記パッド電極と前記回路との間に位置する請求項 1 記載の記憶装置。

**【請求項 3】**

前記パッド電極と前記回路との間に設けられ、前記第 1 方向の厚さが前記半導体ピラーの前記第 1 方向の長さよりも厚い絶縁体をさらに備え、  
前記第 1 コンタクトプラグは、前記絶縁体を貫いて前記第 1 方向に延びる請求項 2 記載の記憶装置。

20

**【請求項 4】**

前記回路と前記複数の電極層との間に設けられ、前記半導体ピラーに接続された導電層をさらに備え、  
前記回路は、前記基板と前記導電層との間に設けられ、前記第 1 回路素子に接続された配線を含み、  
前記第 1 コンタクトプラグは、前記配線に電氣的に接続される請求項 2 記載の記憶装置。

**【請求項 5】**

前記回路と前記複数の電極層との間に設けられ、前記半導体ピラーに接続された導電層をさらに備え、  
前記第 1 コンタクトプラグは、前記複数の電極層および前記導電層を貫いて前記第 1 方向に延びる請求項 2 記載の記憶装置。

30

**【請求項 6】**

前記パッド電極と前記回路との間に設けられ、前記第 1 方向の厚さが前記半導体ピラーの前記第 1 方向の長さよりも厚い絶縁体をさらに備えた請求項 1 記載の記憶装置。

**【請求項 7】**

前記回路と前記複数の電極層との間に設けられ、前記半導体ピラーに接続された導電層と、  
前記複数の電極層を貫いて前記第 1 方向に延び、前記導電層に接続された第 3 コンタクトプラグと、  
をさらに備え、  
前記第 3 コンタクトプラグは、前記回路と前記パッド電極との間に位置する請求項 1 記載の記憶装置。

40

**【請求項 8】**

基板上に配置された第 1 回路素子を含む回路と、  
前記周辺回路の一部の上方に設けられ、金属ワイヤをボンディング可能な領域を有するパッド電極を含む配線層と、  
前記周辺回路の他部の上方に設けられ、前記周辺回路から前記配線層に向かう第 1 方向

50

に積層された複数の電極層と、

前記第 1 方向に延びる半導体ピラーと、

前記複数の電極層と前記半導体ピラーとの間に配置された記憶部と、

を備え、

前記第 1 回路素子は、前記第 1 方向に見て、前記パッド電極と重なる位置に配置された記憶装置。

【請求項 9】

前記周辺回路の一部は、電源回路である請求項 8 記載の記憶装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

実施形態は、記憶装置に関する。

【背景技術】

【0002】

記憶装置のチップ面には、パッド電極が設けられ、その上に記憶装置と外部回路を接続する金属ワイヤがボンディングされる。パッド電極は、ワイヤボンディング時の衝撃による故障を回避するために、トランジスタなどの回路素子を避けて配置される。しかしながら、記憶装置の大容量化に伴い、パッド電極下のチップ面も有効に活用することが望まれる。

【先行技術文献】

20

【特許文献】

【0003】

【特許文献 1】米国特許公報 9 0 3 5 3 7 1 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

実施形態は、パッド電極下に回路素子を配置可能な記憶装置を提供する。

【課題を解決するための手段】

【0005】

実施形態に係る記憶装置は、基板上に配置された第 1 回路素子を含む回路と、前記回路の上方に設けられ、金属ワイヤをボンディング可能な領域を有するパッド電極を含む配線層と、前記回路と前記配線層との間に位置し、前記回路から前記配線層に向かう第 1 方向に積層された複数の電極層と、前記第 1 方向に延びる半導体ピラーと、前記複数の電極層と前記半導体ピラーとの間に配置された記憶部と、を備える。前記第 1 回路素子は、前記第 1 方向に見て、前記パッド電極と重なる位置に配置される。

30

【図面の簡単な説明】

【0006】

【図 1】第 1 実施形態に係る記憶装置を示す模式断面図である。

【図 2】第 1 実施形態の変形例に係る記憶装置を示す模式断面図である。

【図 3】第 1 実施形態の変形例に係るパッド電極を示す模式断面図である。

40

【図 4】第 1 実施形態に係るパッド電極の配置を示す模式平面図である。

【図 5】第 1 実施形態の変形例に係るパッド電極の配置を示す模式平面図である。

【図 6】第 2 実施形態に係る記憶装置を模式的に示す部分断面図である。

【発明を実施するための形態】

【0007】

以下、実施の形態について図面を参照しながら説明する。図面中の同一部分には、同一番号を付してその詳しい説明は適宜省略し、異なる部分について説明する。なお、図面は模式的または概念的なものであり、各部分の厚みと幅との関係、部分間の大きさの比率などは、必ずしも現実のものとは限らない。また、同じ部分を表す場合であっても、図面により互いの寸法や比率が異なって表される場合もある。

50

## 【 0 0 0 8 】

さらに、各図中に示す X 軸、Y 軸および Z 軸を用いて各部分の配置および構成を説明する。X 軸、Y 軸、Z 軸は、相互に直交し、それぞれ X 方向、Y 方向、Z 方向を表す。また、Z 方向を上方、その反対方向を下方として説明する場合がある。

## 【 0 0 0 9 】

## [ 第 1 実施形態 ]

図 1 は、第 1 実施形態に係る記憶装置 1 を示す模式断面図である。記憶装置 1 は、例えば、NAND 型フラッシュメモリ装置であり、3 次元配置されたメモリセルを含むメモリセルアレイ MCA と、駆動回路 CUA と、を備える。メモリセルアレイ MCA は、駆動回路 CUA の上に設けられる。なお、図 1 では、簡単のために、各要素間を電氣的に絶縁する絶縁膜を省略している。

10

## 【 0 0 1 0 】

駆動回路 CUA は、基板 SB 上に設けられた複数の回路素子、例えば、トランジスタ Tr を含む。駆動回路 CUA は、基板 SB とメモリセルアレイ MCA との間に位置する配線 D0、D1、D2、および、コンタクトプラグ CS、C1 および C2 をさらに含む。コンタクトプラグ CS、C1 および C2 は、トランジスタ Tr と配線 D0 との間、配線 D0 と配線 D1 との間、および、配線 D1 と配線 D2 との間をそれぞれ電氣的に接続する。

## 【 0 0 1 1 】

メモリセルアレイ MCA は、駆動回路 CUA の上に設けられ、メモリセル領域 MCR と、引き出し領域 HUR と、を有する。メモリセル領域 MCR は、3 次元配置された複数のメモリセルを含む。メモリセルアレイ MCA は、ソース線 BSL と、ワード線 WL と、選択ゲート SGS と、選択ゲート SGD と、半導体ピラー SP と、を含む。ソース線 BSL は、金属層 13 と、半導体層 15 と、を Z 方向に積層した構造を有する。選択ゲート SGS、ワード線 WL および選択ゲート SGD は、ソース線 BSL 上に層間絶縁膜（図示しない）を介して順に積層される。

20

## 【 0 0 1 2 】

図 1 に示すように、半導体ピラー SP は、メモリセル領域 MCR に配置され、選択ゲート SGS、ワード線 WL および選択ゲート SGD を貫いて Z 方向に延びる。メモリセルは、半導体ピラー SP とワード線 WL とが交差する部分に設けられる。半導体ピラー SP は、その下端においてソース線 BSL に接続される。

30

## 【 0 0 1 3 】

記憶装置 1 は、メモリセルアレイ MCA の上方に設けられる配線層 ICL をさらに備える。配線層 ICL は、配線 M0、M1 および M2 を含む。配線 M0 と配線 M1 との間、および、配線 M1 と配線 M2 との間は、コンタクトプラグ V1、V2 によりそれぞれ接続される。また、配線 M0 と、その下方に位置するコンタクトプラグ等と、を接続するコンタクトプラグ VY が設けられる。

## 【 0 0 1 4 】

配線 M0 は、半導体ピラー SP の上端に電氣的に接続されるビット線 BL を含む。ビット線 BL は、メモリセル領域 MCR の上方に設けられ、例えば、Y 方向に延びる。ビット線 BL は、例えば、コンタクトプラグ VY を介して半導体ピラー SP の上端に接続される。

40

## 【 0 0 1 5 】

選択ゲート SGS、ワード線 WL および選択ゲート SGD は、引き出し領域 HUR に位置し、階段状に形成された端部をそれぞれ有する。引き出し領域 HUR には、複数のコンタクトプラグ CC が設けられ、選択ゲート SGS、ワード線 WL および選択ゲート SGD の端部にそれぞれ接続される。コンタクトプラグ CC は、選択ゲート SGS、ワード線 WL および選択ゲート SGD を配線 M0 に電氣的に接続する。

## 【 0 0 1 6 】

記憶装置 1 は、コンタクトプラグ C3 および C4 をさらに備える。コンタクトプラグ C3 は、駆動回路 CUA の配線 D2 と配線 M0 との間を電氣的に接続する。コンタクトプラ

50

グC 4は、メモリセルアレイMCAを貫いて、駆動回路CUAの配線D2と配線M0とを電氣的に接続する。

【0017】

記憶装置1では、メモリセルアレイMCAの上方に設けられた配線層ICL、コンタクトプラグC3およびC4を介して、メモリセルアレイMCAと、駆動回路CUAと、を電氣的に接続する。さらに、配線層ICLは、外部回路と駆動回路とを電氣的に接続するパッド電極PDを含む。パッド電極PDは、駆動回路CUAのトランジスタTrのうちの少なくとも1つの上方に配置され、例えば、金属ワイヤをボンディングすることが可能な領域を有する。

【0018】

図1に示す例では、パッド電極PDは、選択ゲートSGD、ワード線WL、選択ゲートSGSおよびソース線BSLを貫いて駆動回路CUAの配線D2に接続されたコンタクトプラグC4の上に配置される。また、パッド電極PDは、配線M0およびM1の上に設けられる。すなわち、パッド電極PDは、最上層に位置する配線M2と同じレベルに設けられる。また、パッド電極PDは、半導体ピラーSPが設けられない領域上に配置される。

10

【0019】

このように、パッド電極PDの下に層間絶縁膜を介して積層された複数の電極層を配置することにより、例えば、金属ワイヤをボンディングする際の衝撃を軽減することが可能となる。このため、トランジスタTrなどの回路素子をパッド電極PDの下に配置することが可能となる。これにより、記憶装置1のチップ面を有効に利用し、記憶容量を大きくすることができる。

20

【0020】

図2は、第1実施形態の変形例に係る記憶装置2を示す模式断面図である。この例では、パッド電極PDは、コンタクトプラグC4Sの上に配置される。

【0021】

コンタクトプラグC4Sは、選択ゲートSGD、ワード線WLおよび選択ゲートSGSを貫いて、ソース線BSLに接続される。コンタクトプラグC4Sは、ソース線BSLの半導体層15を貫いて金属層13に接続される。コンタクトプラグC4Sは、コンタクトプラグVYを介してソース線BSLと配線M0とを電氣的に接続する。

【0022】

この例でも、パッド電極PDの下に層間絶縁膜を介して積層された複数の電極層を配置することにより、ワイヤボンディング時の衝撃を軽減することが可能となり、パッド電極PDの下に回路素子を配置することが可能となる。

30

【0023】

図3(a)~(c)は、第1実施形態の変形例に係るパッド電極PDを示す模式断面図である。図3(a)~(c)に示すように、パッド電極PDは、選択ゲートSGS、ワード線WLおよび選択ゲートSGDが設けられない部分に配置しても良い。

【0024】

図3(a)に示すように、パッド電極PDは、コンタクトプラグC3の上に配置しても良い。パッド電極PDの下方には、駆動回路CUAのトランジスタTrが配置される。コンタクトプラグC3は、配線M0と、駆動回路CUAの配線D2と、を電氣的に接続する。

40

【0025】

コンタクトプラグC3は、配線M0と配線D2との間に設けられた絶縁体20を貫いてZ方向に延びる。コンタクトプラグC3のZ方向の長さLpは、半導体ピラーSPのZ方向の長さLsよりも長い(図1参照)。絶縁体20は、例えば、酸化シリコンである。

【0026】

図3(b)に示すように、パッド電極PDは、駆動回路CUAのトランジスタTrの上方に絶縁体20を介して配置されてもよい。絶縁体20は、半導体ピラーSPのZ方向の長さLsよりも厚いZ方向の厚さを有する。

50

## 【 0 0 2 7 】

図 3 ( c ) に示すように、パッド電極 P D は、コンタクトプラグ C 3 S の上に配置しても良い。パッド電極 P D の下方には、駆動回路 C U A のトランジスタ T r が配置される。コンタクトプラグ C 3 S は、配線 M 0 と、半導体層 1 7 と、を電氣的に接続する。半導体層 1 7 は、例えば、選択ゲート S G S の一部である。

## 【 0 0 2 8 】

半導体層 1 7 と配線 M 0 との間には、絶縁体 2 3 が設けられる。また、半導体層 1 7 と駆動回路 C U A の配線 D 2 との間には、絶縁体 2 5 が設けられる。絶縁体 2 3 および 2 5 は、例えば、酸化シリコンである。

## 【 0 0 2 9 】

コンタクトプラグ C 3 S は、絶縁体 2 3 を貫いて Z 方向に延びる。絶縁体 2 3 の Z 方向の厚さと、絶縁体 2 5 の Z 方向の厚さと、を合わせたトータルの厚さは、半導体ピラー S P の Z 方向の長さ L s よりも厚い。

## 【 0 0 3 0 】

このように、パッド電極 P D と回路素子との間に、半導体ピラー S P の Z 方向の長さよりも厚い絶縁体を設けることにより、ワイヤボンディング時の衝撃を軽減することができる。これにより、ワイヤボンディングによる回路素子の破壊を回避することが可能となる。また、パッド電極 P D は、ワイヤボンディングを可能とするように絶縁膜から露出された領域を有する。

## 【 0 0 3 1 】

図 4 および図 5 は、第 1 実施形態に係るパッド電極の配置を示す模式平面図である。図 4 に示す記憶装置 3 は、チップ面上に配置された複数のメモリセルアレイ M C A を有する。図 5 に示す記憶装置 4 は、チップ面上に配置されたメモリセルアレイ M C A と周辺回路 P C とを有する。

## 【 0 0 3 2 】

図 4 に示すように、メモリセルアレイ M C A の周辺のチップ面上には、周辺回路 P C が設けられる。この例では、パッド電極 P D は、周辺領域 P C R 上に配置される ( 図 3 ( a ) ~ ( c ) 参照 ) 。

## 【 0 0 3 3 】

周辺領域 P C R は、例えば、R O M ( Read Only Memory ) 等を含むロジック領域、P u m p 回路等を含む電源領域、センスアンプ、デコーダ等であり、パッド電極 P D はそれらの上方に配置されても良い。すなわち、パッド電極 P D は、駆動回路 C U A 以外の周辺回路 P C に含まれる回路素子の上に配置しても良い。

## 【 0 0 3 4 】

図 5 に示すように、記憶装置 4 は、メモリセルアレイ M C A 上に配置されたパッド電極 P D 1 ( 図 1 および図 2 参照 ) と、周辺回路 P C 上に配置されたパッド電極 P D 2 ( 図 3 ( a ) ~ ( c ) 参照 ) と、を含む。パッド電極 P D 1 は、メモリセルアレイ M C A を介して駆動回路 C U A の上に配置される。パッド電極 P D 2 は、電源部やロジック部を含む周辺回路 P C の上に配置される。

## 【 0 0 3 5 】

実施形態は、図 4 および図 5 に示す例に限定されず、パッド電極 P D は、記憶装置のチップ面上であれば、どこに配置されても良い。言い換えれば、チップ面内のいずれの場所にも回路素子を配置することが可能であり、チップ面上のスペースを有効に利用することが可能となる。

## 【 0 0 3 6 】

## [ 第 2 実施形態 ]

図 6 ( a ) および ( b ) は、第 2 実施形態に係る記憶装置 5 を模式的に示す部分断面図である。図 6 ( a ) は、ソース線 B S L 上に積層された選択ゲート S G S 、ワード線 W L および選択ゲート S G D の断面を示す模式図である。図 6 ( b ) は、図 6 ( a ) 中に示す 6 B - 6 B 線に沿った断面を示す模式図である。

10

20

30

40

50

## 【0037】

図6(a)に示すように、記憶装置5は、ソース線BSL上に設けられた第1積層体SS1と、第2積層体SS2と、を含む。第2積層体SS2は、第1積層体SS2の上に設けられる。第1積層体SS1は、選択ゲートSGSと、複数のワード線WL1と、を含む。第2積層体SS2は、複数のワード線WL2と、選択ゲートSGDと、を含む。

## 【0038】

例えば、ワード線WLの数が増えると、選択ゲートSGD、ワード線WLおよび選択ゲートSGSを貫いてソース線BSLに至るメモリホールMHを形成することが難しくなる。このような場合、ソース線BSLの上に第1積層体SS1を形成し、第1積層体SS1を貫いてソース線BSLに至るメモリホールMH1を形成する。その後、第1積層体SS1の上に、第2積層体SS2を形成し、第2積層体SS2を貫いて、メモリホールMH1に連通するメモリホールMH2を形成する。これにより、多数のワード線WLを貫くメモリホールMHを容易に形成することができる。

10

## 【0039】

図6(a)に示すように、メモリホールMH1およびMH2の内部には、メモリ膜MFと、半導体ピラーSPと、が設けられる。メモリ膜MFは、メモリホールMH1およびMH2の内面に沿ってZ方向に延びる。半導体ピラーSPは、メモリ膜MFが設けられたメモリホールMH1およびMH2の内部に設けられる。半導体ピラーSPは、第1積層体SS1を貫く第1ピラーSP1と、第2積層体SS2を貫く第2ピラーSP2と、を含む。

20

## 【0040】

図6(b)に示すように、メモリ膜MFは、第1膜27と、第2膜28と、第3膜29と、を積層した構造を有する。第1膜27および第3膜29は、例えば、シリコン酸化膜であり、第2膜28は、例えば、シリコン窒化膜である。

## 【0041】

各ワード線WLと半導体ピラーSPとの間(図6(a)参照)において、第1膜27は、ブロック絶縁膜として機能し、第2膜28は、電荷保持膜として機能し、第3膜29は、トンネル絶縁膜として機能する。すなわち、メモリ膜MFは、ワード線WLと半導体ピラーSPとの間に位置する部分において、電荷をトラップする機能を有し、メモリセルの記憶部として機能する。

30

## 【0042】

半導体ピラーSPは、例えば、半導体膜33と、絶縁性コア35と、を含む。絶縁性コア35は、メモリホールMH1およびMH2の内部においてZ方向に延びる。半導体膜33は、絶縁性コア35を囲むように設けられる。なお、メモリ膜MFおよび半導体ピラーSPは、第1実施形態においても同様の構成を有する。

## 【0043】

記憶装置5では、記憶容量を大きくするために多数のワード線WLを積層した構造を有する。また、メモリセルALEIMCAの周りの形成される絶縁体20および23(図3(a)~(c)参照)の厚さもより厚くなる。これにより、ワイヤボンディング時の衝撃がさらに抑制され、パッド電極PDの下に配置した回路素子への影響を軽減できる。

## 【0044】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

## 【符号の説明】

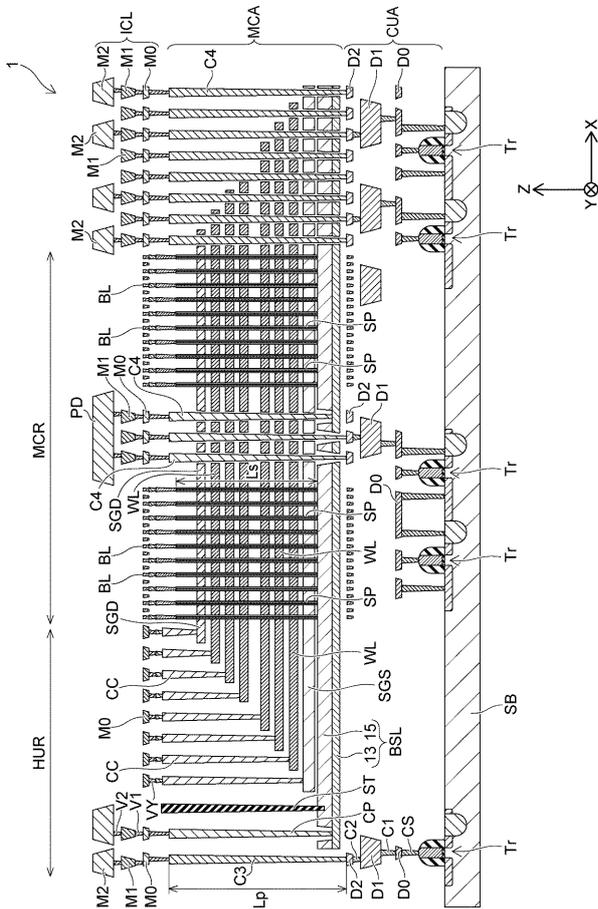
## 【0045】

1、2、3、4、5...記憶装置、 13...金属層、 15、17...半導体層、 20、23、25...絶縁体、 27...第1膜、 28...第2膜、 29...第3膜、 33...半導

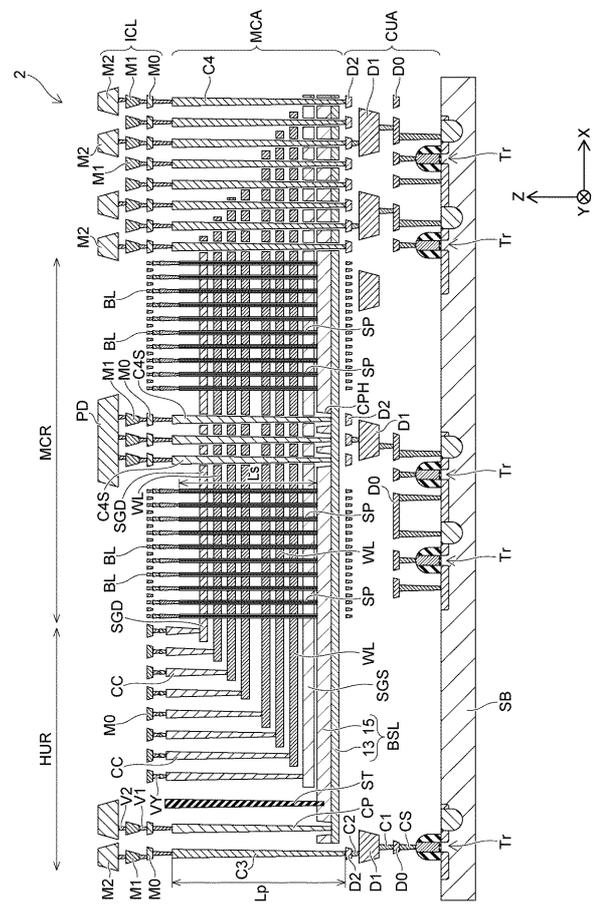
50

体膜、 3 5 ... 絶縁性コア、 BL ... ビット線、 BSL ... ソース線、 C 1、 C 2、 C 3、 C 3 S、 C 4、 C 4 S、 CC、 CS、 V 1、 V 2、 V Y ... コンタクトプラグ、 C U A ... 駆動回路、 D 0、 D 1、 D 2、 M 0、 M 1、 M 2 ... 配線、 H U R ... 引き出し領域、 I C L ... 配線層、 M C A ... メモリセルアレイ、 M C R ... メモリセル領域、 M F ... メモリ膜、 M H、 M H 1、 M H 2 ... メモリホール、 P C ... 周辺回路、 P D、 P D 1、 P D 2 ... パッド電極、 S B ... 基板、 S G D、 S G S ... 選択ゲート、 S P ... 半導体ピラー、 S P 1 ... 第 1 ピラー、 S P 2 ... 第 2 ピラー、 S S 1 ... 第 1 積層体、 S S 2 ... 第 2 積層体、 T r ... トランジスタ、 W L、 W L 1、 W L 2 ... ワード線

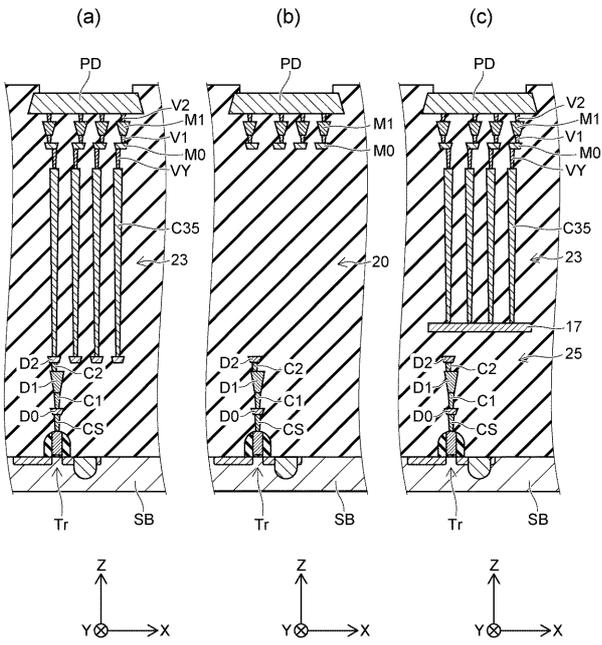
【 図 1 】



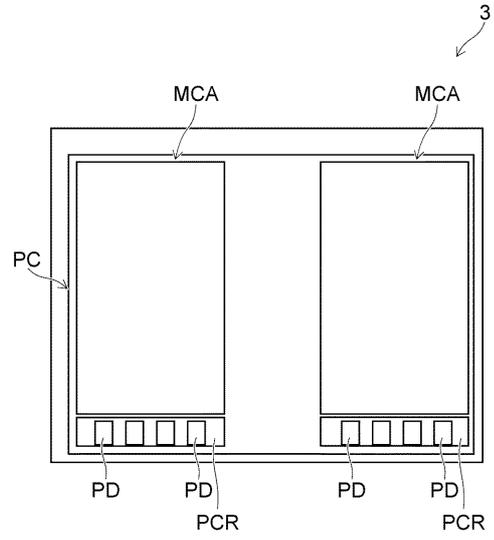
【 図 2 】



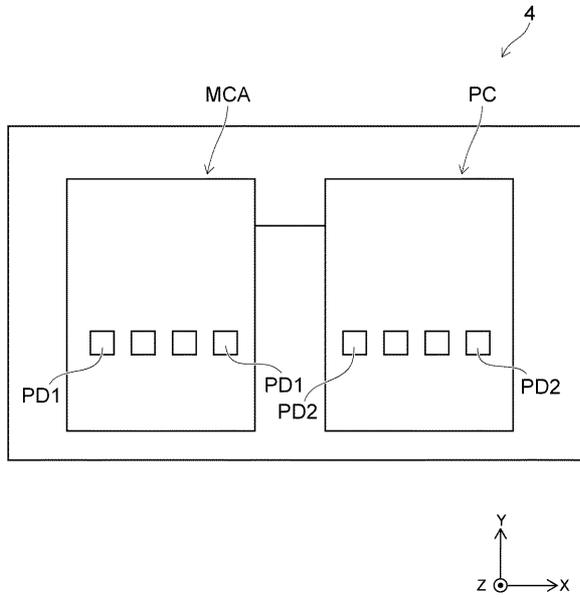
【 図 3 】



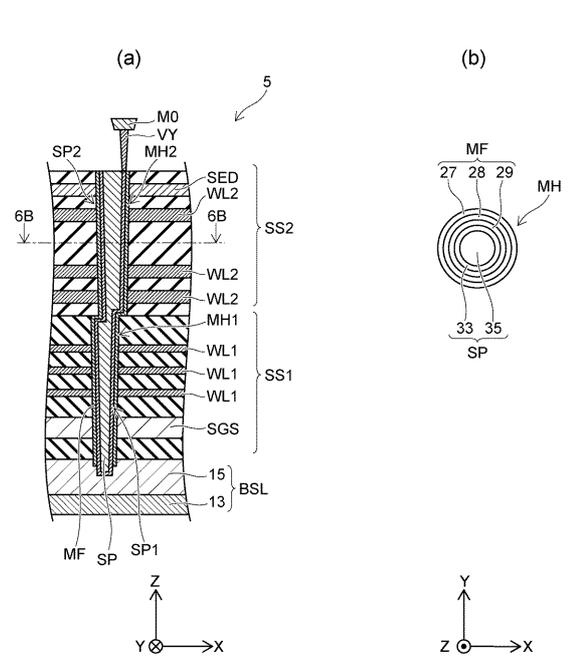
【 図 4 】



【 図 5 】



【 図 6 】



## フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)		
H 0 1 L 29/792 (2006.01)	H 0 1 L	27/04	E			
H 0 1 L 21/822 (2006.01)	H 0 1 L	21/60	3 0 1 P			
H 0 1 L 27/04 (2006.01)						
H 0 1 L 21/60 (2006.01)						

F ターム(参考) 5F038 BE07 BH12 CA03 CA05 CA10 DF05 EZ20  
5F044 EE11  
5F083 EP18 EP22 EP33 EP34 EP76 ER22 GA10 GA27 JA04 KA01  
KA05 KA11 KA18 LA03 LA05 LA10 MA06 MA16 ZA01 ZA12  
ZA14  
5F101 BA45 BB02 BD16 BD22 BD30 BD34 BE17 BE20 BH23