

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-23000  
(P2018-23000A)

(43) 公開日 平成30年2月8日(2018.2.8)

(51) Int. Cl.  
H03M 13/09 (2006.01)

F I  
H03M 13/09

テーマコード(参考)  
5J065

審査請求 未請求 請求項の数 15 O L (全 15 頁)

(21) 出願番号 特願2016-152673 (P2016-152673)  
(22) 出願日 平成28年8月3日(2016.8.3)

(71) 出願人 302062931  
ルネサスエレクトロニクス株式会社  
東京都江東区豊洲三丁目2番24号  
(74) 代理人 100103894  
弁理士 家入 健  
(72) 発明者 西川 卓郎  
東京都江東区豊洲三丁目2番24号 ルネ  
サスエレクトロニクス株式会社内  
Fターム(参考) 5J065 AB01 AC02 AD04 AD08 AE01  
AF03 AH04 AH05 AH09

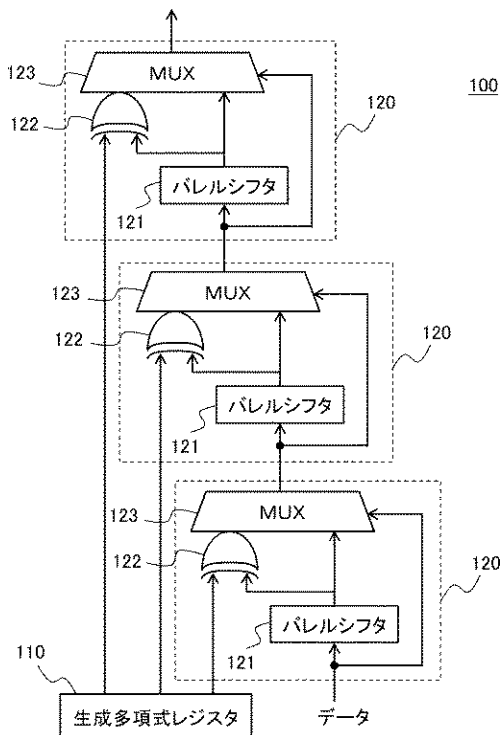
(54) 【発明の名称】 CRC演算回路、半導体装置及びリーダーシステム

(57) 【要約】

【課題】簡易な構成で様々な生成多項式に対応することが可能なCRC演算回路を提供する。

【解決手段】CRC演算回路100は、多項式データを記憶する生成多項式レジスタ110と、入力データのビット数に対応して直列に接続された複数のCRC演算部120と、を備える。複数のCRC演算部120は、入力データまたは前段のCRC演算部120の出力データを被演算データとして、被演算データを1ビットシフトするパレルシフタ121と、シフトしたシフトデータと多項式データとの排他的論理和演算を行うXOR回路122と、シフトデータと演算結果データとのいずれかを、被演算データに基づいて選択し出力するマルチプレクサ123とを備える

【選択図】図6



**【特許請求の範囲】****【請求項 1】**

生成多項式に対応した多項式データを記憶する生成多項式記憶部と、  
演算対象である入力データのビット数に対応して設けられ、直列に接続された複数の C R C 演算部と、  
を備え、

前記複数の C R C 演算部は、

前記入力データまたは前段の前記 C R C 演算部の出力データを被演算データとして、  
前記被演算データを 1 ビットシフトするパレルシフトと、

前記パレルシフトがシフトしたシフトデータと前記多項式データとの排他的論理和演算を行う排他的論理和回路と、

前記シフトデータと前記排他的論理和回路が演算した演算結果データとのいずれかを、  
前記被演算データに基づいて選択し出力する選択回路と、

を備える C R C 演算回路。

**【請求項 2】**

前記選択回路は、前記被演算データの最下位ビットまたは最上位ビットに基づいて、出力するデータを選択する、

請求項 1 に記載の C R C 演算回路。

**【請求項 3】**

前記選択回路は、前記被演算データの最下位ビットまたは最上位ビットが “ 1 ” である場合、前記演算結果データを選択し、前記最下位ビットまたは前記最上位ビットが “ 0 ” である場合、前記シフトデータを選択する、

請求項 2 に記載の C R C 演算回路。

**【請求項 4】**

前記選択回路は、前記被演算データのビットのうち、前記パレルシフトのシフト方向端部のビットに基づいて、出力するデータを選択する、

請求項 1 に記載の C R C 演算回路。

**【請求項 5】**

前記選択回路は、前記シフト方向端部のビットが “ 1 ” である場合、前記演算結果データを選択し、前記シフト方向端部のビットが “ 0 ” である場合、前記シフトデータを選択する、

請求項 4 に記載の C R C 演算回路。

**【請求項 6】**

前記多項式データのビット順序を反転するビット反転部を備える、

請求項 1 に記載の C R C 演算回路。

**【請求項 7】**

前記ビット反転部は、前記多項式データの最下位ビットから最上位ビットまでのビット順序を反転する、

請求項 6 に記載の C R C 演算回路。

**【請求項 8】**

前記ビット反転部は、前記複数の C R C 演算部から最終的に得られる出力データに対し、前記多項式データと同じ反転方法でビットを反転する、

請求項 6 に記載の C R C 演算回路。

**【請求項 9】**

前記入力データのビット順序を反転するビット反転部を備える、

請求項 1 に記載の C R C 演算回路。

**【請求項 10】**

前記ビット反転部は、前記入力データをバイト単位に分割し、各バイト内で最下位ビットから最上位ビットまでのビット順序を反転する、

請求項 9 に記載の C R C 演算回路。

10

20

30

40

50

## 【請求項 1 1】

前記 CRC 演算部は、前記入力データが 8 ビット単位で入力され、  
前記 CRC 演算部を 8 段備えている、  
請求項 1 に記載の CRC 演算回路。

## 【請求項 1 2】

前記入力データが 16 ビットの場合、前記 8 段の CRC 演算部が演算を 2 回繰り返す、  
請求項 1 1 に記載の CRC 演算回路。

## 【請求項 1 3】

前記入力データが 32 ビットの場合、前記 8 段の CRC 演算部が演算を 4 回繰り返す、  
請求項 1 1 に記載の CRC 演算回路。

10

## 【請求項 1 4】

CRC 演算回路を有し、前記 CRC 演算回路の演算結果である CRC 符号を送信データ  
に付加する CRC 付加部と、

前記 CRC 演算回路を有し、前記 CRC 演算回路の演算結果である CRC 符号に基づい  
て受信データの誤りを検査する CRC 検査部と、

を備え、

前記 CRC 演算回路は、

生成多項式に対応した多項式データを記憶する生成多項式記憶部と、

演算対象データである入力データのビット数に対応して設けられ、直列に接続された  
複数の CRC 演算部と、

20

を備え、

前記複数の CRC 演算部は、

前記入力データまたは前段の前記 CRC 演算部の出力データを被演算データとして  
、前記被演算データを 1 ビットシフトするパレルシフトと、

前記パレルシフトがシフトしたシフトデータと前記多項式データとの排他的論理和  
演算を行う排他的論理和回路と、

前記シフトデータと前記排他的論理和回路が演算した演算結果データとのいずれか  
を、前記被演算データに基づいて選択し出力する選択回路と、

を備える半導体装置。

## 【請求項 1 5】

30

電波の送受信を行う電波送受信部と、前記電波送受信部を制御する制御部と、を備えた  
レーダーシステムであって、

前記制御部は、

前記電波送受信部の電波の送信を制御する制御データを生成する制御データ生成部と

、  
CRC 演算回路を有し、前記 CRC 演算回路の演算結果である CRC 符号を前記制御  
データに付加する CRC 付加部と、

前記 CRC 符号が付加された制御データを前記電波送受信部へ送信する送信部と、

前記電波送受信部が受信した電波を示す受信電波データを、前記 CRC 符号とともに  
前記電波送受信部から受信する受信部と、

40

前記 CRC 演算回路を有し、前記 CRC 演算回路の演算結果である CRC 符号と前記  
受信した CRC 符号に基づいて、前記受信電波データの誤りを検査する CRC 検査部と、

前記誤りの無い受信電波データに基づいて、物体を検出する物体検出部と、

を備え、

前記 CRC 演算回路は、

生成多項式に対応した多項式データを記憶する生成多項式記憶部と、

演算対象データである入力データのビット数に対応して設けられ、直列に接続された  
複数の CRC 演算部と、

を備え、

前記複数の CRC 演算部は、

50

前記入力データまたは前段の前記CRC演算部の出力データを被演算データとして、前記被演算データを1ビットシフトするパレルシフトと、  
 前記パレルシフトがシフトしたシフトデータと前記多項式データとの排他的論理和演算を行う排他的論理和回路と、  
 前記シフトデータと前記排他的論理和回路が演算した演算結果データとのいずれかを、前記被演算データに基づいて選択し出力する選択回路と、  
 を備える、レーダーシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CRC演算回路、半導体装置及びレーダーシステムに関し、例えば、CRC演算を行うCRC演算回路、半導体装置及びレーダーシステムに関する。

【背景技術】

【0002】

様々なシステムにおけるデータ通信等の誤り検出方式として、CRC (Cyclic Redundancy Check: 巡回冗長検査) 方式が広く利用されている。CRC方式では、送信側と受信側で同じ生成多項式を用いてCRC演算を行うことにより、誤り検出が可能となる。生成多項式は誤り検出能力に影響するため、通信規格やシステムの要求にあわせて種々の生成多項式が採用されている。

【0003】

関連する技術として、例えば、特許文献1や2が知られている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平07-095096号公報

【特許文献2】特開2001-036414号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

近年、CRC方式を採用するシステムの多様化が進んでいるため、CRC演算を行うCRC演算回路では、多くの種類の生成多項式へ対応することが望まれている。しかしながら、関連する技術では、簡易な構成で様々な生成多項式に対応することが困難であるという問題がある。

【0006】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0007】

一実施の形態によれば、CRC演算回路は、生成多項式記憶部と複数のCRC演算部を備えている。生成多項式記憶部は、生成多項式に対応した多項式データを記憶し、複数のCRC演算部は、演算対象である入力データのビット数に対応して設けられ、直列に接続されている。

【0008】

複数のCRC演算部は、パレルシフト、排他的論理和回路、選択回路を備えている。パレルシフトは、入力データまたは前段のCRC演算部の出力データを被演算データとして、被演算データを1ビットシフトする。排他的論理和回路は、パレルシフトがシフトしたシフトデータと記憶された多項式データとの排他的論理和演算を行う。選択回路は、シフトされたシフトデータと排他的論理和回路が演算した演算結果データとのいずれかを、被演算データに基づいて選択し出力する。

【発明の効果】

10

20

30

40

50

## 【 0 0 0 9 】

前記一実施の形態によれば、簡易な構成で様々な生成多項式に対応することができる。

## 【 図面の簡単な説明 】

## 【 0 0 1 0 】

【 図 1 】 参考例 1 の C R C 演算回路の構成例を示す構成図である。

【 図 2 】 参考例 2 の C R C 演算回路の構成例を示す構成図である。

【 図 3 】 実施の形態 1 に係る車載用レーダーシステムの構成例を示す構成図である。

【 図 4 】 実施の形態 1 に係る C R C 付加部の構成例を示す構成図である。

【 図 5 】 実施の形態 1 に係る C R C 検査部の構成例を示す構成図である。

【 図 6 】 実施の形態 1 に係る C R C 演算回路の主要な構成例を示す構成図である。

10

【 図 7 A 】 実施の形態 1 に係る C R C 演算回路の具体的な構成例を示す構成図である。

【 図 7 B 】 実施の形態 1 に係る C R C 演算回路の具体的な構成例を示す構成図である。

【 図 8 】 実施の形態 2 に係る制御ユニット構成例を示す構成図である。

## 【 発明を実施するための形態 】

## 【 0 0 1 1 】

説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、様々な処理を行う機能ブロックとして図面に記載される各要素は、ハードウェア的には、CPU、メモリ、その他の回路で構成することができ、ソフトウェア的には、メモリにロードされたプログラムなどによって実現される。したがって、これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、またはそれらの組合せによっていろいろな形で実現できることは当業者には理解されるべきところであり、いずれかに限定されるものではない。なお、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

20

## 【 0 0 1 2 】

( 実施の形態に至る検討 )

一例として、半導体装置を備える車載用レーダーシステムでは、レーダーアナログ用 ( R F ) チップとマイコン ( マイクロコントローラ ) チップ間の通信に C R C 方式が使用される。このようなシステムでは、高い信頼性が要求されるため、チップ間通信の情報信頼度を向上させる必要がある。そこで、このチップ間における制御信号やデータの通信に用いられる C R C 符号の生成多項式には、より高効率な式が選択される。

30

## 【 0 0 1 3 】

さらに、同じレーダーシステムであっても、車種や世代などによって要求される性能は多種多様であり、必要となる生成多項式をあらかじめ予測することは困難である。このように、システムの要求などによって使用する生成多項式が異なっているため、C R C 演算回路において複数の生成多項式に対応することが望まれている。

## 【 0 0 1 4 】

参考例 1 として、特定の多項式に固定した回路にて C R C 演算を実行する例が考えられる。すなわち、この参考例 1 では、固定の X O R ( 排他的論理和 ) 回路の組み合わせで演算回路を構成する。図 1 は、参考例 1 の C R C 演算回路の構成イメージを示している。参考例 1 の C R C 演算回路 9 0 0 は、生成多項式  $= x^3 + x + 1$  の場合の例であり、この生成多項式に合わせた固定の組み合わせ回路である演算回路 9 0 1 ~ 9 0 3 を備えている。なお、図 1 において、“ cpre ” は、1 つ前の演算結果を示している。参考例 1 は、回路は簡素であるが、対応する生成多項式の数だけ回路が必要となるため、多種の生成多項式に柔軟に対応することはできない。

40

## 【 0 0 1 5 】

汎用的な生成多項式に対応するためには、例えば、CPUにて生成多項式の演算を実行する方法が考えられる。しかし、CPUのリソースおよびメモリ空間が消費されてしまうため、CPUの性能への影響を抑えるためには、ハードウェアで実現することが好ましい。

## 【 0 0 1 6 】

50

ハードウェアで多種の生成多項式に対応する例として、逐次ビット演算方式とルックアップテーブル方式が考えられる。逐次ビット演算方式では、1クロック毎に逐次ビットシフトしXOR演算を行うため、必要なクロック数が多くなり、処理速度が遅いという問題がある。

#### 【0017】

図2は、ルックアップテーブル方式の例として、特許文献1に記載された参考例2のCRC演算回路の構成を示している。参考例2では、データ設定部913にてあらかじめ計算されたデータ(ルックアップテーブル)をデータ格納部912に格納し、並列CRC計算部911は格納されたデータと入力データから演算結果を選択する。なお、並列CRC計算部の代わりにCPUにて実装することも可能であり、ルックアップテーブルを用いることで高速かつ汎用的にCRCの計算を行うことができる。参考例2では、生成多項式の変更は、データ格納部の構成の変更や、CPUの場合はルックアップテーブルを更新することによって切り替えが可能である。

10

#### 【0018】

参考例2のルックアップテーブル方式では高速かつ汎用的に実装することが可能であるが、ハードウェアにて実装を行うと、データ格納部に生成多項式を展開してルックアップテーブルを格納するため、多数のフリップフロップ(FF)が必要となる。このため、CRC演算結果を得るためには、多数のフリップフロップを組み合わせた論理的接続が必要となる。

#### 【0019】

LSIの出荷時やスタートアップ時に自己診断を行うことを考えると、多数のフリップフロップを組み合わせた構成では、疑似乱数を用いるSCANテストに対して故障検出率が低くなり、精度よく自己診断や故障検出を行うことができないという問題が発生する。

20

#### 【0020】

車載向けシステムでは高い信頼性を確保するために起動後に自己診断回路(BIST回路)によって自己診断を実施し、高い故障検出率と、短い初期化時間が要求される。このため、短期間に高検出可能となる構成が求められるが、参考例2のようにデータ格納部でテーブルを保持する構成では、高速な検出が難しいことが課題となる。

#### 【0021】

なお、ルックアップテーブル方式では、生成多項式が変更になると全テーブルを入れ替える必要がある。ルックアップテーブル方式では、テーブル生成にテーブル数分のクロックが必要であるため、生成多項式を切り替えるために時間かかってしまう。また、ルックアップテーブル方式では、多数のフリップフロップが必要となるため回路面積が大きくなるという問題もある。

30

#### 【0022】

このため、実施の形態では、汎用かつ少面積、自己診断回路に対応したCRC演算回路を提供可能とする。

#### 【0023】

##### (実施の形態1)

以下、図面を参照して実施の形態1について説明する。図3は、本実施の形態に係る車載用レーダーシステムの構成例を示している。なお、ここでは一例として車載用レーダーシステムについて説明するが、CRC方式を採用するその他のシステムや半導体装置に、後述する本実施の形態に係るCRC演算回路を適用してもよい。

40

#### 【0024】

図3に示すように、本実施の形態に係る車載用レーダーシステム1は、MCU(マイクロコントローラ)10、RF信号処理部20、送信アンテナ31、受信アンテナ32を備えている。MCU10とRF信号処理部20は、それぞれ別の半導体装置(半導体チップ)であり、MCU10とRF信号処理部20間は、シリアルインタフェース等により通信可能に接続されている。送信アンテナ31及び受信アンテナ32は、レーダー用アンテナであり、例えば、車体のエンブレム等に搭載されている。

50

## 【 0 0 2 5 】

MCU 10は、RF信号処理部20の動作を制御する制御部であり、RF信号処理部20が送受信した電波に基づいて物体の検出等を行う。MCU 10は、CRC付加部11、CRC検査部12、通信IF(インタフェース)13、通信IF14、DSP15、自己診断回路16を備えている。

## 【 0 0 2 6 】

CRC付加部11は、DSP15が生成した制御データをもとにCRC符号を生成し、生成したCRC符号を制御データに付加する。通信IF13は、制御データ送信用のインタフェースであり、CRC付加部11からの制御データ及びCRC符号をRF信号処理部20へ送信する。

10

## 【 0 0 2 7 】

通信IF14は、受信電波データ受信用のインタフェースであり、RF信号処理部20から受信電波データ及びCRC符号を受信する。CRC検査部12は、通信IF14が受信した受信電波データをもとにCRC符号を生成し、生成したCRC符号と受信したCRC符号に基づいてCRC検査(データ誤り検出)を行う。

## 【 0 0 2 8 】

DSP15は、RF信号処理部20の電波の送信を制御する制御データを生成し、また、RF信号処理部20から受信した受信電波データに基づいて物体の検出処理を行う。DSP15は、制御データを生成する生成部と物体検出を行う物体検出部とを含む。自己診断回路16は、MCU10の起動時、MCU10内の各回路の自己診断処理を実行する。すなわち、自己診断回路16は、各回路のフリップフロップを接続するスキャンパスに対しスキャンテストを行う。

20

## 【 0 0 2 9 】

RF信号処理部20は、MCU10の制御に基づいて電波を送受信する。RF信号処理部20は、CRC付加部21、CRC検査部22、通信IF23、通信IF24、RF部25、RF部26、A/Dコンバータ27を備えている。

## 【 0 0 3 0 】

通信IF24は、制御データ受信用のインタフェースであり、MCU10から制御データ及びCRC符号を受信する。CRC検査部22は、通信IF24が受信した制御データをもとにCRC符号を生成し、生成したCRC符号と受信したCRC符号に基づいてCRC検査を行う。RF部25は、受信した制御データに応じてRF信号を生成し、生成したRF信号によって送信アンテナ31から電波を送信する。

30

## 【 0 0 3 1 】

RF部26は、受信アンテナ32が受信した電波をもとにRF信号を生成する。A/Dコンバータ27は受信したRF信号をデジタル信号(受信電波データ)に変換する。CRC付加部21は、A/Dコンバータ27が生成した受信電波データをもとにCRC符号を生成し、生成したCRC符号を受信電波データに付加する。通信IF23は、受信電波データ送信用のインタフェースであり、CRC付加部21からの受信電波データ及びCRC符号をMCU10へ送信する。

## 【 0 0 3 2 】

車載用レーダーシステム1におけるレーダーの物体検出動作では、まず、受信アンテナ32からの電波をRF部26で処理し、A/Dコンバータ27にて受信電波データに変換する。このときに、CRC付加部21は、受信電波データにCRC符号を付加して通信IF23経由にてMCU10へ受信電波データを送付する。CRC符号が付加された受信電波データが、インタフェースを介して通信(転送)される。

40

## 【 0 0 3 3 】

MCU10側では、CRC符号を検査するCRC検査部12が、受信電波データの通信途中でデータの破損が無いことを確認する。通信の最初から最後に至るまでCRC符号にてデータが守られるために通信データの安全性が保障される。受信電波データ(レーダーデータ)の処理をMCU10側で行い、次の電波照射のために制御データがRF信号処理

50

部 20 へ送られる。この時、CRC 付加部 11 は、送信データ（設定データ）に CRC 符号を付加する。このデータを受け取る RF 信号処理部 20 側で CRC 符号の計算を行い、問題の無いデータであることが確認されたならば、設定情報を反映し、次の電波を照射する。

#### 【0034】

図 4 は、MCU 10 における CRC 付加部 11 の構成例を示している。なお、RF 信号処理部 20 における CRC 付加部 21 も同じ回路で構成可能である。

#### 【0035】

図 4 に示すように、CRC 付加部 11 は、CRC 演算回路 100 と付加回路 101 を備えている。CRC 演算回路 100 は、予め設定された生成多項式を用いて、入力されるデータ（制御データ等）に対し CRC 演算を行い、演算結果として CRC 符号を生成する。付加回路 101 は、入力されるデータに生成された CRC 符号を付加して出力する。

10

#### 【0036】

図 5 は、MCU 10 における CRC 検査部 12 の構成例を示している。なお、RF 信号処理部 20 における CRC 検査部 22 も同じ回路で構成可能である。

#### 【0037】

図 5 に示すように、CRC 検査部 12 は、CRC 演算回路 100 と比較回路 102 を備えている。CRC 演算回路 100 は、図 4 の CRC 付加部 11 と同じ回路であり、予め設定された生成多項式を用いて、入力されるデータ（受信電波データ等）に対し CRC 演算を行い、演算結果として CRC 符号を生成する。比較回路 102 は、生成された CRC 符号と、入力されたデータに付加されている CRC 符号を比較し、一致または不一致を CRC 検査結果として出力する。なお、CRC 検査が可能であれば、その他の構成であってもよい。例えば、CRC 符号を含むデータに対して CRC 演算を行い、その CRC 演算結果を出力してもよい。

20

#### 【0038】

図 6 は、図 4 及び図 5 で示した、本実施の形態に係る CRC 演算回路 100 の主要な構成を示している。図 6 に示すように、CRC 演算回路 100 は、主に、生成多項式レジスタ 110 と複数の CRC 演算部 120 を備えている。生成多項式レジスタ（生成多項式記憶部）110 は、生成多項式に対応した多項式データを記憶する。CRC 演算部 120 は、入力されるデータをビットシフトしつつ、生成多項式（多項式データ）を用いて CRC 演算（排他的論理和）を行う。CRC 演算部 120 は、演算対象である入力データのビット数に対応して設けられ、直列に接続されている。

30

#### 【0039】

CRC 演算部 120 は、バレルシフト 121、XOR（排他的論理和）回路 122、マルチプレクサ 123 を備えている。バレルシフト 121 は、入力データまたは前段の CRC 演算部 120 の出力データを被演算データとして、被演算データを 1 ビットシフトする。例えば、下位ビット側へ 1 ビットシフト（右シフト）するが、上位ビット側へ 1 ビットシフト（左シフト）してもよい。バレルシフト 121 は、入力ビット位置と出力ビット位置を切り替えることでビットシフトする論理回路である。

#### 【0040】

XOR（排他的論理和）回路 122 は、バレルシフト 121 がシフトしたシフトデータと生成多項式レジスタ 110 の多項式データとの排他的論理和演算を行う論理回路である。マルチプレクサ（選択回路）123 は、バレルシフト 121 がシフトしたシフトデータと XOR 回路 122 が演算した演算結果データとのいずれかを、被演算データ（シフト前のデータ）に基づいて選択し出力する論理回路である。マルチプレクサ 123 は、被演算データの最下位ビットまたは最上位ビットに基づいて、シフトデータまたは演算結果データを選択してもよい。例えば、マルチプレクサ 123 は、被演算データの最下位ビットまたは最上位ビットが“1”である場合、演算結果データを選択し、被演算データの最下位ビットまたは最上位ビットが“0”である場合、シフトデータを選択してもよい。言い換えると、マルチプレクサ 123 は、被演算データのビットのうち、バレルシフトのシフト

40

50



方向（右シフト方向または左シフト方向）端部のビット（例えば最下位ビットまたは最上位ビット）に基づいて、シフトデータまたは演算結果データを選択してもよく、シフト方向端部のビットが“1”である場合、演算結果データを選択し、シフト方向端部のビットが“0”である場合、シフトデータを選択してもよい。被演算データの最下位ビットまたは最上位ビットやシフト方向端部のビットに基づいて、XOR演算を選択することで、CRC演算を論理回路で実現することができる。

#### 【0041】

図7A及び図7Bは、1バイト（8ビット）のデータのCRC演算を行うCRC演算回路100の具体例を示している。図7A及び図7Bの例では、CRC演算部120は、生成多項式レジスタ110、8ビットに対応した8段のCRC演算部120-1～120-8を備えている。

10

#### 【0042】

さらに、CRC演算回路100は、ビット反転（シフト及びリバース設定）レジスタ131、データレジスタ132、前データレジスタ（初期値または前値レジスタ）133、XOR回路134を備えている。CRC演算回路100では、フリップフロップから構成されるレジスタ110、131～133以外は、すべて組み合わせ論理回路で構成されている。

#### 【0043】

ビット反転レジスタ131は、生成多項式レジスタ110に格納される多項式データ、データレジスタ132に入力される入力データ、前データレジスタ133から出力される出力データのビット反転を設定する。なお、ビット反転とは、MSB（Most Significant Bit：最上位ビット）側とLSB（Least Significant Bit：最下位ビット）側との間のビット順番を入れ替える（ビットスワップする）ことである。

20

#### 【0044】

ビット反転レジスタ131は、生成多項式及び出力データのデータ単位のビット反転の有無の設定、入力データのバイト単位のビット反転の有無の設定を格納する。例えば、ビット反転レジスタ131に格納されたビット反転の設定に応じて、各データのビットを反転させるビット反転回路を備えてもよい。ビット反転レジスタ131やビット反転回路がビット反転部を構成してもよい。

#### 【0045】

ビット反転レジスタ131（もしくはビット反転回路）は、生成多項式のビット反転が有りの場合、生成多項式レジスタ110の多項式データをデータ全体でビット反転させる。すなわち、多項式データのMSBからLSBまでのビット順序を反転する。例えば、図7Bでは、生成多項式が16ビット幅で“0x8005”の場合、データ全体をビット反転し“0xA001”とする。また、生成多項式レジスタ110のデータ最大処理幅が64ビットである場合、一度データ（64ビット）をビット反転した後、実際に使用する16ビット分をLSB側にシフトしてもよい。例えば、“0x0000000000008005”の全体を反転して“0xA001000000000000”とし、“0xA001”をLSB側へシフトして“0x000000000000A001”とする。この場合、未使用ビット（16ビットより上位側のビット）は全部“0”としておくと処理に影響しない。

30

40

#### 【0046】

また、ビット反転レジスタ131（もしくはビット反転回路）は、入力データのビット反転が有りの場合、データレジスタ132の入力データをバイト単位でビット反転させる。すなわち、入力データをバイト単位に分割し、各バイト内でMSBからLSBまでのビット順序を反転する。バイト単位で反転することで、入力データのアドレスがずれることを防ぐことができる。

#### 【0047】

例えば、入力データが“0x12345678”の場合、1バイト目の“0x12”を反転して“0x48”とし、2バイト目の“0x34”を反転して“0x2C”とし、3バイト目の“0x56”を反転して“0x6A”とし、4バイト目の“0x78”を反転して“0x1E”とする。その結果、入力デー

50

タ“0x12345678”をビット反転すると、“0x482C6A1E”となる。図7Bでは、ビット反転後の入力データを“0x31”とする。

【0048】

図7Bに示すように、CRC演算部120-1~120-8は、データレジスタ132の入力データ“0x31”に対し、生成多項式レジスタ110の多項式データ“0xA001”を用いてCRC演算を行う。データレジスタ132とCRC演算部120-1との間に、前回の演算結果を加える(排他的論理和をとる)ためのXOR回路134が接続されている。図7Bでは、XOR回路134は、入力データ“0x31”と前データレジスタ133の初期値“0x0000”をXOR演算し、演算したデータ“0x31”をCRC演算部120-1に出力する。

10

【0049】

CRC演算部120-1では、XOR回路134から入力されたデータ“0x31”をバレルシフタ121-1が1ビット右へシフトし、シフトされたデータ“0x18”を生成する。マルチプレクサ123-1は、入力されたデータ“0x31”のLSBが“1”であるため、XOR回路122-1の出力を選択する。すなわち、XOR回路122-1は、多項式データ“0xA001”とシフトされたデータ“0x18”をXOR演算し、マルチプレクサ123-1は、演算されたデータ“0xA019”をCRC演算部120-2に出力する。

【0050】

CRC演算部120-2では、CRC演算部120-1から入力されたデータ“0xA019”をバレルシフタ121-2が1ビット右へシフトし、シフトされたデータ“0x500C”を生成する。マルチプレクサ123-2は、入力されたデータ“0xA019”のLSBが“1”であるため、XOR回路122-2の出力を選択する。すなわち、XOR回路122-2は、多項式データ“0xA001”とシフトされたデータ“0x500C”をXOR演算し、マルチプレクサ123-2は、演算されデータ“0xF00D”をCRC演算部120-3に出力する。

20

【0051】

CRC演算部120-3では、CRC演算部120-2から入力されたデータ“0xF00D”をバレルシフタ121-3が1ビット右へシフトし、シフトされたデータ“0x7806”を生成する。マルチプレクサ123-3は、入力されたデータ“0xF00D”のLSBが“1”であるため、XOR回路122-3の出力を選択する。すなわち、XOR回路122-3は、多項式データ“0xA001”とシフトされたデータ“0x7806”をXOR演算し、マルチプレクサ123-3は、演算されたデータ“0xD807”をCRC演算部120-4に出力する。

30

【0052】

CRC演算部120-4では、CRC演算部120-3から入力されたデータ“0xD807”をバレルシフタ121-4が1ビット右へシフトし、シフトされたデータ“0x6C03”を生成する。マルチプレクサ123-4は、入力されたデータ“0xD807”のLSBが“1”であるため、XOR回路122-4の出力を選択する。すなわち、XOR回路122-4は、多項式データ“0xA001”とシフトされたデータ“0x6C03”をXOR演算し、マルチプレクサ123-4は、演算されデータ“0xCC02”をCRC演算部120-5に出力する。

40

【0053】

図7Aに示すように、CRC演算部120-5では、CRC演算部120-4から入力されたデータ“0xCC02”をバレルシフタ121-5が1ビット右へシフトし、シフトされたデータ“0x6601”を生成する。マルチプレクサ123-5は、入力されたデータ“0xCC02”のLSBが“0”であるため、XOR回路122-5の出力を選択しない(バレルシフタ121-5の出力を選択する)。すなわち、マルチプレクサ123-5は、シフトされたデータ“0x6601”をCRC演算部120-6に出力する。

【0054】

CRC演算部120-6では、CRC演算部120-5から入力されたデータ“0x6601”をバレルシフタ121-6が1ビット右へシフトし、シフトされたデータ“0x3300”を

50

生成する。マルチプレクサ 1 2 3 - 6 は、入力されたデータ “ 0x6601 ” の L S B が “ 1 ” であるため、X O R 回路 1 2 2 - 6 の出力を選択する。すなわち、X O R 回路 1 2 2 - 6 は、多項式データ “ 0xA001 ” とシフトされたデータ “ 0x3300 ” を X O R 演算し、マルチプレクサ 1 2 3 - 6 は、演算されたデータ “ 0x9301 ” を C R C 演算部 1 2 0 - 7 に出力する。

#### 【 0 0 5 5 】

C R C 演算部 1 2 0 - 7 では、C R C 演算部 1 2 0 - 6 から入力されたデータ “ 0x9301 ” をパレルシフタ 1 2 1 - 7 が 1 ビット右へシフトし、シフトされたデータ “ 0x4980 ” を生成する。マルチプレクサ 1 2 3 - 7 は、入力されたデータ “ 0x9301 ” の L S B が “ 1 ” であるため、X O R 回路 1 2 2 - 7 の出力を選択する。すなわち、X O R 回路 1 2 2 - 7 は、多項式データ “ 0xA001 ” とシフトされたデータ “ 0x4980 ” を X O R 演算し、マルチプレクサ 1 2 3 - 7 は、演算されたデータ “ 0xE981 ” を C R C 演算部 1 2 0 - 8 に出力する。

10

#### 【 0 0 5 6 】

C R C 演算部 1 2 0 - 8 では、C R C 演算部 1 2 0 - 7 から入力されたデータ “ 0xE981 ” をパレルシフタ 1 2 1 - 8 が 1 ビット右へシフトし、シフトされたデータ “ 0x74C0 ” を生成する。マルチプレクサ 1 2 3 - 8 は、入力されたデータ “ 0xE981 ” の L S B が “ 1 ” であるため、X O R 回路 1 2 2 - 8 の出力を選択する。すなわち、X O R 回路 1 2 2 0 8 は、多項式データ “ 0xA001 ” とシフトされたデータ “ 0x74C0 ” を X O R 演算し、マルチプレクサ 1 2 3 - 8 は、演算されたデータ “ 0xD4C1 ” を前データレジスタ 1 3 3 に出力する。

20

#### 【 0 0 5 7 】

以上の C R C 演算部 1 2 0 - 1 ~ 1 2 0 - 8 の動作により C R C 演算が終了した場合、図 7 B に示すように、前データレジスタ 1 3 3 のデータ “ 0xD4C1 ” を出力データとして出力する。出力する際に、ビット反転レジスタ 1 3 1 の設定に応じて、生成多項式と同様にビット反転を行う。

#### 【 0 0 5 8 】

C R C 演算の対象となる入力データが 1 バイト ( 8 ビット ) 単位で入力され、8 段の C R C 演算部 1 2 0 - 1 ~ 1 2 0 - 8 により、入力データの単位に合わせて演算処理を行うことができる。演算対象のデータが 1 バイト ( 8 ビット ) の場合、C R C 演算部 1 2 0 - 1 ~ 1 2 0 - 8 の処理を 1 回実行して演算を終了し、データが 2 バイト ( 1 6 ビット : 1 ワード ) の場合、C R C 演算部 1 2 0 - 1 ~ 1 2 0 - 8 の処理を 2 回実行して演算を終了し、データが 4 バイト ( 3 2 ビット : 1 ロングワード ) の場合、C R C 演算部 1 2 0 - 1 ~ 1 2 0 - 8 の処理を 4 回実行して演算を終了する。データのサイズに合わせて繰り返し演算を実行することで、8 段の C R C 演算部 1 2 0 - 1 ~ 1 2 0 - 8 により、様々なサイズのデータに対し演算処理を行うことができる。

30

#### 【 0 0 5 9 】

図 6、図 7 A 及び図 7 B のように、本実施の形態では、各 C R C 演算部において入力されるデータ ( 前段の演算結果 ) を元に、生成多項式 ( P O L Y ) との X O R 論理演算を選択できるようにマルチプレクサを構成する。C R C 符号の計算アルゴリズムには左シフト方式と右シフト方式が存在するが、同一回路にて計算を実現するため、入力データおよび生成多項式の多項式データに対するビット反転設定を行うことで、マルチプレクサ及び X O R 回路部分 ( C R C 演算部 ) の構成を共用可能とする。

40

#### 【 0 0 6 0 】

本実施の形態の構成では、関連するルックアップテーブル方式におけるフリップフロップ部分を、組み合わせ回路で構成することができる。このため、生成多項式の切り替え自体は 1 サイクルで実施可能となる。本実施の形態では、フリップフロップの使用数は、入力データ幅 ( 8 ビット )、多項式データ幅 ( 6 4 ビット )、一部設定のデータ幅に必要な数となり、これらのフリップフロップのみで最終的なデータが出力される構成となる。

#### 【 0 0 6 1 】

50

一方、ルックアップテーブル方式では中間データを保持するフリップフロップの個数が出力データに関連する構成となる。ルックアップテーブル方式のように、多数のフリップフロップにてデータが出力される構成では、乱数を用いたSCANテストにおける最終出力が所望の組合せとなるまでの確率が非常に小さくなるため、故障を検出し難い構成となる。本実施の形態では、少数のフリップフロップのみの構成となるため、SCANテストにおける故障検出が容易な構成となる。例えば、一般的な自動車向け半導体で用いられるスタートアップ診断では、短い時間に高い検出率が要求されるため、故障検出容易な本実施の形態の構成は車載向けの製品に適した構成となる。

#### 【0062】

以上のように、本実施の形態では、各CRC演算部において、入力されるデータ（前段の演算結果）をシフトするパレルシフトと、入力されるデータに基づいて、シフトデータと多項式データとのXOR論理演算を選択可能とすることで、簡易な構成で多種の生成多項式に対応することができる。関連するルックアップテーブル方式のようにデータ格納部を持つことが無く、データ格納部と同等の機能を論理演算のみで実現することが可能となる。このため、CRC符号の出力に影響を及ぼすフリップフロップの数を少なくすることができる。したがって、汎用的かつ故障検出容易な構成となり、車載向けのCRC演算に適した構成となる。また、多項式を変更する場合に、ルックアップテーブルの変更が不要であり、高速に生成多項式を切り替えることができる。さらに、フリップフロップが少ない構成となるため、回路面積の増加を抑えることもできる。

#### 【0063】

##### （実施の形態2）

以下、図面を参照して実施の形態2について説明する。図8は、本実施の形態に係る制御ユニットの構成例を示している。この例は、複数の通信インタフェースを有する制御ユニット（通信システム）に実施の形態のCRC演算回路を応用した例である。

#### 【0064】

図8に示すように、本実施の形態に係る制御ユニット200は、例えば車載用の制御ユニットであり、実施の形態1のCRC演算回路100、CAN-FDインタフェース201、SPIインタフェース202、UARTインタフェース203、RAM204を備えている。CAN-FDインタフェース201は、CAN-FDネットワークを介して上位システムに接続され、SPIインタフェース202は、SPIバスを介して下位システムに接続され、UARTインタフェース203は、UARTシリアルバスを介して下位システムに接続されている。

#### 【0065】

CRC演算回路100では、実施の形態1で説明したように、生成多項式の切り替えに要するサイクルが1サイクルとなるため、高速な切り替えが可能である。この特徴を利用することで、本実施の形態では、次のような動作及び効果を実現することが可能である。

#### 【0066】

ここでは、上位システム（CAN-FD側）から送信される情報を下位システムへ転送するシステムを考え、上位システムからの情報は比較的大きなデータ量であるとする。CRC符号の生成多項式は、長大なデータに対しては大きなビット数の生成多項式を用いることが一般的である。また、想定されるデータの破損に対応した効率の良い生成多項式が各インタフェースに応じて決められている。このため、データ量および通信IFの特長に応じて生成多項式は変わってくる。

#### 【0067】

例えば、CRC演算回路100は、上位システム側からの長大なデータに対しては大きなビット数の生成多項式を用いてCRC演算を実施し、演算結果をRAM204に格納する。CRC演算回路100は、RAM204のデータを下位システム側への転送に使用する場合、小さなビット数の生成多項式を用いてCRC演算を実施し通信を行う。このように、本実施の形態では、高速に多項式を切り替えることが可能であるため、データ量やインタフェースに応じて多項式を切り替えることで、1つの演算モジュールにて複数の通信

に対応した演算を高速に実施することが可能となる。

【 0 0 6 8 】

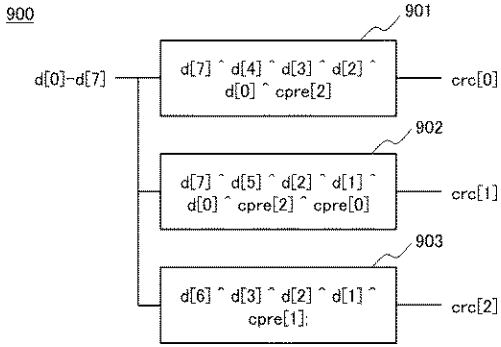
以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

【 符号の説明 】

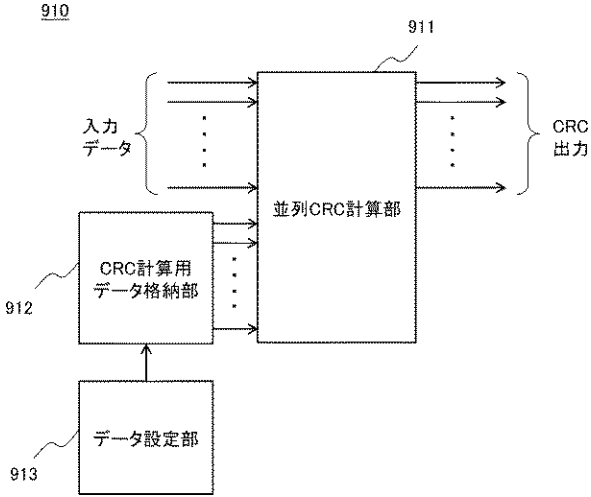
【 0 0 6 9 】

1	車載用レーダーシステム	
1 0	M C U	
1 1	C R C 付加部	10
1 2	C R C 検査部	
1 3、1 4	通信 I F	
1 5	D S P	
1 6	自己診断回路	
2 0	R F 信号処理部	
2 1	C R C 付加部	
2 2	C R C 検査部	
2 3、2 4	通信 I F	
2 5、2 6	R F 部	
2 7	A / D コンバータ	20
3 1	送信アンテナ	
3 2	受信アンテナ	
1 0 0	C R C 演算回路	
1 0 1	付加回路	
1 0 2	比較回路	
1 1 0	生成多項式レジスタ	
1 2 0	C R C 演算部	
1 2 1	バレルシフト	
1 2 2	X O R 回路	
1 2 3	マルチプレクサ	30
1 3 1	ビット反転レジスタ	
1 3 2	データレジスタ	
1 3 3	前データレジスタ	
1 3 4	X O R 回路	
2 0 0	制御ユニット	
2 0 1	C A N - F D インタフェース	
2 0 2	S P I インタフェース	
2 0 3	U A R T インタフェース	

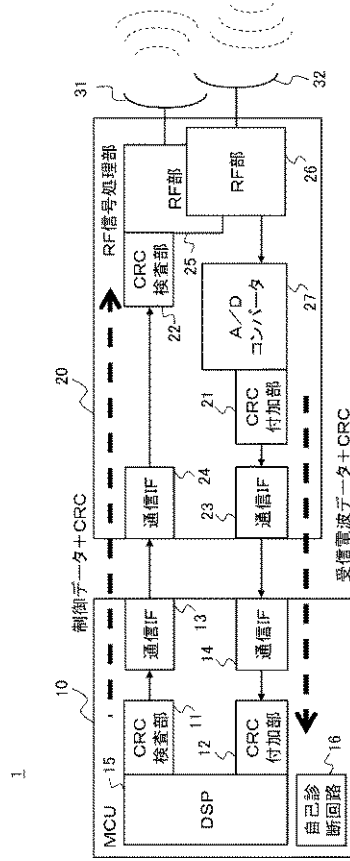
【図1】



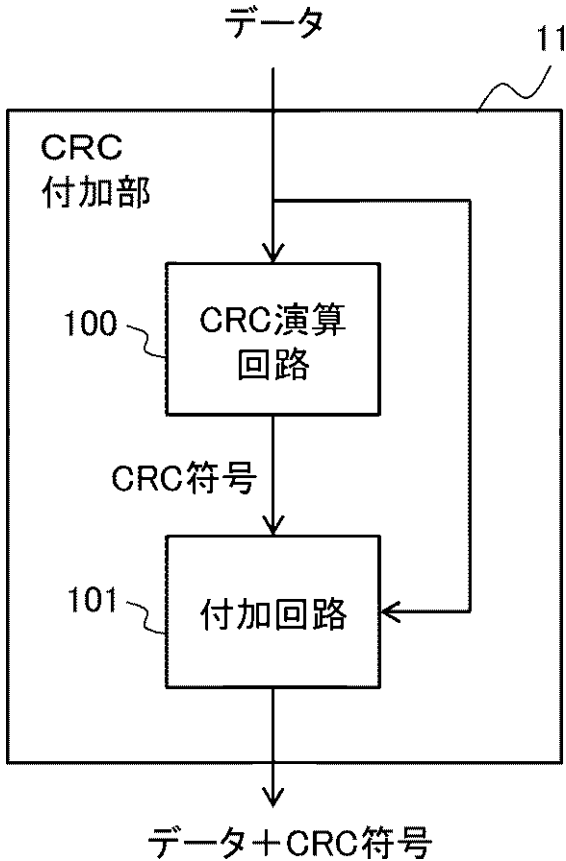
【図2】



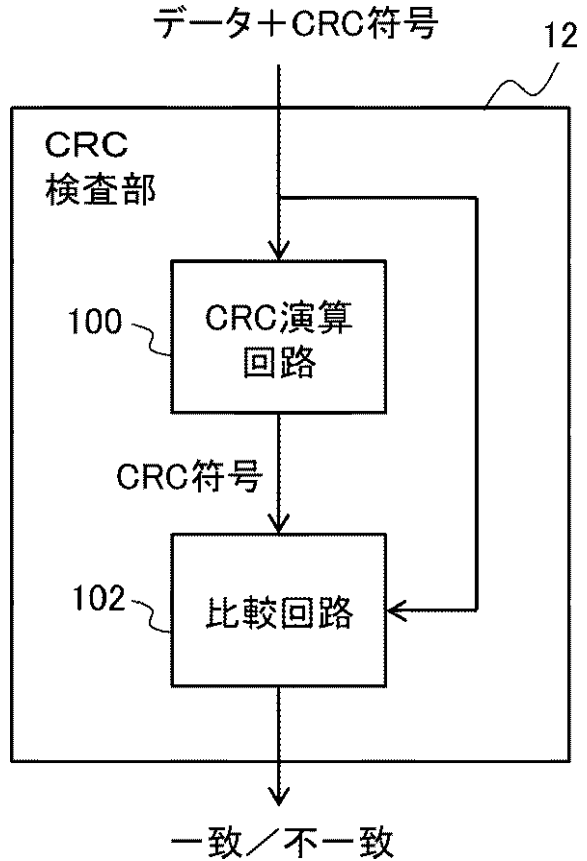
【図3】



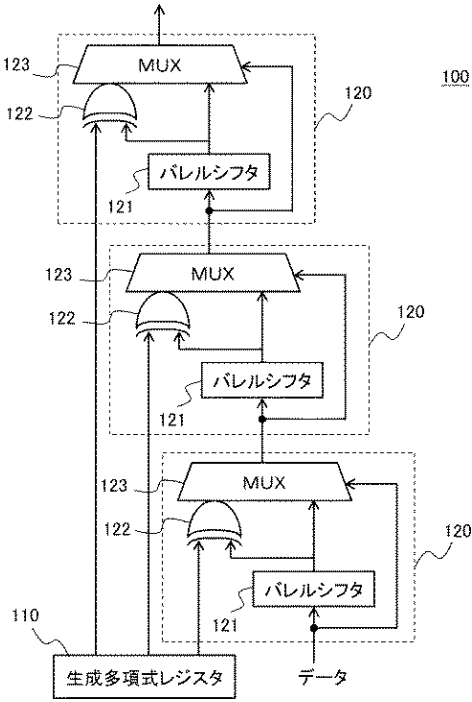
【図4】



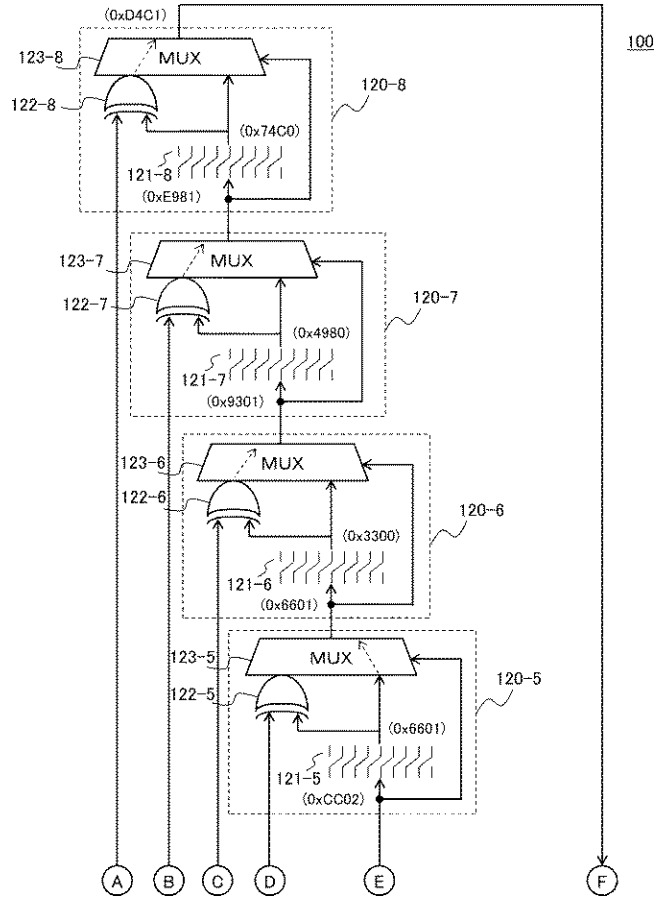
【図5】



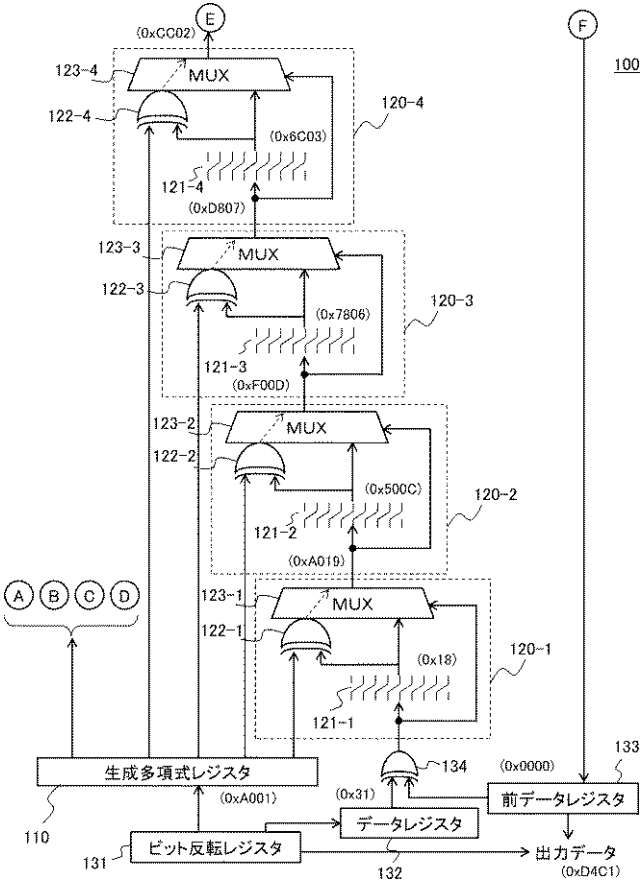
【図6】



【図7A】



【図7B】



【図8】

