

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-49497
(P2014-49497A)

(43) 公開日 平成26年3月17日(2014.3.17)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/8246 (2006.01)	HO 1 L 27/10 4 4 7	4 M 1 1 9
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8	5 F 0 8 3
HO 1 L 45/00 (2006.01)	HO 1 L 45/00 A	5 F 0 9 2
HO 1 L 49/00 (2006.01)	HO 1 L 49/00 Z	
HO 1 L 43/08 (2006.01)	HO 1 L 43/08 Z	

審査請求 未請求 請求項の数 8 O L (全 27 頁) 最終頁に続く

(21) 出願番号	特願2012-189094 (P2012-189094)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成24年8月29日 (2012.8.29)	(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100109830 弁理士 福原 淑弘
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100103034 弁理士 野河 信久
		(74) 代理人	100075672 弁理士 峰 隆司
		(74) 代理人	100153051 弁理士 河野 直樹

最終頁に続く

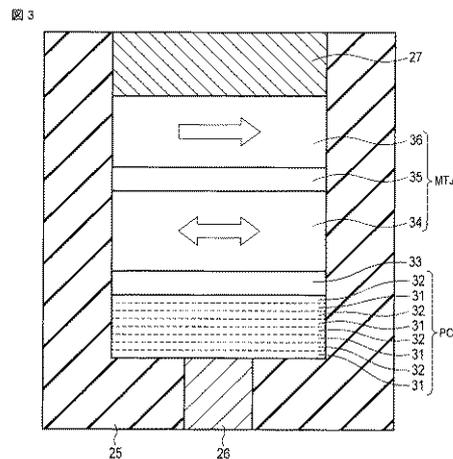
(54) 【発明の名称】 不揮発性半導体記憶装置及びその動作方法

(57) 【要約】

【課題】 低電流動作を実現しつつ、データ書き換え耐久性、データ保持特性、およびON/OFFの抵抗比の向上を図る。

【解決手段】 本実施形態による不揮発性半導体記憶装置は、半導体基板と、前記半導体基板上に配置され、可変抵抗素子を備えるメモリセルと、を具備する。前記可変抵抗素子は、結晶状態を可変にすることによって少なくとも2つの異なる抵抗状態を有する相変化素子と、磁化状態を可変にすることによって少なくとも2つの異なる抵抗状態を有し、その磁化状態に応じて前記相変化素子に磁場を印加するまたは印加しない磁気抵抗効果素子と、で構成される積層構造を含む。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

半導体基板と、
前記半導体基板上に配置され、可変抵抗素子を備えるメモリセルと、
を具備し、

前記可変抵抗素子は、結晶状態を可変にすることによって少なくとも2つの異なる結晶抵抗状態を有する相変化素子と、磁化状態を可変にすることによって少なくとも2つの異なる磁化抵抗状態を有し、その磁化状態に応じて前記相変化素子に磁場を印加するまたは印加しない磁気抵抗効果素子と、前記相変化素子と前記磁気抵抗効果素子との間に形成されたバリア層と、で構成される積層構造を含み、

10

前記相変化素子は、Sb、Te、Ag、Al、Au、Bi、Cu、Ga、In、Si、またはZnの少なくとも1つ以上を含む化合物から構成される複数の第1層と、GeおよびTeを含む化合物から構成される複数の第2層と、が交互に積層された積層構造であり、

前記バリア層は、Ag、Al、Au、Cr、Ru、Ta、Ti、Pd、またはPtの少なくともいずれか1つ以上を含み、

前記磁気抵抗効果素子は、膜面に対して垂直方向の磁気異方性を有し、磁化方向が可変の記憶層と、膜面に対して垂直方向の磁気異方性を有し、磁化方向が不変の参照層と、前記記憶層と前記参照層との間に形成されたトンネルバリア層と、を有する

ことを特徴とする不揮発性半導体記憶装置。

20

【請求項 2】

半導体基板と、
前記半導体基板上に配置され、可変抵抗素子を備えるメモリセルと、
を具備し、

前記可変抵抗素子は、結晶状態を可変にすることによって少なくとも2つの異なる結晶抵抗状態を有する相変化素子と、磁化状態を可変にすることによって少なくとも2つの異なる磁化抵抗状態を有し、その磁化状態に応じて前記相変化素子に磁場を印加するまたは印加しない磁気抵抗効果素子と、で構成される積層構造を含む

ことを特徴とする不揮発性半導体記憶装置。

【請求項 3】

前記相変化素子は、Sb、Te、Ag、Al、Au、Bi、Cu、Ga、In、Si、またはZnの少なくとも1つ以上を含む化合物から構成される複数の第1層と、GeおよびTeを含む化合物から構成される複数の第2層と、が交互に積層された積層構造であることを特徴とする請求項2に記載の不揮発性半導体記憶装置。

30

【請求項 4】

前記可変抵抗素子は、前記相変化素子と前記磁気抵抗効果素子との間に形成されたバリア層をさらに含むことを特徴とする請求項2または請求項3に記載の不揮発性半導体記憶装置。

【請求項 5】

前記バリア層は、Ag、Al、Au、Cr、Ru、Ta、Ti、Pd、またはPtの少なくともいずれか1つ以上を含むことを特徴とする請求項4に記載の不揮発性半導体記憶装置。

40

【請求項 6】

前記磁気抵抗効果素子は、膜面に対して垂直方向の磁気異方性を有し、磁化方向が可変の記憶層と、膜面に対して垂直方向の磁気異方性を有し、磁化方向が不変の参照層と、前記記憶層と前記参照層との間に形成されたトンネルバリア層と、を有することを特徴とする請求項2乃至請求項5のいずれか1項に記載の不揮発性半導体記憶装置。

【請求項 7】

半導体基板と、前記半導体基板上に配置され、可変抵抗素子を備えるメモリセルと、を具備する不揮発性半導体記憶装置の動作方法であって、

50

前記可変抵抗素子は、結晶状態を可変にすることによって少なくとも2つの異なる抵抗状態を有する相変化素子と、磁化状態を可変にすることによって少なくとも2つの異なる抵抗状態を有し、その磁化状態に応じて前記相変化素子に磁場を印加するまたは前記相変化素子への磁場をゼロにする磁気抵抗効果素子と、で構成される積層構造を含み、

前記可変抵抗素子にデータを書き込む際、

前記可変抵抗素子に第1書き込み電流パルスを印加することにより、前記相変化素子の結晶状態を第1結晶状態から第2結晶状態に変化させて前記相変化素子の抵抗状態を第1結晶抵抗状態から第2結晶抵抗状態に変化させ、

前記可変抵抗素子に第2書き込み電流パルスを印加することにより、前記磁気抵抗効果素子の磁化状態を第1磁化状態から第2磁化状態に変化させて前記磁気抵抗効果素子の抵抗状態を第1磁化抵抗状態から第2磁化抵抗状態に変化させ、かつ、前記磁気抵抗効果素子を前記第2磁化状態にすることによって前記相変化素子に磁場を印加する

ことを特徴とする不揮発性半導体記憶装置の動作方法。

【請求項8】

前記可変抵抗素子のデータを消去する際、

前記可変抵抗素子に第1消去電流パルスを印加することにより、前記磁気抵抗効果素子の磁化状態を前記第2磁化状態から前記第1磁化状態に変化させて前記磁気抵抗効果素子の抵抗状態を前記第2磁化抵抗状態から前記第1磁化抵抗状態に変化させ、かつ、前記磁気抵抗効果素子を前記第1磁化状態にすることによって前記相変化素子への磁場をゼロにし、

前記可変抵抗素子に第2消去電流パルスを印加することにより、前記相変化素子の結晶状態を前記第2結晶状態から前記第1結晶状態に変化させて前記相変化素子の抵抗状態を前記第2結晶抵抗状態から前記第1結晶抵抗状態に変化させる

ことを特徴とする請求項7に記載の不揮発性半導体記憶装置の動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、不揮発性半導体記憶装置及びその動作方法に関する。

【背景技術】

【0002】

近年、多くの小型携帯機器が一般に普及されている。このため、これら携帯機器に搭載される不揮発性メモリの容量が増えるとともに、全ての電子デバイスに低消費電力化やさらなる低コスト化が望まれている。

【0003】

不揮発性半導体メモリとしては、NAND型フラッシュメモリに代わる新たな方式のメモリが従来から提案されている。例えば、強誘電性を利用するFERAM (ferroelectric Random Access Memory)、もしくは単にFRAM (登録商標)、磁気特性の変化とこれに伴う抵抗変化を利用するMRAM (Magnetic Random Access Memory)、主にカルコゲナイト系材料の電気抵抗変化を利用するPCRAM (Phase Change Random Access Memory)、もしくは単にPRAM、または、酸化物の抵抗変化現象を利用するReRAM (Resistance Random Access Memory) 等が提案され、一部実用化されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2008-187183号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

低電流動作を実現しつつ、データ書き換え耐久性、データ保持特性、およびON/OFFの抵抗比の向上を図る不揮発性半導体記憶装置及びその動作方法を提供する。

10

20

30

40

50

【課題を解決するための手段】

【0006】

本実施形態による不揮発性半導体記憶装置は、半導体基板と、前記半導体基板上に配置され、可変抵抗素子を備えるメモリセルと、を具備する。前記可変抵抗素子は、結晶状態を可変にすることによって少なくとも2つの異なる抵抗状態を有する相変化素子と、磁化状態を可変にすることによって少なくとも2つの異なる抵抗状態を有し、その磁化状態に応じて前記相変化素子に磁場を印加するまたは印加しない磁気抵抗効果素子と、で構成される積層構造を含む。

【図面の簡単な説明】

【0007】

10

【図1】第1の実施形態に係る不揮発性半導体記憶装置の構造を示す回路図。

【図2】第1の実施形態に係る不揮発性半導体記憶装置の構造を示す断面図。

【図3】図2における可変抵抗素子を拡大した断面図。

【図4】非結晶状態の相変化素子における磁場印加の有無に応じた電流値に対する抵抗値の変化を示すグラフ。

【図5】第1の実施形態に係る不揮発性半導体記憶装置の動作例を示す図。

【図6】図5に続く、第1の実施形態に係る不揮発性半導体記憶装置の動作例を示す図。

【図7】図6に続く、第1の実施形態に係る不揮発性半導体記憶装置の動作例を示す図。

【図8】図7に続く、第1の実施形態に係る不揮発性半導体記憶装置の動作例を示す図。

20

【図9】図8に続く、第1の実施形態に係る不揮発性半導体記憶装置の動作例を示す図。

【図10】第1の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図。

【図11】図10に続く、第1の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図。

【図12】図11に続く、第1の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図。

【図13】第2の実施形態に係る不揮発性半導体記憶装置の構造を示す断面図。

【図14】第2の実施形態に係る不揮発性半導体記憶装置の構造の変形例を示す回路図。

【図15】第2の実施形態に係る不揮発性半導体記憶装置の構造の変形例を示す断面図。

【発明を実施するための形態】

【0008】

30

PRAMは、可変抵抗素子として相変化素子を用いて、その結晶状態によって抵抗状態を変化させてデータを記憶する。相変化材料としては例えばカルコゲナイト材料が用いられ、そのカルコゲナイト材料を結晶とアモルファス（非結晶）間で相変化させる。このPRAMには、半導体デバイス以前に実用化されたCD-RWやDVD-RAM等の書き換え型光ディスクに用いられた材料技術が応用されている。

【0009】

相変化素子に用いられるデータの蓄積、記憶、または消去を行う材料（相変化材料）は、適宜調整された電流を印加して温度を上昇および下降させることにより、結晶状態と非結晶状態とを可逆的に変化される。このとき、加熱温度と冷却速度とを調整することにより、結晶状態と非結晶状態とを制御する。

40

【0010】

より具体的には、結晶状態の相変化材料、もしくは隣接する発熱層に高、短パルスの電流を流すことで、相変化材料の温度が融点以上に加熱され、その後、急冷される。これにより、相変化材料は結晶状態から非結晶状態に変化する。一方、非結晶状態の相変化材料、もしくは隣接する発熱層に低、長パルスの電流を流すことで、相変化材料の温度が結晶化温度以上融点以下に加熱され、その後、徐冷される。これにより、相変化材料は非結晶状態から結晶状態に変化する。

【0011】

ここで、上記相変化材料において、結晶状態と非結晶状態との間の相変化について説明したが、これに限らない。PRAMは、相変化材料における結晶状態と別の結晶状態（以

50

下、非結晶類似状態と称す)との間の相変化においても、データを記憶することができる。以下の説明において、特に区別しない場合、「非結晶状態」は「非結晶類似状態」も含むものとする。

【0012】

一般的に、結晶状態と非結晶状態の電気抵抗率は異なり、非結晶状態の電気抵抗率は結晶状態の電気抵抗率より高い。これら結晶状態の部分の電気抵抗と非結晶状態の部分の電気抵抗の差を利用してデータの「1」、「0」を記憶することができる。また、相変化素子は、パルスの印加状態を可変させることにより多値記憶が可能である。

【0013】

しかしながら、P R A Mでは、以下の問題が生じる。

10

【0014】

P R A Mにおいて、相変化材料を結晶状態から非結晶状態にする場合、その温度を一旦融点以上に上昇させなければならない。このため、比較的大きな電流および電圧が必要となり、素子の低消費電力化は困難である。

【0015】

また、P R A Mは、結晶および非結晶のように原子構造そのものの構造的な変化を伴う。このため、書き換え回数を増加させた場合、元素の偏析等を完全に抑えることは困難であり、データ書き換え耐久性が不十分である。

【0016】

さらに、P R A Mは、電流による加熱によって結晶状態を相変化させるものである。このため、微細化によって相変化材料に熱干渉の影響が寄与すると、データ保持特性も劣化してしまう。

20

【0017】

一方、M R A Mは、T M R (Tunneling Magneto Resistive) 効果を利用し、磁気抵抗効果素子 (M T J (Magnetic Tunnel Junction) 素子) の磁化状態によって抵抗状態を変化させてデータを記憶する。一般に、M T J素子は、記憶層と呼ばれる磁性層と、参照層と呼ばれる磁性層と、これらの磁性層間に設けられた非磁性層とを備えている。

【0018】

M R A Mでは、参照層の磁化方向を固定し、記憶層の磁化方向を可変とする。そして、記憶層の磁化方向を変化させることによって、参照層の磁化方向と記憶層の磁化方向とをP (Parallel) 状態 (同じ方向の磁化状態) またはA (Anti-Parallel) 状態 (反対方向の磁化状態) とする。一般的に、P状態の電気抵抗は、A状態の電気抵抗よりも小さい。M R A Mでは、これらの電気抵抗の差を利用することで、「1」、「0」を記憶することができる。

30

【0019】

M R A Mにおいて、スピン偏極電流を利用したものが提案されている。このM R A Mによれば、磁性層にスピン偏極電流を流すだけで、スピン偏極した電子の作用により磁性層の磁化反転を実現できる。さらに、磁性層の体積が小さければ注入するスピン偏極電子も少なく済むため、素子の微細化および低電流化の両立が可能である。

【0020】

しかしながら、M R A Mでは、O N / O F F (1 / 0) の抵抗比がP R A Mと比べて小さく、不十分であるという問題がある。

40

【0021】

上述したP R A MおよびM R A Mにおける問題は、微細化が進むにつれてより顕著になる。

【0022】

これに対して、本実施形態は、相変化素子とM T J素子とを複合させ、それに応じた動作を制御することによって、上述したP R A MおよびM R A Mの問題を解消するものである。

【0023】

50

本実施形態を以下に図面を参照して説明する。図面において、同一部分には同一の参照符号を付す。また、重複する説明は、必要に応じて行う。

【 0 0 2 4 】

< 第 1 の実施形態 >

図 1 乃至図 1 2 を用いて、第 1 の実施形態に係る不揮発性半導体記憶装置について説明する。第 1 の実施形態は、可変抵抗素子 R E が相変化素子 P C と磁気抵抗効果素子 M T J との積層構造で構成される例である。これにより、低電流動作を実現しつつ、データ書き換え耐久性、データ保持特性、および O N / O F F の抵抗比の向上を図ることができる。以下に、第 1 の実施形態について詳説する。

【 0 0 2 5 】

[構造]

まず、図 1 乃至図 3 を用いて、第 1 の実施形態に係る不揮発性半導体記憶装置の構造について説明する。

【 0 0 2 6 】

図 1 は、第 1 の実施形態に係る不揮発性半導体記憶装置の構造を示す回路図である。

【 0 0 2 7 】

図 1 に示すように、メモリセルアレイ M A 内のメモリセル M C 1 - 1 , M C 1 - 2 , M C 2 - 1 , M C 2 - 2 は、マトリクス状に配置される。メモリセル M C 1 - 1 は、可変抵抗素子 R E 1 - 1 とスイッチ素子 (例えば、 F E T) T 1 - 1 との直列接続体を備える。同様に、メモリセル M C 1 - 2 は可変抵抗素子 R E 1 - 2 とスイッチ素子 T 1 - 2 との直列接続体、メモリセル M C 2 - 1 は可変抵抗素子 R E 2 - 1 とスイッチ素子 T 2 - 1 との直列接続体、メモリセル M C 2 - 2 は可変抵抗素子 R E 2 - 2 とスイッチ素子 T 2 - 2 との直列接続体を備える。

【 0 0 2 8 】

メモリセル M C 1 - 1 , M C 1 - 2 の直列接続体の一端 (可変抵抗素子 R E 1 - 1 , R E 1 - 2 の一端) は、ビット線 B L A 1 に共通に接続され、直列接続体の他端 (スイッチ素子 T 1 - 1 , T 1 - 2 の一端) は、ビット線 B L B 1 に共通に接続される。一方、メモリセル M C 2 - 1 , M C 2 - 2 の直列接続体の一端 (可変抵抗素子 R E 2 - 1 , R E 2 - 2 の一端) は、ビット線 B L A 2 に共通に接続され、直列接続体の他端 (スイッチ素子 T 2 - 1 , T 2 - 2 の一端) は、ビット線 B L B 2 に共通に接続される。

【 0 0 2 9 】

スイッチ素子 T 1 - 1 , T 2 - 1 の制御端子、例えば、 F E T のゲート電極はワード線 W L 1 に共通に接続され、スイッチ素子 T 1 - 2 , T 2 - 2 の制御端子は、ワード線 W L 2 に共通に接続される。

【 0 0 3 0 】

ワード線 W L 1 , W L 2 の電位は、第 1 の制御回路 1 1 により制御される。また、ビット線 B L A 1 , B L A 2 , B L B 1 , B L B 2 の電位は、第 2 の制御回路 1 2 により制御される。

【 0 0 3 1 】

図 2 は、第 1 の実施形態に係る不揮発性半導体記憶装置の構造を示す断面図である。ここでは、図 1 における 1 つのメモリセル M C について示している。

【 0 0 3 2 】

図 2 に示すように、メモリセル M C は、半導体基板 2 1 上に配置されたスイッチ素子 T および可変抵抗素子 R E で構成される。

【 0 0 3 3 】

半導体基板 2 1 は、例えば、シリコン基板であり、その導電型は、 P 型でも N 型でもどちらでもよい。半導体基板 2 1 内には、素子分離絶縁層 2 2 として、例えば、 S T I 構造の S i O ₂ (酸化シリコン) 層が配置される。なお、図 2 において、 S T I 構造はワード線 W L に対して平行方向 (紙面垂直方向) に延在しているが、これに限らず、ワード線 W L に対して垂直方向 (紙面平行方向) に延在してもよい。

10

20

30

40

50

【0034】

半導体基板21の表面領域、具体的には、素子分離絶縁層22により取り囲まれた素子領域(アクティブエリア)内には、スイッチ素子Tが配置される。本例では、スイッチ素子Tは、FETであり、半導体基板21内の2つのソース/ドレイン拡散層23と、それらの間のチャネル領域上に配置されるゲート電極とを有する。ゲート電極は、ワード線WLとして機能する。スイッチ素子Tは、層間絶縁層(例えば、 SiO_2)25により覆われる。

【0035】

層間絶縁層25内にはコンタクトホールが設けられ、コンタクトホール内にコンタクトプラグ(下部電極)26が配置される。コンタクトプラグ26の下面は、スイッチ素子Tに接続される。本例では、コンタクトプラグ26は、ソース/ドレイン拡散層23に直接接している。コンタクトプラグ26は、例えば、W、WN、Ti、TiN、TiSiN、Ta、Ta₂N、またはTaSiN等の比較的抵抗の大きい金属材料で構成される。これにより、コンタクトプラグ26は、後述する相変化素子PCを局所的に温度変化させることができる発熱層として機能する。

10

【0036】

コンタクトプラグ26の直上には、可変抵抗素子REが配置される。第1の実施形態に係る可変抵抗素子REは、相変化素子PCと磁気抵抗効果素子MTJとの積層構造で構成される。第1の実施形態に係る可変抵抗素子REについての詳細は、後述する。

【0037】

可変抵抗素子RE上にはビア(上部電極)27が形成され、可変抵抗素子REは上部電極27(例えば、W)を介してビット線(例えば、Cu)BLAに接続される。

20

【0038】

図3は、図2における可変抵抗素子REを拡大した断面図である。

【0039】

図3に示すように、第1の実施形態に係る可変抵抗素子REは、コンタクトプラグ26上に形成された相変化素子PCおよび磁気抵抗効果素子MTJを備える。

【0040】

相変化素子PCは、コンタクトプラグ26上に接して形成される。相変化素子PCは、複数の第1層31と複数の第2層32とが交互に積層された積層構造で構成される。

30

【0041】

第1層31は、例えば、 Sb_2Te_3 で構成され、その膜厚は1.0nm程度である。第1層31は、相変化素子PCの最下層としてコンタクトプラグ26上に形成される。第2層32は、例えば、GeTeで構成され、その膜厚は0.4nm程度である。これら複数の第1層31と複数の第2層32とが交互に積層されることにより、相変化素子PCは超格子構造を有する。

【0042】

なお、相変化素子PCの最下層として形成される第1層31は、それよりも上層に位置する第1層31よりも厚い膜厚を有することが望ましく、その膜厚は5.0nm程度である。これにより、最下層の第1層31は、コンタクトプラグ26との界面におけるバッファ層となる。

40

【0043】

相変化素子PCは、適宜調整された電流を膜面に垂直方向に流して温度を上昇および下降させることにより、結晶状態と非結晶状態とを可逆的に変化する。このとき、加熱温度と冷却速度とを調整することにより、結晶状態と非結晶状態との相変化を制御する。

【0044】

より具体的には、相変化素子PCへのデータの書き込みおよび消去は、以下のように行われる。

【0045】

結晶状態の相変化材料に高、短パルス電流を印加することで、相変化材料の温度が融点

50

以上に加熱され、その後、急冷される。これにより、相変化材料は結晶状態から非結晶状態に変化する。この非結晶状態のとき、相変化素子 P C の抵抗値は最も大きくなる。

【 0 0 4 6 】

一方、非結晶状態の相変化材料に低、長パルス電流を印加することで、相変化材料の温度が結晶化温度以上融点以下に加熱され、その後、徐冷される。これにより、相変化材料は非結晶状態から結晶状態に変化する。この結晶状態のとき、相変化素子 P C の抵抗値は最も小さくなる。

【 0 0 4 7 】

なお、相変化素子 P C が $S b_2 T e_3$ で構成される第 1 層 3 1 と $G e T e$ で構成される第 2 層 3 2 の積層構造、いわゆる超格子構造である場合、非結晶状態ではなく、非結晶類似状態になり得る。

10

【 0 0 4 8 】

より具体的には、相変化素子 P C に適宜調整されたパルス電流を印加することで、 $G e T e$ で構成される第 2 層 3 2 の $G e$ が $N a C l$ 構造の、いわゆる a サイトから b サイトに向かって移動（拡散）する。なお、 $G e T e$ の結晶構造は $N a C l$ 構造、もしくはこれが少し歪んだ菱面体構造を示し、a サイトには $G e$ と若干のベークンシー（vacancy）が、b サイトには $T e$ がそれぞれ配置される。より具体的には、第 2 層 3 2 における $G e$ を第 1 層 3 1 との界面側に移動させることで、いわゆる非結晶類似状態の高抵抗状態を得ることができる。一方、第 2 層 3 2 における $G e$ を第 1 層 3 1 との界面側から第 2 層 3 2 内に移動させることで、いわゆる結晶状態の低抵抗状態を得ることができる。

20

【 0 0 4 9 】

このとき、第 1 層 3 1 は結晶化温度が $G e T e$ と比較して低いため、常に結晶状態であり、その状態は変わらない。すなわち、相変化素子 P C のうち第 2 層 3 2 における結晶状態のみを相変化させることで、抵抗状態を可変にしている。

【 0 0 5 0 】

相変化素子 P C 上には、図示せぬ上部電極を介してバリア層 3 3 が形成される。言い換えると、バリア層 3 3 は、相変化素子 P C と磁気抵抗効果素子 M T J との間に形成される。バリア層 3 3 は、相変化素子 P C および磁気抵抗効果素子 M T J 間において相互に元素が拡散することを防止する。また、バリア層 3 3 は、磁気抵抗効果素子 M T J を構成する層（例えば、後述する記憶層 3 4）の結晶性を向上させる目的にも用いられる。バリア層 3 3 は、例えば $A g$ 、 $A l$ 、 $A u$ 、 $C r$ 、 $R u$ 、 $T a$ 、 $T i$ 、 $P d$ 、または $P t$ の少なくともいずれか 1 つ以上を含む。なお、上部電極は、例えばコンタクトプラグ 2 6 と同様の材料、すなわち、 W 、 $W N$ 、 $T i$ 、 $T i N$ 、 $T i S i N$ 、 $T a$ 、 $T a N$ 、または $T a S i N$ 等で構成される。

30

【 0 0 5 1 】

磁気抵抗効果素子 M T J は、バリア層 3 3 を介して相変化素子 P C 上に形成される。磁気抵抗効果素子 M T J は、記憶層 3 4、トンネルバリア層 3 5、および参照層 3 6 等で構成される。

【 0 0 5 2 】

記憶層 3 4 は、図示せぬ下部電極を介してバリア層 3 3 上に形成される。記憶層 3 4 は、磁化方向が可変の強磁性層であり、膜面（上面 / 下面）に対して平行またはほぼ平行となる面内磁化を有する。ここで、磁化方向が可変とは、所定の書き込み電流に対して磁化方向が変わることを示す。また、ほぼ平行とは、残留磁化の方向が膜面に対して、 0

40

45° の範囲内にあることを意味する。

【 0 0 5 3 】

また、記憶層 3 4 は、本体層として例えば $T b C o F e$ で構成され、界面層（トンネルバリア層 3 5 との界面側）として例えば $C o F e B$ で構成される。

【 0 0 5 4 】

トンネルバリア層 3 5 は、記憶層 3 4 上に形成される。トンネルバリア層 3 5 は、非磁性層であり、例えば $M g O$ または $A l_2 O_3$ で構成される。

50

【 0 0 5 5 】

参照層 3 6 は、トンネルバリア層 3 5 上に形成される。参照層 3 6 は、磁化方向が不変の強磁性層であり、膜面に対して平行またはほぼ平行となる面内磁化を有する。ここで、磁化方向が不変とは、所定の書き込み電流に対して磁化方向が変わらないことを示す。すなわち、参照層 3 6 は、記憶層 3 4 よりも磁化方向の反転エネルギーバリアが大きい。

【 0 0 5 6 】

また、参照層 3 6 は、本体層として例えば T b C o F e で構成され、界面層（トンネルバリア層 3 5 との界面側）として例えば C o F e B で構成される。

【 0 0 5 7 】

磁気抵抗効果素子 M T J は、例えばスピン注入型の磁気抵抗効果素子である。したがって、磁気抵抗効果素子 M T J にデータを書き込む場合、または磁気抵抗効果素子 M T J からデータを読み出す場合、磁気抵抗効果素子 M T J は、膜面に垂直な方向において、双方向に電流が通電される。

10

【 0 0 5 8 】

より具体的には、磁気抵抗効果素子 M T J へのデータの書き込みおよび消去は、以下のように行われる。

【 0 0 5 9 】

上部電極 2 7 側から電子（参照層 3 6 から記憶層 3 4 へ向かう電子）が供給される場合（記憶層 3 4 から参照層 3 6 へ電流が流れる場合）、参照層 3 6 の磁化方向と同じ方向にスピン偏極された電子が記憶層 3 4 に注入される。この場合、記憶層 3 4 の磁化方向は、参照層 3 6 の磁化方向と同じ方向に揃えられる。これにより、記憶層 3 4 の磁化方向と参照層 3 6 の磁化方向とが、平行配列となる。この平行配列のとき、磁気抵抗効果素子 M T J の抵抗値は最も小さくなる。

20

【 0 0 6 0 】

一方、下部電極 2 6 側から電子（記憶層 3 4 から参照層 3 6 へ向かう電子）が供給される場合（参照層 3 6 から記憶層 3 4 へ電流が流れる場合）、参照層 3 6 により反射されることで参照層 3 6 の磁化方向と反対方向にスピン偏極された電子とが記憶層 3 4 に注入される。この場合、記憶層 3 4 の磁化方向は、参照層 3 6 の磁化方向と反対方向に揃えられる。これにより、記憶層 3 4 の磁化方向と参照層 3 6 の磁化方向とが、反平行配列となる。この反平行配列のとき、磁気抵抗効果素子 M T J の抵抗値は最も大きくなる。

30

【 0 0 6 1 】

参照層 3 6 上には、上部電極 2 7 が形成される。上部電極 2 7 は、導電性を有する金属材料で構成され、例えば、T i N で構成される。また、これに限らず、T i、T a、または W のいずれかを含む膜、もしくはこれらの積層膜で構成されてもよい。

【 0 0 6 2 】

可変抵抗素子 R E（相変化素子 P C および磁気抵抗効果素子 M T J）の平面形状は、例えば円形である。言い換えると、可変抵抗素子 R E は、ピラー状に形成される。

【 0 0 6 3 】

なお、相変化素子 P C は、S b₂T e₃ で構成される第 1 層 3 1 と G e T e で構成される第 2 層 3 2 の積層構造に限らない。第 2 層 3 2 は G e T e、A l T e 系のいずれか、もしくはそれらを含む化合物から構成され、第 1 層 3 1 は S b、T e、A g、A l、A u、B i、C u、G a、I n、S i、または Z n の少なくとも 1 つ以上を含む化合物から構成されてもよい。

40

【 0 0 6 4 】

また、相変化素子 P C は、S b、T e、A g、A l、A u、B i、C u、G a、G e、I n、S i、または Z n の少なくとも 1 つ以上を含む化合物からなる単層構造で構成されてもよい。例えば、相変化素子 P C は、G e S b T e 化合物の中で、G e T e - S b₂T e₃ 化合物と称されるいわゆる線上組成、もしくは共晶組成（以下、共晶系と記す）の S b T e に G e 等が添加された組成で構成されることが望ましい。共晶系の場合、S b T e 以外の化合物、例えば、G e S b 系、G a S b 系等がある。また、単一の化合物ではなく

50

、共晶系を含む複数の化合物等から構成されてもよい。また、GeSbTe化合物にBiやInを添加してもよいし、GeSbTe化合物のSbをBiに置換したGeBiTe化合物にしてもよい。GeSbTe化合物では、Ge₂Sb₂Te₅（いわゆる2-2-5組成）化合物、または、これにNやOを添加してもよい。また、GeTe-Sb₂Te₃化合物またはGeSbTe化合物から若干組成が変化したSbリッチ、Sbプア組成、またはGeTeリッチ組成であってもよい。また、GeSbTe化合物にSiO₂等の絶縁体を分散してもよい。これら他の組成や化合物を添加する方法は、共晶系にも同様に行なうことができる。相変化素子PCの構成材料（組成）は、所望の電気抵抗率、抵抗変化量、またはスイッチング・スピードなどを考慮して適宜選択される。

【0065】

10

また、記憶層34および参照層36は、膜面に対して垂直またはほぼ垂直となる垂直磁化を有してもよい。ここで、ほぼ垂直とは、残留磁化の方向が膜面に対して、45° < 90°の範囲内にあることを意味する。

【0066】

また、記憶層34と参照層36とは、配置が入れ替わってもよい。すなわち、相変化素子PC上に、参照層36、トンネルバリア層35、および記憶層34が順に形成されてもよい。

【0067】

また、参照層36の上部に、図示せぬスペーサ層（例えば、Ru等）を介してシフト調整層が形成されてもよい。シフト調整層は、磁化方向が不変の磁性層であり、その磁化方向は、参照層36の磁化方向と反対方向である。これにより、シフト調整層は、記憶層34にかかる参照層36からの漏洩磁界を打ち消すことができる。言い換えると、シフト調整層は、参照層36からの漏れ磁場による記憶層31に対する反転特性のオフセットを逆方向へ調整する効果を有する。このシフト調整層は、例えば、Ni、Fe、Co等の磁性材料とCu、Pd、Pt等の非磁性材料との積層構造からなる人工格子などから構成される。

20

【0068】

また、記憶層34と参照層36とは、平面において寸法差を有してもよい。例えば、記憶層34の平面における直径は、参照層36の直径より小さくてもよい。これにより、記憶層34と参照層36との間の電氣的ショートを防止することができる。なお、磁気抵抗効果素子MTJの平面形状は、円形に限らず、正方形、長方形、または楕円形などであってもよい。

30

【0069】

また、参照層36を1つの磁性層からなり1つの磁化方向を有するが、複数の磁性層からなり複数の磁化方向を複合したものでもよい。

【0070】

また、相変化素子PCと磁気抵抗効果素子MTJとは、配置が入れ替わってもよい。すなわち、可変抵抗素子REとして、磁気抵抗効果素子MTJ、バリア層33、および相変化素子PCが順に積層された構造であってもよい。

【0071】

40

第1の実施形態では、上記相変化素子PCおよび磁気抵抗効果素子MTJを複合させて、データを記憶する。第1の実施形態における可変抵抗素子REの書き込み動作および消去動作の詳細については、後述する。

【0072】

上述したように、磁気抵抗効果素子MTJは、磁化方向が固定の参照層36および磁化方向が可変の記憶層34の少なくとも2層以上の磁性層で構成される。このため、磁気抵抗効果素子MTJの近傍には、これら磁性層による磁場が発生している。

【0073】

磁気抵抗効果素子MTJによって生じる磁場は、相変化素子PCに印加される。この磁場の分布は、記憶層34の磁化方向により変化する。このため、磁気抵抗効果素子MTJ

50

によって相変化素子 P C に印加される磁場の強度は、記憶層 3 4 の磁化方向によって制御することができる。

【 0 0 7 4 】

例えば、記憶層 3 4 と参照層 3 6 との磁化方向が同じ場合（ P 状態の場合）、相変化素子 P C に印加される磁場の強度が実質的にゼロになるように（磁場が印加されないように）磁気抵抗効果素子 M T J を設計する。これは、磁気抵抗効果素子 M T J における各層の磁場の強さを調整することにより設計することができる。なお、実質的に「ゼロ」とは、相変化素子 P C に影響の無い程度の微弱磁場が印加されている状態も含むことを示す。このため、相変化素子 P C に微弱磁場が印加されている状態と言い換えてもよい。

【 0 0 7 5 】

このとき、磁気抵抗効果素子 M T J に電流を流すことにより記憶層 3 4 の磁化方向を変えて A 状態にすると、相変化素子 P C に印加される磁場はゼロではなくなる。言い換えると、磁気抵抗効果素子 M T J によって、相変化素子 P C に磁場が印加される。

【 0 0 7 6 】

なお、相変化素子 P C の相変化させるべき部分は、図 3 の相変化素子 P C と発熱（ヒーター）層 2 6 とが接する部分近傍である。そのため、相変化素子 P C 全体に磁場を印加したり、しなかったりする必要はなく、発熱層 2 6 と接する部分近傍のみを考慮して設計すればよい。

【 0 0 7 7 】

以下に、磁場印加の有無による相変化素子 P C の結晶状態について説明する。

【 0 0 7 8 】

図 4 は、非結晶状態の相変化素子 P C における磁場印加の有無に応じた電流値に対する抵抗値の変化を示すグラフである。

【 0 0 7 9 】

図 4 に示すように、非結晶状態の相変化素子 P C に磁場を印加しない場合、相変化素子 P C に電流を印加すると抵抗値が変化する。これは、上述したように、電流を流すことで相変化素子 P C が非結晶状態から結晶状態に変化するためである。一方、非結晶状態の相変化素子 P C に磁場を印加する場合、相変化素子 P C に電流を流しても抵抗値は変化しない。これは、相変化素子 P C に磁場を印加する場合、電流を流しても相変化素子 P C が非結晶状態から結晶状態に変化しないためだと考えられる。

【 0 0 8 0 】

すなわち、非結晶状態の相変化素子 P C に磁場を印加すると、電流を流しても結晶化せず、データ保持特性を向上させることができる。第 1 の実施形態では、磁気抵抗効果素子 M T J を A 状態にすることで相変化素子 P C に磁場を印加し、相変化素子 P C のデータ保持特性を向上させる。そして、磁気抵抗効果素子 M T J を P 状態にすることで相変化素子 P C への磁場をゼロにし、相変化素子 P C のデータの書き換え（消去）を行う。

【 0 0 8 1 】

なお、磁気抵抗効果素子 M T J が P 状態の場合に相変化素子 P C に印加される磁場の強度がゼロになり、A 状態の場合に相変化素子 P C に磁場が印加されるように、磁気抵抗効果素子 M T J を設計したが、これに限らない。磁気抵抗効果素子 M T J が A 状態の場合に相変化素子 P C に印加される磁場の強度がゼロになり、P 状態の場合に相変化素子 P C に磁場が印加されるように、磁気抵抗効果素子 M T J を設計してもよい。

【 0 0 8 2 】

また、磁気抵抗効果素子 M T J とは別の層に磁性層を形成してもよい。これにより、相変化素子 P C に印加される磁場の強度を固定的に増加させたり、減少させたりすることができる。

【 0 0 8 3 】

[動作例]

次に、図 5 乃至図 9 を用いて、第 1 の実施形態に係る不揮発性半導体記憶装置の書き込み動作および消去動作例について説明する。

10

20

30

40

50

【 0 0 8 4 】

図 5 乃至図 9 は、第 1 の実施形態に係る不揮発性半導体記憶装置の動作例を示す図であり、第 1 の実施形態に係る可変抵抗素子 R E の断面図を示す図である。

【 0 0 8 5 】

ここでは、磁気抵抗効果素子 M T J が P 状態の場合に相変化素子 P C に印加される磁場の強度がゼロになり、A 状態の場合に相変化素子 P C に磁場が印加されるように、磁気抵抗効果素子 M T J を設計された例について説明する。より具体的には、磁気抵抗効果素子 M T J は、相変化素子 P C における発熱層（コンタクトプラグ 2 6）との界面近傍の磁場の強度を、磁気抵抗効果素子 M T J が A 状態のときに 1 0 [k O e] 程度、P 状態のときに実質的にゼロ（0 [k O e]）となるように設計している。

10

【 0 0 8 6 】

第 1 の実施形態に係る相変化素子 P C および磁気抵抗効果素子 M T J の複合素子では、これらに電流パルスを印加することにより、磁気抵抗効果素子 M T J の磁化状態および相変化素子 P C の結晶状態を可変にすることで素子にデータを記憶する。

【 0 0 8 7 】

初期状態において相変化素子 P C および磁気抵抗効果素子 M T J の抵抗はともに低抵抗状態に設定され、データを記憶した状態において相変化素子 P C および磁気抵抗効果素子 M T J の抵抗はともに高抵抗状態となる。すなわち、2 つの素子（相変化素子 P C および磁気抵抗効果素子 M T J）で 1 つの情報記憶素子（可変抵抗素子 R E）となる。なお、磁気抵抗効果素子 M T J の磁化状態および相変化素子 P C の結晶状態の組み合わせによって、多値記憶が可能であるが、ここでは、2 値記憶の場合について説明する。

20

【 0 0 8 8 】

以下に、第 1 の実施形態に係る不揮発性半導体記憶装置の書き込み動作および消去動作例についてより詳細に説明する

まず、書き込み動作について説明する。

【 0 0 8 9 】

まず、図 5 に示すように、可変抵抗素子 R E において、磁気抵抗効果素子 M T J が P 状態、かつ相変化素子 P C が結晶状態になるように設定される。すなわち、磁気抵抗効果素子 M T J および相変化素子 P C がともに低抵抗状態に設定される。これを初期状態（第 1 状態）とし、データが書き込まれていない O F F 状態とする。このとき、磁気抵抗効果素子 M T J によって相変化素子 P C に印加される磁場の強度 H は、実質的に 0 [k O e] である。

30

【 0 0 9 0 】

次に、図 6 に示すように、第 1 状態の可変抵抗素子 R E に対して、下部電極 2 6 から上部電極 2 7 に向かって（相変化素子 P C から磁気抵抗効果素子 M T J に向かって）電流パルスを印加する。この方向を順方向とする。この電流パルスは、比較的強度が高く短いパルス（高、短パルス、例えば 1 . 5 [V]、2 0 [n s e c]）である。これにより、相変化素子 P C が結晶状態から非結晶状態に変化する。このとき、相変化素子 P C は、発熱層である下部電極 2 6 近傍から非結晶化する。このため、相変化素子 P C 全体が非結晶状態にならなくても、発熱層である下部電極 2 6 近傍だけが非結晶化してもよい。一方、順方向の電流の場合（参照層 3 6 から記憶層 3 4 へ電子が向かう場合）、磁気抵抗効果素子 M T J の P 状態は変化しない。

40

【 0 0 9 1 】

このように、相変化素子 P C が高抵抗状態になり、磁気抵抗効果素子 M T J が低抵抗状態のままである。これを第 2 状態とする。

【 0 0 9 2 】

次に、図 7 に示すように、第 2 状態の可変抵抗素子 R E に対して、上部電極 2 7 から下部電極 2 6 に向かって（磁気抵抗効果素子 M T J から相変化素子 P C に向かって）電流パルスを印加する。この方向を逆方向とする。この電流パルスは、相変化素子 P C の非結晶状態を壊さず、磁気抵抗効果素子 M T J の記憶層 3 4 の磁化を反転させる磁化反転パルス

50

(例えば0.4[V]、0.5[nsec]を1回、または複数回)である。これにより、記憶層34から参照層36へ電子が流れ、磁気抵抗効果素子MTJがP状態からA状態に変化する。

【0093】

一方、逆方向の電流パルスの場合、相変化素子PCの非結晶状態は変化しない。これは、相変化素子PCを相変化させる熱は下部電極26の発熱によってもたらされるためである。すなわち、逆方向の電流パルスを印加する場合、発熱源はほぼなく、相変化素子PCが加熱されないため、結晶状態は変化しない。このため、相変化素子PCの結晶状態の変化を懸念して小さい電流にする必要はなく、素子のスイッチング・スピードに影響を与えることはない。

10

【0094】

このように、磁気抵抗効果素子MTJが高抵抗状態になり、相変化素子PCが高抵抗状態のままである。これを第3状態とする。第3状態は、最も抵抗の高い状態であり、データが書き込まれたON状態とする。これにより、データの書き込み動作が完了する。

【0095】

続いて、消去動作について説明する。第3状態において、磁気抵抗効果素子MTJがA状態になることで、相変化素子PCに磁場が印加されている。このとき、磁気抵抗効果素子MTJによって相変化素子PCに印加される磁場の強度Hは、10[kOe]程度である。

【0096】

まず、図8に示すように、第3状態の可変抵抗素子REに対して、順方向に電流パルスを印加する。この電流パルスは、磁気抵抗効果素子MTJの記憶層34の磁化を反転させる磁化反転パルス(例えば0.4[V]、0.5[nsec]を1回、または複数回)である。これにより、参照層36から記憶層34へ電子が流れ、磁気抵抗効果素子MTJがA状態からP状態に変化する。これに伴って、磁気抵抗効果素子MTJによって相変化素子PCに印加される磁場の強度Hは、実質的に0[kOe]になる。

20

【0097】

一方、第3状態において磁気抵抗効果素子MTJがA状態であったため、相変化素子PCに磁場が印加されている。このため、上記磁化反転パルスによって、相変化素子PCの非結晶状態は変化しない。

30

【0098】

このように、磁気抵抗効果素子MTJが低抵抗状態になり、相変化素子PCが高抵抗状態のままである。すなわち、第2状態に戻る。

【0099】

次に、図9に示すように、第2状態の可変抵抗素子REに対して、順方向に電流パルスを印加する。この電流パルスは、比較的強度が低く長いパルス(低、長パルス、例えば0.6[V]、1[μsec])である。これにより、相変化素子PCが非結晶状態から結晶状態に変化する。このとき、直前の動作(図8の動作)において順方向の電流パルスを印加しているため、下部電極26の発熱が開始されており、相変化素子PCの温度は上昇している。このため、磁気抵抗効果素子MTJの磁場によって固定化されていた非結晶状態の相変化素子PCは、磁気抵抗効果素子MTJがP状態になり、磁場がゼロになった時点から、結晶化が開始される。このため、本工程で印加される順方向の電流パルスは、比較的短い時間のパルスでよい。一方、順方向の電流パルスの場合、磁気抵抗効果素子MTJのP状態は変化しない。

40

【0100】

このように、磁気抵抗効果素子MTJおよび相変化素子PCは第1状態に戻り、データの消去動作が完了する。

【0101】

続いて、読み出し動作について説明する。

【0102】

50

磁気抵抗効果素子M T Jおよび相変化素子P Cに、読み出し電流が供給される。この読み出し電流は、磁気抵抗効果素子M T Jの磁化状態および相変化素子P Cの結晶状態が変化しない値（書き込み電流よりも小さい値）に設定される。このときの磁気抵抗効果素子M T Jおよび相変化素子P Cの抵抗値の変化を検出することにより、メモリ動作可能な半導体装置となる。

【0103】

なお、第1の実施形態では、第1状態をOFF状態、第3状態をON状態として、2値書き込みの例を説明したが、これに限らない。第1状態乃至第3状態を用いることで、4値記憶、またはそれ以上の多値記憶を実行することも可能である。

【0104】

[製造方法]

次に、図10乃至図12を用いて、第1の実施形態に係る不揮発性半導体記憶装置の製造方法について説明する。

【0105】

図10乃至図12は、第1の実施形態に係る不揮発性半導体記憶装置の製造工程を示す断面図である。ここでは、特に可変抵抗素子R Eの製造工程について説明する。

【0106】

まず、半導体基板21上に、ワード線W Lとなるゲート電極および拡散層からなるトランジスタTが形成される。その後、トランジスタTが覆われるように、全面に層間絶縁層25が形成される。

【0107】

次に、図10に示すように、トランジスタTの拡散層に達するように層間絶縁層25内に、コンタクトホールが形成される。このコンタクトホール内が埋め込まれるように、全面にコンタクトプラグ26が形成される。その後、コンタクトホール外に形成されたコンタクトプラグ26が除去され、上面が平坦化される。コンタクトプラグ26は、例えば、W、WN、Ti、TiN、TiSiN、Ta、Ta₂N₅、またはTaSiN等の比較的抵抗の大きい金属材料で構成される。

【0108】

次に、図11に示すように、層間絶縁層25およびコンタクトプラグ26上に、相変化素子P Cが形成される。

【0109】

より具体的には、例えばCVD（Chemical Vapor Deposition）法またはALD（Atomic Layer Deposition）法により、層間絶縁層25およびコンタクトプラグ26上に、複数の第1層31と複数の第2層32とが交互に積層される。第1層31は、例えば、Sb₂Te₃で構成され、その膜厚は1.0nm程度である。第2層32は、例えば、GeTeで構成され、その膜厚は0.4nm程度である。これら複数の第1層31と複数の第2層32とが交互に積層されることにより、相変化素子P Cは超格子構造を有する。

【0110】

なお、相変化素子P Cの最下層として形成される第1層31は、それよりも上層に位置する第1層31よりも厚い膜厚を有することが望ましく、その膜厚は5.0nm程度である。これにより、最下層の第1層31は、コンタクトプラグ26との界面におけるバッファ層となる。

【0111】

このようにして、相変化素子P Cが形成される。

【0112】

次に、例えばCVD法により、相変化素子P C上に、図示せぬ上部電極が形成された後、バリア層33が形成される。バリア層33は、相変化素子P Cと磁気抵抗効果素子M T Jとの間において相互に元素が拡散することを防止する。また、バリア層33は、磁気抵抗効果素子M T Jを構成する層（例えば、後述する記憶層34）の結晶性を向上させる目的にも用いられる。バリア層33は、例えばAg、Al、Au、Cr、Ru、Ta、Ti

10

20

30

40

50

、Pd、またはPtの少なくともいずれか1つ以上を含む。

【0113】

次に、バリア層33上に、磁気抵抗効果素子MTJが形成される。

【0114】

より具体的には、まず、例えばCVD法により、バリア層33上に、記憶層34が形成される。記憶層34は、磁化方向が可変の強磁性層であり、本体層として例えばTbCoFeで構成され、界面層(トンネルバリア層35との界面側)として例えばCoFeBで構成される。

【0115】

次に、例えばCVD法により、記憶層34上に、トンネルバリア層35が形成される。非磁性層であり、例えばMgOまたはAl₂O₃で構成される。

10

【0116】

次に、例えばCVD法により、トンネルバリア層35上に、参照層36が形成される。参照層36は、磁化方向が不変の強磁性層であり、本体層として例えばTbCoFeで構成され、界面層(トンネルバリア層35との界面側)として例えばCoFeBで構成される。

【0117】

このようにして、磁気抵抗効果素子MTJが形成される。

【0118】

その後、例えばCVD法により、参照層36上に、上部電極27が形成される。上部電極27は、導電性を有する金属材料で構成され、例えば、TiNで構成される。また、これに限らず、Ti、Ta、またはWのいずれかを含む膜、もしくはこれらの積層膜で構成されてもよい。

20

【0119】

次に、図12に示すように、例えばRIE(Reactive Ion etching)等のドライエッチングにより、上部電極27、磁気抵抗効果素子MTJ、バリア層33、および相変化素子PCが一括加工される。これにより、上部電極27、磁気抵抗効果素子MTJ、バリア層33、および相変化素子PCの平面形状は、例えば円形になる。言い換えると、上部電極27、磁気抵抗効果素子MTJ、バリア層33、および相変化素子PCは、ピラー状に形成される。

30

【0120】

次に、全面に、層間絶縁層25が形成され、上部電極27、磁気抵抗効果素子MTJ、バリア層33、および相変化素子PCが覆われる。その後、層間絶縁層25の上面が平坦化され、上部電極27の上面が露出される。さらに、上部電極27上に、ビット線BLAが形成され、電氣的に接続される。

【0121】

このようにして、第1の実施形態に係る可変抵抗素子REが形成される。

【0122】

なお、上部電極27、磁気抵抗効果素子MTJ、バリア層33、および相変化素子PCの加工後、層間絶縁層25が形成される前に、磁気抵抗効果素子MTJおよび相変化素子PCの側面にSiNで構成される絶縁層が形成されることが望ましい。これにより、各素子の側面を保護することができる。

40

【0123】

また、可変抵抗素子REの直径は、例えば40nmである。素子をさらに微細化して可変抵抗素子REのアスペクト比が大きくなると、可変抵抗素子REのピラーが倒れる懸念がある。この場合、磁気抵抗効果素子MTJおよび相変化素子PCを一括加工せず、別々に加工してピラー状にしてもよい。

【0124】

例えば、相変化素子PCが形成された後、相変化素子PCがピラー状に加工される。その後、相変化素子PCが層間絶縁層25で覆われ、上面が平坦化される。その後、相変化

50

素子 P C および層間絶縁層 2 5 上に、磁気抵抗効果素子 M T J (およびバリア層 3 3) が形成された後、磁気抵抗効果素子 M T J がピラー状に加工される。その後、磁気抵抗効果素子 M T J が層間絶縁層 2 5 で覆われ、上面が平坦化される。これにより、可変抵抗素子 R E のピラーの倒壊を防ぐことができる。

【 0 1 2 5 】

[効果]

上記第 1 の実施形態によれば、可変抵抗素子 R E が相変化素子 P C と磁気抵抗効果素子 M T J との積層構造で構成される。より具体的には、可変抵抗素子 R E として、発熱層 (下部電極 2 6) 上に、超格子構造を有する相変化素子 P C が形成され、相変化素子 P C 上に、記憶層 3 4、トンネルバリア層 3 5、および参照層 3 6 からなる磁気抵抗効果素子 M T J が形成される。これら 2 つの素子 (相変化素子 P C および磁気抵抗効果素子 M T J) で 1 つの情報記憶素子 (可変抵抗素子 R E) を構成している。これにより、以下の効果を得ることができる。

10

【 0 1 2 6 】

比較例の相変化素子単体によれば、O N / O F F 状態の抵抗はそれぞれ、 $10 [k]$ 、 $1.1 [k]$ であった。また、比較例の磁気抵抗効果素子単体によれば、O N / O F F 状態の抵抗はそれぞれ、 $10 [k]$ 、 $8 [k]$ であった。これに対し、第 1 の実施形態の可変抵抗素子 R E によれば、相変化素子 P C および磁気抵抗効果素子 M T J がともに低抵抗状態を O F F 状態、相変化素子 P C および磁気抵抗効果素子 M T J がともに高抵抗状態を O N 状態にしている。このため、O N / O F F 状態の抵抗比を大きく設定することができる。より具体的には、第 1 の実施形態の可変抵抗素子 R E によれば、O N / O F F 状態の抵抗はそれぞれ、 $17 [k]$ 、 $0.3 [k]$ であり、比較例の相変化素子単体および磁気抵抗効果素子単体よりも O N / O F F 状態の抵抗比を向上させることができる。特に、磁気抵抗効果素子単体よりも O N / O F F 状態の抵抗比の向上が顕著である。

20

【 0 1 2 7 】

また、第 1 の実施形態の可変抵抗素子 R E によれば、磁気抵抗効果素子 M T J からの磁場が相変化素子 P C に印加される。これにより、データを書き込んだ状態である非結晶状態の相変化素子 P C は、データを読み出すための電流を流した場合、または、その他予期せぬ動作により電流が流れた場合等、結晶状態へと変化しない。すなわち、相変化素子 P C に磁場を印加することで、相変化素子 P C が非結晶状態から結晶状態に変化することはないため、データ保持特性を向上させることができる。

30

【 0 1 2 8 】

また、第 1 の実施形態の可変抵抗素子 R E によれば、相変化素子 P C が $S b_2 T e_3$ で構成される第 1 層 3 1 と $G e T e$ で構成される第 2 層 3 2 とからなる超格子構造を有する。このため、結晶状態から非結晶状態への変化は、主に第 2 層 3 2 の $G e$ の変位によるものである。すなわち、相変化による原子構造の変化を最小限に抑えることができる。これにより、書き換え耐久性の向上を図ることができる。より具体的には、比較例の相変化素子単体では書き換え耐久性は 1 0 0 0 回程度であるのに対して、第 1 の実施形態の可変抵抗素子 R E (相変化素子 P C) では 1 0 0 0 0 回以上まで向上させることができる。

【 0 1 2 9 】

また、上述したように、第 1 の実施形態の可変抵抗素子 R E によれば、結晶状態から非結晶状態への変化は主に第 2 層 3 2 の $G e$ の変位によるものであって、相変化による原子構造の変化を最小限に抑えることができる。これに伴って、相変化に必要な動作電流も低減することができる。より具体的には、比較例の相変化素子単体では、O N 時のパルスは $20 [n s e c]$ で $3.0 [V]$ であり、O F F 時のパルスは $1 [\mu s e c]$ で $10 [V]$ であった。これに対し、第 1 の実施形態の可変抵抗素子 R E (相変化素子 P C) では、O N 時のパルスは $20 [n s e c]$ で $1.5 [V]$ であり、O F F 時のパルスは $1 [\mu s e c]$ で $0.5 [V]$ 程度まで低電流化することができる。

40

【 0 1 3 0 】

上記効果を得ることに伴って、素子の微細化を図ることも可能になる。

50

【 0 1 3 1 】

さらに、第 1 の実施形態の可変抵抗素子 R E によれば、複合素子（相変化素子 P C および磁気抵抗効果素子 M T J ）を複数ずつ組み合わせることも可能である。これにより、基板の面内に平行な方向のスペースをほとんど増加することなく（面積増加なく）、さらなる多値記憶素子、または 3 次元的な記憶素子列を形成することができる。すなわち、素子の高密度化と、コストの低下の両立を図ることができる。

【 0 1 3 2 】

< 第 2 の実施形態 >

図 1 3 乃至図 1 5 を用いて、第 2 の実施形態に係る不揮発性半導体記憶装置について説明する。第 2 の実施形態は、可変抵抗素子 R E が相変化素子 P C で構成され、複数の相変化素子 P C に対して磁場を印加する 1 つの磁気抵抗効果素子 M T J が配置される例である。これにより、1 つの磁気抵抗効果素子 M T J により共通して磁場が印加される複数の相変化素子 P C を一括で消去することができる。以下に、第 2 の実施形態について詳説する。

10

【 0 1 3 3 】

なお、第 2 の実施形態において、第 1 の実施形態と同様の点については説明を省略し、異なる点について説明する。

【 0 1 3 4 】

[構造]

まず、図 1 3 を用いて、第 2 の実施形態に係る不揮発性半導体記憶装置の構造について説明する。

20

【 0 1 3 5 】

図 1 3 は、第 2 の実施形態に係る不揮発性半導体記憶装置の構造を示す断面図である。ここでは、図 1 におけるビット線 B L A 1 に共通接続される隣接した 2 つのメモリセル M C 1 - 1 , M C 1 - 2 について示している。

【 0 1 3 6 】

図 1 3 に示すように、第 2 の実施形態において、第 1 の実施形態と異なる点は、1 つの可変抵抗素子 R E が 1 つの相変化素子 P C で構成され、複数の相変化素子 P C に対してその近傍に磁場を印加する 1 つの磁気抵抗効果素子 M T J が配置される点である。

【 0 1 3 7 】

メモリセル M C 1 - 1 は半導体基板 2 1 上に配置されたスイッチ素子 T 1 - 1 および可変抵抗素子 R E 1 - 1 で構成され、メモリセル M C 1 - 2 は半導体基板 2 1 上に配置されたスイッチ素子 T 1 - 2 および可変抵抗素子 R E 1 - 2 で構成される。これらメモリセル M C 1 - 1 , M C 1 - 2 は、ビット線 B L A の延在する方向（第 1 方向）に沿って隣接する。メモリセル M C 1 - 1 , M C 1 - 2 は、半導体基板 2 1 内に配置された S T I 構造である素子分離絶縁層 2 2 によって分離される。

30

【 0 1 3 8 】

スイッチ素子 T 1 - 1 は、F E T であり、半導体基板 2 1 内の 2 つのソース/ドレイン拡散層 2 3 - 1 と、それらの間のチャネル領域上に配置されるゲート電極とを有する。また、スイッチ素子 T 1 - 2 は、F E T であり、半導体基板 2 1 内の 2 つのソース/ドレイン拡散層 2 3 - 2 と、それらの間のチャネル領域上に配置されるゲート電極とを有する。スイッチ素子 T 1 - 1 , T 1 - 2 におけるゲート電極はそれぞれ、ワード線 W L 1 , W L 2 として機能する。スイッチ素子 T 1 - 1 , T 1 - 2 は、層間絶縁層 2 5 により覆われる。

40

【 0 1 3 9 】

層間絶縁層 2 5 内にはコンタクトホールが設けられ、コンタクトホール内にコンタクトプラグ（下部電極）2 6 - 1 , 2 6 - 2 が配置される。コンタクトプラグ 2 6 - 1 の下面は、スイッチ素子 T 1 - 1 に接続される。本例では、コンタクトプラグ 2 6 - 1 は、ソース/ドレイン拡散層 2 3 - 1 に直接接している。また、コンタクトプラグ 2 6 - 2 の下面は、スイッチ素子 T 1 - 2 に接続される。本例では、コンタクトプラグ 2 6 - 2 は、ソ-

50

スノドレイン拡散層23-2に直接接している。コンタクトプラグ26-1, 26-2はそれぞれ、相変化素子PC1-1, PC1-2を局所的に温度変化させることができ、発熱層として機能する。

【0140】

コンタクトプラグ26-1の直上には可変抵抗素子RE1-1が配置され、コンタクトプラグ26-2の直上には可変抵抗素子RE1-2が配置される。

【0141】

第2の実施形態に係る可変抵抗素子RE1-1, RE1-2はそれぞれ、相変化素子PC1-1, PC1-2の単層構造で構成される。これら第2の実施形態に係る相変化素子PC1-1, PC1-2は、第1の実施形態に係る相変化素子PC1-1, PC1-2と同様の構造を有する。

10

【0142】

より具体的には、相変化素子PC1-1, PC1-2は、複数の第1層31と複数の第2層32とが交互に積層された積層構造で構成される。第1層31は、例えば、 Sb_2Te_3 で構成され、その膜厚は1.0nm程度である。第1層31は、相変化素子PCの最下層としてコンタクトプラグ26上に形成される。第2層32は、例えば、GeTeで構成され、その膜厚は0.4nm程度である。これら複数の第1層31と複数の第2層32とが交互に積層されることにより、相変化素子PCは超格子構造を有する。

【0143】

なお、相変化素子PCの最下層として形成される第1層31は、それよりも上層に位置する第1層31よりも厚い膜厚を有することが望ましく、その膜厚は5.0nm程度である。これにより、最下層の第1層31は、コンタクトプラグ26との界面におけるバッファ層となる。

20

【0144】

可変抵抗素子RE1-1上にはビア(上部電極)27-1が形成され、可変抵抗素子RE1-2上にはビア(上部電極)27-2が形成される。可変抵抗素子RE1-1, RE1-2はそれぞれ、上部電極27-1, 27-2を介してビット線BLAに共通接続される。

【0145】

一方、層間絶縁層25内にはコンタクトホールが設けられ、コンタクトホール内にコンタクトプラグ(下部電極)41が配置される。コンタクトプラグ41の下面は、例えば半導体基板21上に形成された図示せぬ配線に接続される。

30

【0146】

コンタクトプラグ41上には、磁気抵抗効果素子MTJが接して形成される。磁気抵抗効果素子MTJは、例えば、第1方向に延在して形成され、ビット線BLAの上方に形成される。このとき、磁気抵抗効果素子MTJは、上面から見ると、可変抵抗素子RE1-1, RE1-2(相変化素子PC1-1, PC1-2)とオーバーラップすることが望ましいが、これに限らない。磁気抵抗効果素子MTJは、磁気抵抗効果素子MTJから発生する磁場が相変化素子PC1-1, PC1-2に印加される位置に配置されればよい。

【0147】

磁気抵抗効果素子MTJは第1の実施形態と同様の構造を有する。より具体的には、磁気抵抗効果素子MTJは、コンタクトプラグ41上に順に形成された記憶層34、トンネルバリア層35、および参照層36等で構成される。

40

【0148】

磁気抵抗効果素子MTJ上には、上部電極42が形成される。上部電極42は、導電性を有する金属材料で構成され、例えば、TiNで構成される。また、これに限らず、Ti、Ta、またはWのいずれかを含む膜、もしくはこれらの積層膜で構成されてもよい。

【0149】

第2の実施形態では、磁気抵抗効果素子MTJによって発生される磁場に応じて、可変抵抗素子REである相変化素子PC1-1, PC1-2にデータを記憶する。第2の実施

50

形態における可変抵抗素子 R E の書き込み動作および消去動作の詳細については、後述する。

【 0 1 5 0 】

上述したように、可変抵抗素子 R E 1 - 1 , R E 1 - 2 として相変化素子 P C 1 - 1 , P C 1 - 2 が形成され、その近傍に磁気抵抗効果素子 M T J が形成される。磁気抵抗効果素子 M T J は、磁化方向が可変の記憶層 3 4 および磁化方向が不変の参照層 3 6 の少なくとも 2 層以上の磁性層で構成される。磁気抵抗効果素子 M T J の近傍には、これら磁性層による磁場が発生している。

【 0 1 5 1 】

磁気抵抗効果素子 M T J によって生じる磁場は、可変抵抗素子 R E 1 - 1 , R E 1 - 2 である相変化素子 P C 1 - 1 , P C 1 - 2 に共通して印加される。この磁場の分布は、記憶層 3 4 の磁化方向により変化する。このため、相変化素子 P C 1 - 1 , P C 1 - 2 に印加される磁場の強度は、記憶層 3 4 の磁化方向によって制御することができる。

10

【 0 1 5 2 】

[動作例]

次に、第 2 の実施形態に係る不揮発性半導体記憶装置の書き込み動作および消去動作例について説明する。

【 0 1 5 3 】

ここでは、磁気抵抗効果素子 M T J が P 状態の場合に相変化素子 P C に印加される磁場の強度がゼロになり、A 状態の場合に相変化素子 P C に磁場が印加されるように、磁気抵抗効果素子 M T J を設計された例について説明する。より具体的には、磁気抵抗効果素子 M T J は、相変化素子 P C における発熱層 (コンタクトプラグ 2 6) との界面近傍の磁場の強度を、磁気抵抗効果素子 M T J が A 状態のときに 1 0 [k O e] 程度、P 状態のときに実質的にゼロとなるように設計している。

20

【 0 1 5 4 】

第 2 の実施形態では、磁気抵抗効果素子 M T J と相変化素子 P C 1 - 1 , P C 1 - 2 とを独立して制御する。そして、1 つの磁気抵抗効果素子 M T J の磁化状態を制御することによって記憶素子である複数の相変化素子 P C 1 - 1 , P C 1 - 2 の結晶状態を制御してデータを記憶する。より具体的には、相変化素子 P C 1 - 1 , P C 1 - 2 に磁気抵抗効果素子 M T J による磁場を印加しない状態で個々の記憶素子にデータを記憶し、磁場を印加した状態でデータを保持し、磁場を取り除いた状態でそれらの記憶素子のデータを一括で消去する。

30

【 0 1 5 5 】

以下に、第 2 の実施形態に係る不揮発性半導体記憶装置の書き込み動作および消去動作例についてより詳細に説明する

まず、書き込み動作について説明する。

【 0 1 5 6 】

まず、可変抵抗素子 R E 1 - 1 , R E 1 - 2 において、相変化素子 P C が結晶状態になるように設定される。すなわち、相変化素子 P C が低抵抗状態に設定される。一方、磁気抵抗効果素子 M T J が P 状態になるように設定される。これを初期状態とし、データが書き込まれていない O F F 状態とする。このとき、磁気抵抗効果素子 M T J によって相変化素子 P C に印加される磁場の強度 H は、実質的に 0 [k O e] である。

40

【 0 1 5 7 】

次に、可変抵抗素子 R E 1 - 1 (または / および可変抵抗素子 R E 1 - 2) に対して、下部電極 2 6 - 1 (または / および 2 6 - 2) から上部電極 2 7 - 1 (または / および 2 7 - 2) に向かって電流パルスを印加する。この電流パルスは、比較的強度が高く短いパルス (高、短パルス、例えば 1 . 5 [V]、2 0 [n s e c]) である。これにより、相変化素子 P C 1 - 1 (または / および相変化素子 P C 1 - 2) が結晶状態から非結晶状態に変化する。このとき、相変化素子 P C 1 - 1 (または / および相変化素子 P C 1 - 2) は、発熱層である下部電極 2 6 近傍から非結晶化する。このため、相変化素子 P C 1 - 1

50

(または/および相変化素子PC1-2)全体が非結晶状態にならなくても、発熱層である下部電極26近傍だけが非結晶化してもよい。

【0158】

このように、相変化素子PCが高抵抗状態になり、データが書き込まれたON状態になる。

【0159】

次に、磁気抵抗効果素子MTJに対して、上部電極42から下部電極41に向かって電流パルスを印加する。この電流パルスは、磁気抵抗効果素子MTJの記憶層34の磁化を反転させる磁化反転パルス(例えば0.4[V]、0.5[nsec])を1回、または複数回)である。これにより、磁気抵抗効果素子MTJがP状態からA状態に変化する。

10

【0160】

このように、磁気抵抗効果素子MTJがA状態になることで、相変化素子PC1-1, PC1-2に磁場が印加される。このとき、磁気抵抗効果素子MTJによって相変化素子PC1-1, PC1-2に印加される磁場の強度Hは、10[kOe]である。これにより、相変化素子PC1-1, PC1-2のON状態(非結晶状態)が維持され、データの書き込み動作が完了する。

【0161】

続いて、消去動作について説明する。

【0162】

まず、磁気抵抗効果素子MTJに対して、下部電極41から上部電極42に向かって電流パルスを印加する。この電流パルスは、磁気抵抗効果素子MTJの記憶層34の磁化を反転させる磁化反転パルス(例えば0.4[V]、0.5[nsec])を1回、または複数回)である。これにより、磁気抵抗効果素子MTJがA状態からP状態に変化する。このように、磁気抵抗効果素子MTJがP状態になることで、相変化素子PC1-1, PC1-2に印加される磁場が取り除かれる。このとき、磁気抵抗効果素子MTJによって相変化素子PC1-1, PC1-2に印加される磁場の強度Hは、実質的に0[kOe]になる。

20

【0163】

次に、可変抵抗素子RE1-1(または/および可変抵抗素子RE1-2)に対して、下部電極26-1(または/および26-2)から上部電極27(または/および27-2)に向かって電流パルスを印加する。この電流パルスは、比較的強度が低く長いパルス(低、長パルス、例えば0.5[V]、1[μsec])である。このとき、磁気抵抗効果素子MTJによる磁場が相変化素子PC1-1, PC1-2に印加されていないため、相変化素子PC1-1(または/および相変化素子PC1-2)が非結晶状態から結晶状態に変化する。

30

【0164】

このように、相変化素子PC1-1, PC1-2がOFF状態(結晶状態)に戻り、データの一括消去動作が完了する。

【0165】

[効果]

上記第2の実施形態によれば、記憶素子として相変化素子PC1-1, PC1-2が形成され、複数の相変化素子PC1-1, PC1-2に対して共通して磁場を印加する1つの磁気抵抗効果素子MTJが配置される。これにより、1つの磁気抵抗効果素子MTJの磁化状態を制御することにより、複数の相変化素子PC1-1, PC1-2の結晶状態を制御することができ、記憶素子の一括消去が可能となる。

40

【0166】

また、これら相変化素子PC1-1, PC1-2と磁気抵抗効果素子MTJとを積層構造ではなく、分離して独立して形成している。これにより、相変化素子PC1-1, PC1-2と磁気抵抗効果素子MTJとを独立して制御することができ、第1の実施形態よりも動作速度の向上を図ることができる。

50

【 0 1 6 7 】

なお、第 2 の実施形態において、磁気抵抗効果素子 M T J が第 1 方向に延在する場合について説明したが、これに限らない。磁気抵抗効果素子 M T J が第 1 方向に直交する第 2 方向に延在するように形成されてもよいし、平面形状に形成されてもよい。すなわち、第 2 方向に隣接するメモリセル（例えばメモリセル M C 1 - 1 , M C 2 - 1 ）が一括消去されてもよいし、第 1 方向および第 2 方向に隣接するメモリセル（例えばメモリセル M C 1 - 1 , M C 1 - 2 , M C 2 - 1 , M C 2 - 2 ）が一括消去されてもよい。

【 0 1 6 8 】

[変形例]

次に、図 1 4 および図 1 5 を用いて、第 2 の実施形態に係る不揮発性半導体記憶装置の構造の変形例について説明する。変形例は、上記第 2 の実施形態をいわゆるクロスポイント型のメモリセルアレイに適用した例である。変形例において、第 2 の実施形態と同様の点については説明を省略し、主に異なる点について説明する。

10

【 0 1 6 9 】

図 1 4 は、第 2 の実施形態に係る不揮発性半導体記憶装置の構造の変形例を示す回路図である。

【 0 1 7 0 】

図 1 4 に示すように、メモリセルアレイ M A 内のメモリセル M C 1 - 1 , M C 1 - 2 , M C 2 - 1 , M C 2 - 2 は、マトリクス状に配置される。メモリセル M C 1 - 1 は、可変抵抗素子 R E 1 - 1 の一端と整流素子（例えば、ダイオード）D 1 - 1 のカソードとが接続された直列接続体を備える。同様に、メモリセル M C 1 - 2 は可変抵抗素子 R E 1 - 2 の一端と整流素子 D 1 - 2 のカソードとが接続された直列接続体、メモリセル M C 2 - 1 は可変抵抗素子 R E 2 - 1 の一端と整流素子 D 2 - 1 のカソードとが接続された直列接続体、メモリセル M C 2 - 2 は可変抵抗素子 R E 2 - 2 の一端と整流素子 D 2 - 2 のカソードとが接続された直列接続体を備える。

20

【 0 1 7 1 】

メモリセル M C 1 - 1 , M C 1 - 2 の直列接続体の一端（可変抵抗素子 R E 1 - 1 , R E 1 - 2 の他端）は、ビット線 B L 1 に共通に接続され、メモリセル M C 2 - 1 , M C 2 - 2 の直列接続体の一端（可変抵抗素子 R E 2 - 1 , R E 2 - 2 の他端）は、ビット線 B L 2 に共通に接続される。一方、メモリセル M C 1 - 1 , M C 2 - 1 の直列接続体の一端（整流素子 D 1 - 1 , D 2 - 1 のアノード）は、ワード線 W L 1 に共通に接続され、メモリセル M C 1 - 2 , M C 2 - 2 の直列接続体の一端（整流素子 D 1 - 2 , D 2 - 2 のアノード）は、ワード線 W L 2 に共通に接続される。

30

【 0 1 7 2 】

ワード線 W L 1 , W L 2 の電位は、第 1 の制御回路 1 1 により制御される。また、ビット線 B L A 1 , B L A 2 , B L B 1 , B L B 2 の電位は、第 2 の制御回路 1 2 により制御される。

【 0 1 7 3 】

図 1 5 は、第 2 の実施形態に係る不揮発性半導体記憶装置の構造の変形例を示す断面図である。ここでは、図 1 4 におけるビット線 B L 1 に共通接続される隣接した 2 つのメモリセル M C 1 - 1 , M C 1 - 2 について示している。

40

【 0 1 7 4 】

図 1 5 に示すように、メモリセル M C 1 - 1 は第 1 方向に延在するビット線 B L 1 と第 1 方向に直交する第 2 方向に延在するワード線 W L 1 との交差位置に配置された整流素子 D 1 - 1 および可変抵抗素子 R E 1 - 1 で構成され、メモリセル M C 1 - 2 は第 1 方向に延在するビット線 B L 1 と第 2 方向に延在するワード線 W L 2 との交差位置に配置された整流素子 D 1 - 2 および可変抵抗素子 R E 1 - 2 で構成される。すなわち、これらメモリセル M C 1 - 1 , M C 1 - 2 は、いわゆるクロスポイント型の構造を有する。これらメモリセル M C 1 - 1 , M C 1 - 2 は、第 1 方向に沿って隣接する。

【 0 1 7 5 】

50

整流素子 D 1 - 1 はワード線 W L 1 上に形成され、整流素子 D 1 - 2 はワード線 W L 2 上に形成される。整流素子 D 1 - 1 , D 1 - 2 は、例えば P I N ダイオード (下部側から P + 型の領域、 N - 型の領域、 N + 型の領域) である。なお、整流素子 D 1 - 1 , D 1 - 2 は、 P I N ダイオードに限らず、 S I S (Silicon Insulator Silicon) などのトンネルダイオード (下部側から P + 型の領域、トンネル酸化膜、 N + 型の領域) であってもよい。

【 0 1 7 6 】

整流素子 D 1 - 1 上には下部電極 2 6 - 1 が形成され、整流素子 D 1 - 2 上には下部電極 2 6 - 2 が形成される。コンタクトプラグ 2 6 - 1 , 2 6 - 2 はそれぞれ、相変化素子 P C 1 - 1 , P C 1 - 2 を局所的に温度変化させることができ、発熱層として機能する。

10

【 0 1 7 7 】

コンタクトプラグ 2 6 - 1 の直上には可変抵抗素子 R E 1 - 1 が配置され、コンタクトプラグ 2 6 - 2 の直上には可変抵抗素子 R E 1 - 2 が配置される。

【 0 1 7 8 】

可変抵抗素子 R E 1 - 1 上には上部電極 2 7 - 1 が形成され、可変抵抗素子 R E 1 - 2 上には上部電極 2 7 - 2 が形成される。可変抵抗素子 R E 1 - 1 , R E 1 - 2 はそれぞれ、上部電極 2 7 - 1 , 2 7 - 2 を介してビット線 B L 1 に共通接続される。

【 0 1 7 9 】

一方、層間絶縁層 2 5 内にはコンタクトホールが設けられ、コンタクトホール内に下部電極 4 1 が配置される。コンタクトプラグ 4 1 の下面は、例えば配線 5 1 に接続される。

20

【 0 1 8 0 】

コンタクトプラグ 4 1 上には、磁気抵抗効果素子 M T J が接して形成される。磁気抵抗効果素子 M T J は、例えば、第 1 方向に延在して形成され、ビット線 B L 1 の上方に形成される。このとき、磁気抵抗効果素子 M T J は、上面から見ると、可変抵抗素子 R E 1 - 1 , R E 1 - 2 (相変化素子 P C 1 - 1 , P C 1 - 2) とオーバーラップすることが望ましいが、これに限らない。磁気抵抗効果素子 M T J は、磁気抵抗効果素子 M T J から発生する磁場が相変化素子 P C 1 - 1 , P C 1 - 2 に印加される位置に配置されればよい。磁気抵抗効果素子 M T J 上には、上部電極 4 2 が形成される。

【 0 1 8 1 】

変形例においても、上記第 2 の実施形態と同様の書き込み動作および消去動作が行われる。

30

【 0 1 8 2 】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、種々に変形することが可能である。さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

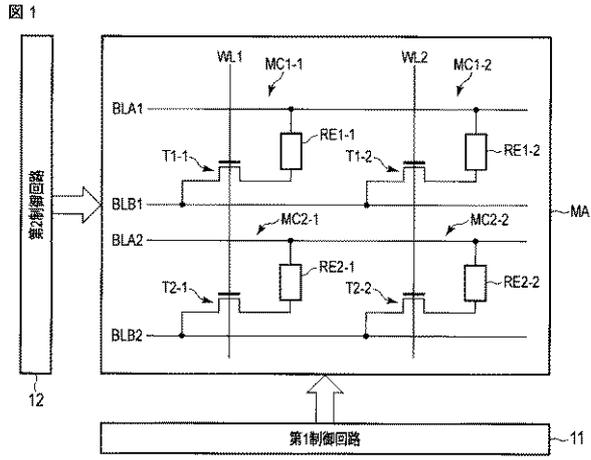
【 符号の説明 】

40

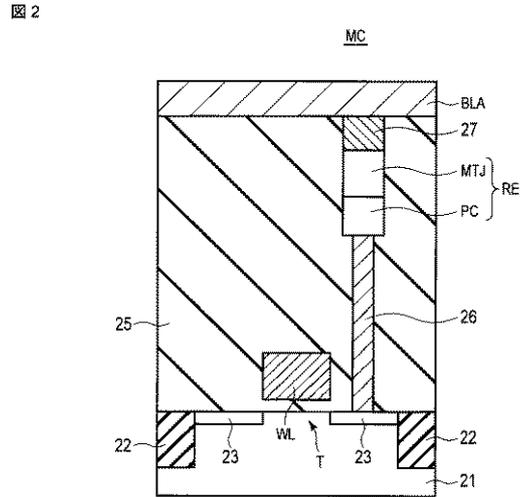
【 0 1 8 3 】

2 1 ... 半導体基板、 2 6 ... 下部電極、 3 1 ... 第 1 層、 3 2 ... 第 2 層、 3 3 ... バリア層、 3 4 ... 記憶層、 3 5 ... トンネルバリア層、 3 6 ... 参照層

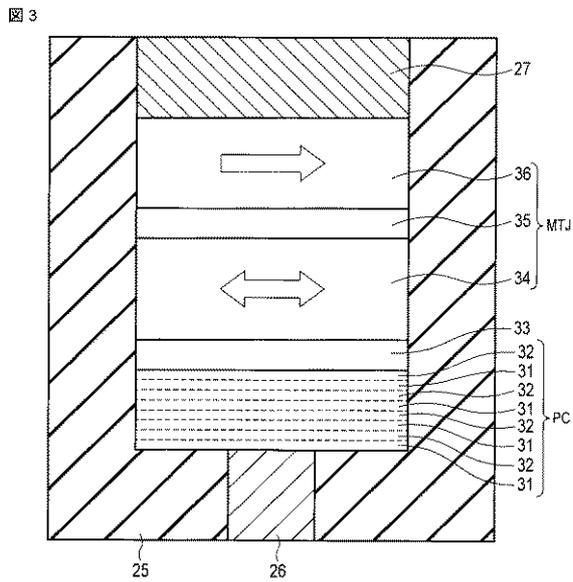
【 図 1 】



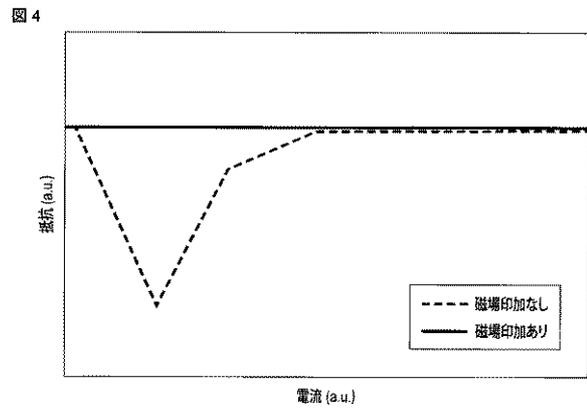
【 図 2 】



【 図 3 】

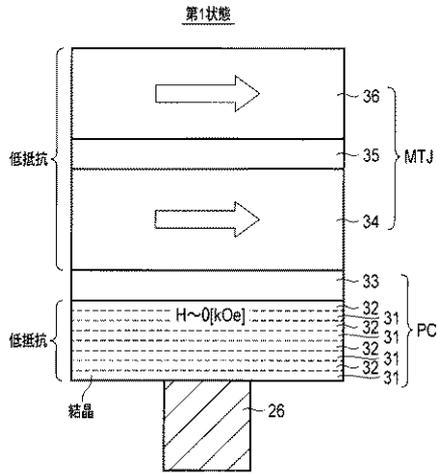


【 図 4 】



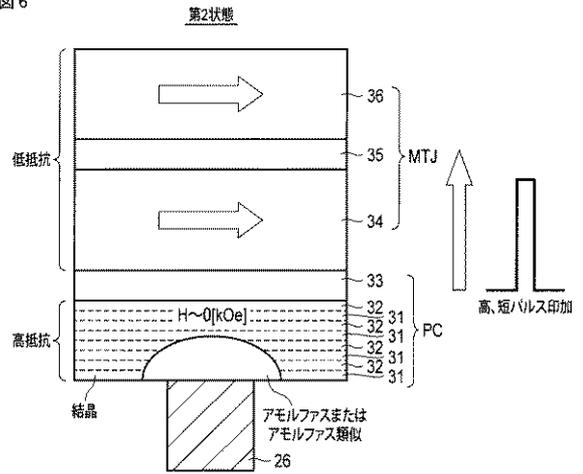
【図5】

図5



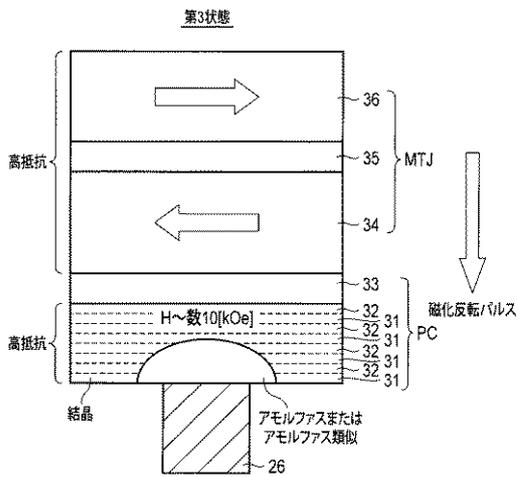
【図6】

図6



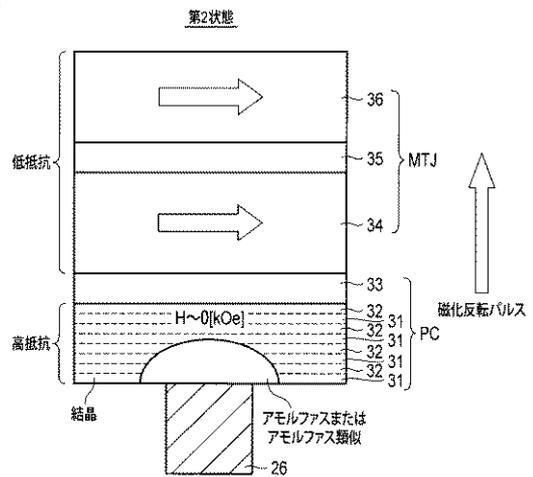
【図7】

図7

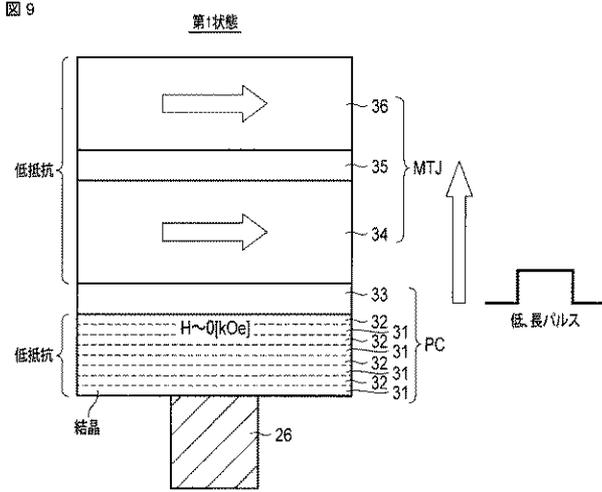


【図8】

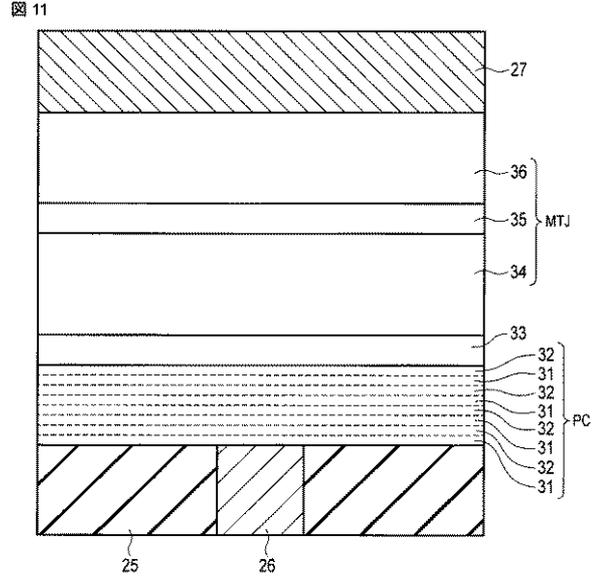
図8



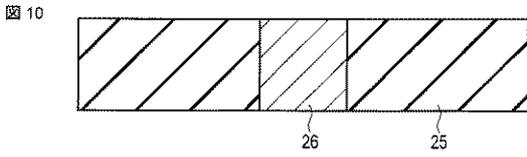
【図9】



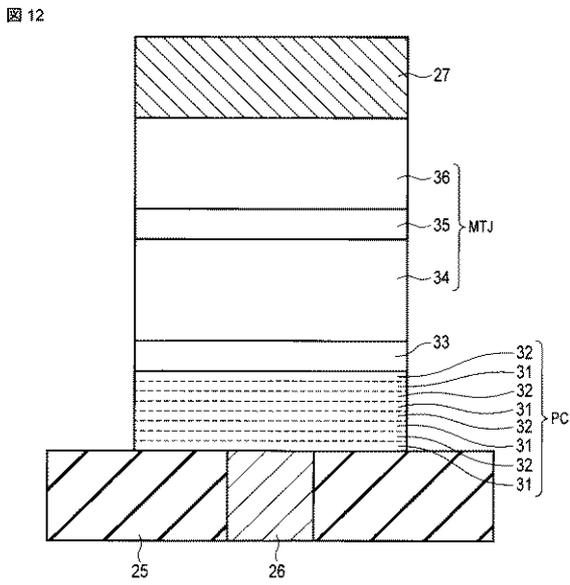
【図11】



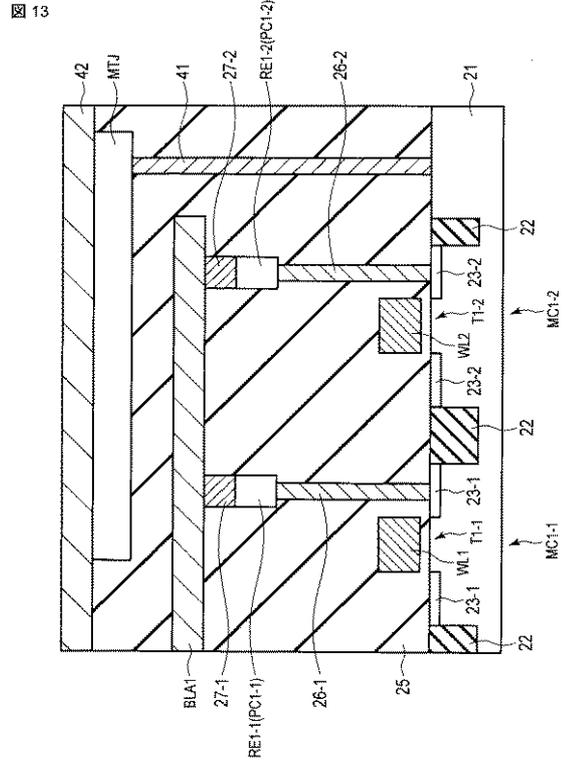
【図10】



【図12】



【図13】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 29/82 (2006.01) H 0 1 L 29/82 Z

(74)代理人 100140176

弁理士 砂川 克

(74)代理人 100158805

弁理士 井関 守三

(74)代理人 100172580

弁理士 赤穂 隆雄

(74)代理人 100179062

弁理士 井上 正

(74)代理人 100124394

弁理士 佐藤 立志

(74)代理人 100112807

弁理士 岡田 貴志

(74)代理人 100111073

弁理士 堀内 美保子

(74)代理人 100134290

弁理士 竹内 将訓

(72)発明者 中居 司

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 小瀬木 淳一

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 青木 伸俊

東京都港区芝浦一丁目1番1号 株式会社東芝内

F ターム(参考) 4M119 AA01 AA06 AA11 AA17 AA19 BB01 CC05 DD17 DD24 DD25
DD26 DD33 DD45 DD55 EE22 EE27 FF05 FF13 FF16 JJ04
KK14
5F083 FZ10 GA05 GA09 GA11 GA21 GA27 JA36 JA37 JA38 JA39
JA40 JA60 MA06 MA16 MA19 NA01 PR21 ZA21
5F092 AA02 AA04 AA06 AB08 AC12 AD03 AD25 BB23 BB35 BB36
BB43 BB55 BC03 BC12 BC13 BC42