

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-8959
(P2013-8959A)

(43) 公開日 平成25年1月10日(2013.1.10)

| (51) Int. Cl. | F I | テーマコード (参考) |
|--------------------------|----------------------|-------------|
| HO 1 L 29/786 (2006.01) | HO 1 L 29/78 6 1 8 B | 5 F 0 3 8 |
| HO 1 L 21/8234 (2006.01) | HO 1 L 27/08 1 0 2 B | 5 F 0 4 8 |
| HO 1 L 27/088 (2006.01) | HO 1 L 29/78 6 1 4 | 5 F 0 8 3 |
| HO 1 L 21/8242 (2006.01) | HO 1 L 27/10 6 7 1 C | 5 F 1 1 0 |
| HO 1 L 27/108 (2006.01) | HO 1 L 27/10 6 2 1 Z | |

審査請求 未請求 請求項の数 11 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2012-118160 (P2012-118160)
 (22) 出願日 平成24年5月24日 (2012.5.24)
 (31) 優先権主張番号 特願2011-117516 (P2011-117516)
 (32) 優先日 平成23年5月26日 (2011.5.26)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 坂田 淳一郎
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 5F038 AC05 AC14 DF05 EZ02 EZ06
 EZ20
 5F048 AB01 AB03 AC01 AC04 AC10
 BA01 BA10 BA14 BA16 BA20
 BB01 BB03 BB09 BB11 BB12
 BC16 BC18 BD02 BD10 BE03
 BF07 BF11 BF15 BF16 BG13
 CB01 DA23

最終頁に続く

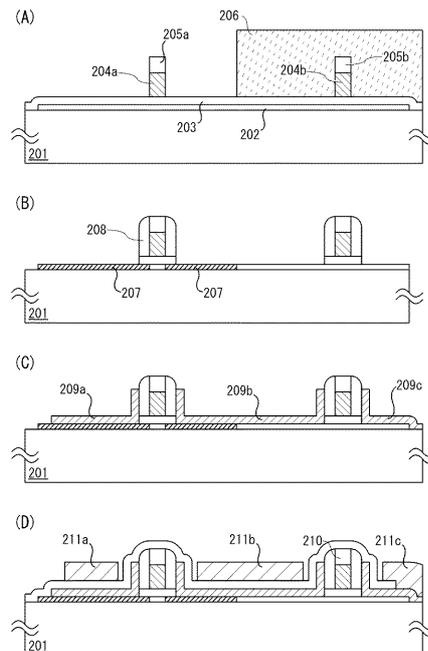
(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 同一基板上に酸化物半導体を用いたオフセットトランジスタとオフセットでないトランジスタを形成する。

【解決手段】 酸化物半導体層202とゲート絶縁物203とゲート配線となる第1層配線204a、第1層配線204bを形成する。その後、オフセットトランジスタをレジスト206で覆い、酸化物半導体層に不純物を導入し、N型酸化物半導体領域207を形成する。その後、第2層配線209a、第2層配線209b、第2層配線209cを形成する。以上の工程により、オフセットトランジスタとそうでないトランジスタ(アラインドトランジスタ等)を形成することができる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第 1 トランジスタと、第 2 トランジスタと、を有し、
前記第 1 トランジスタは、第 1 のゲート電極と、前記第 1 のゲート電極に隣接する第 1 のゲート絶縁物と、前記第 1 のゲート絶縁物を介して前記第 1 のゲート電極と隣接する第 1 の酸化物半導体層と、前記第 1 の半導体層に接する第 1 のソース電極及び第 1 のゲート電極とからなり、

前記第 2 トランジスタは、第 2 のゲート電極と、前記第 2 のゲート電極に隣接する第 2 のゲート絶縁物と、前記第 2 のゲート絶縁物を介して前記第 2 のゲート電極と隣接する第 2 の酸化物半導体層と、前記第 2 の半導体層に接する第 2 のソース電極及び第 2 のゲート電極とからなり、

前記第 1 のソース電極及び前記第 1 のドレイン電極の一方は、前記第 2 のソース電極及び前記第 2 のドレイン電極の一方と接続され、

上方から見たときに、前記第 1 のソース電極及び第 1 のドレイン電極は、第 1 のゲート電極から離れていることを特徴とする半導体装置。

【請求項 2】

上方から見たときに、前記第 2 のソース電極及び第 2 のドレイン電極は、第 2 のゲート電極から離れていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

請求項 1 において、

さらに第 3 のゲート電極を含む第 3 トランジスタを有し、

前記第 3 のゲート電極は、前記第 2 のソース電極及び前記第 2 のドレイン電極のもう一方と接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 1 のゲート電極は第 2 のゲート電極と接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記第 1 の酸化物半導体層と前記第 2 の酸化物半導体層のそれぞれは、インジウム及び亜鉛を含むことを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

第 1 トランジスタと、第 2 トランジスタと、第 1 の容量と、第 2 の容量と、を有し、
前記第 1 トランジスタは、第 1 のゲート電極と、前記第 1 のゲート電極に隣接する第 1 のゲート絶縁物と、前記第 1 のゲート絶縁物を介して前記第 1 のゲート電極と隣接する第 1 の酸化物半導体層と、前記第 1 の半導体層に接する第 1 のソース電極及び第 1 のゲート電極とからなり、

前記第 2 トランジスタは、第 2 のゲート電極と、前記第 2 のゲート電極に隣接する第 2 のゲート絶縁物と、前記第 2 のゲート絶縁物を介して前記第 2 のゲート電極と隣接する第 2 の酸化物半導体層と、前記第 2 の半導体層に接する第 2 のソース電極及び第 2 のゲート電極とからなり、

前記第 1 のソース電極及び前記第 1 のドレイン電極の一方は、前記第 2 のソース電極及び前記第 2 のドレイン電極の一方と接続され、

前記第 2 のソース電極及び前記第 2 のドレイン電極の一方は、前記第 1 の容量に接続され、

前記第 2 のソース電極及び前記第 2 のドレイン電極のもう一方は、前記第 2 の容量に接続され、

上方から見たときに、前記第 1 のソース電極及び第 1 のドレイン電極は、第 1 のゲート電極から離れていることを特徴とする半導体装置。

【請求項 7】

上方から見たときに、前記第 2 のソース電極及び第 2 のドレイン電極は、第 2 のゲート電極から離れていることを特徴とする請求項 6 に記載の半導体装置。

10

20

30

40

50

【請求項 8】

請求項 1 において、

さらに第 3 のゲート電極を含む第 3 トランジスタを有し、

前記第 3 のゲート電極は、前記第 2 のソース電極及び前記第 2 のドレイン電極のもう一方と接続されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】

前記第 1 のゲート電極は第 2 のゲート電極と接続されていることを特徴とする請求項 6 に記載の半導体装置。

【請求項 10】

前記第 1 の酸化物半導体層と前記第 2 の酸化物半導体層のそれぞれは、インジウム及び亜鉛を含むことを特徴とする請求項 6 に記載の半導体装置。

10

【請求項 11】

請求項 6 において、

さらにフリップフロップ回路を有し、

前記第 2 のソース電極及び前記第 2 のドレイン電極のもう一方は前記フリップフロップ回路に接続されていることを特徴とする請求項 6 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体を用いた半導体装置に関する。ここで、半導体装置とは、半導体特性を利用することで機能する素子および装置全般を指すものである。例えば、半導体を使用したメモリ、演算回路、整流器、表示装置等が挙げられるが、これらに限定されない。例えば、半導体を用いたメモリとしては、特許文献 1 を参照すればよい。

20

【背景技術】

【0002】

近年、インジウム、ガリウム、亜鉛の複合酸化物を用いた半導体によって作製されたトランジスタや表示装置、メモリ等が報告されている（例えば、特許文献 2 乃至特許文献 5 参照）。

【先行技術文献】

【特許文献】

30

【0003】

【特許文献 1】米国特許第 7 4 6 8 9 0 1 号明細書

【特許文献 2】米国特許第 7 6 7 4 6 5 0 号明細書

【特許文献 3】米国特許公開第 2 0 1 1 / 0 0 5 8 1 1 6 号明細書

【特許文献 4】米国特許公開第 2 0 1 1 / 0 2 1 6 5 7 1 号明細書

【特許文献 5】米国特許公開第 2 0 1 1 / 0 2 7 8 5 7 1 号明細書

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明の一態様は、酸化物半導体を用いて形成される、少なくとも 2 つのトランジスタを含む新規な集積回路およびその作製方法を提供することを課題の一とする。なお、これ以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これ以外の課題を抽出することが可能である。

40

【課題を解決するための手段】

【0005】

上記の課題を解決できる構成を以下に示す。それに先立って、本明細書で使用する用語について説明する。本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域またはドレイン電極）とソース（ソース端子、ソース領域またはソース電極）の間にチャンネル領域を有しており、ドレインとチャンネル領域とソースとを介して電流

50

を流すことが出来るものである。

【0006】

ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと呼ばず、ソースとドレインとの一方を、第1電極と表記し、ソースとドレインとの他方を第2電極と表記する場合がある。

【0007】

なお、キャパシタやダイオードのような二端子素子についても、一方の電極を第1電極と呼び、他方の電極を第2電極と呼ぶ場合がある。その際、キャパシタやダイオードにおいて、正極、負極の区別があるときであっても、第1電極がいずれであるかを指すものではない。ただし、回路の性質上、正極と負極を指定する必要があるときは、別途、記載することがある。

10

【0008】

なお、本明細書等において、第1、第2、第3などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

【0009】

なお、本明細書等において、XとYとが接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とを含むものとする。ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

20

【0010】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、XとYとの間に1個以上接続されることが可能である。

【0011】

なお、XとYとが電氣的に接続されている、と明示的に記載する場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

30

【0012】

なお、本明細書等においては、能動素子（トランジスタなど）、受動素子（キャパシタなど）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所限定する必要はない。したがって、能動素子、受動素子などが有する一部の端子についてのみ、その接続先を特定することによって、発明の一態様を構成することが可能な場合がある。

40

【0013】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。

【0014】

したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一

50

態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

【0015】

なお、本明細書等において、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【0016】

本発明の一態様は、酸化物半導体を有する第1トランジスタと第2トランジスタとを有し、第1トランジスタの第2電極と第2トランジスタの第1電極が接続し、第1トランジスタはゲートと第1電極および第2電極とがオフセットである構造を有するトランジスタ（以下、オフセットトランジスタという）である半導体装置である。

10

【0017】

本発明の一態様は、酸化物半導体を有する第1トランジスタと第1容量素子と酸化物半導体を有する第2トランジスタと第2容量素子を有し、第1トランジスタの第2電極と第2トランジスタの第1電極と第1容量素子の第1電極とが接続し、第2トランジスタの第2電極は第2容量素子の第1電極と接続し、第1容量素子および第2容量素子の第2電極は、第1トランジスタのゲートおよび第2トランジスタのゲートと異なるノードに接続されており、第1トランジスタはオフセットトランジスタである半導体装置である。

20

【0018】

本発明の一態様は、酸化物半導体を有する第1トランジスタと容量素子と酸化物半導体を有する第2トランジスタとフリップフロップ回路とを有し、第1トランジスタの第2電極と容量素子の第1電極と第2トランジスタのゲートが接続し、容量素子の第2電極は、第1トランジスタのゲートと異なるノードに接続されており、第2トランジスタの第1電極はフリップフロップ回路に接続する半導体装置である。

【0019】

上記において、第2トランジスタはゲートが第1電極あるいは第2電極とオーバーラップする構造を有するトランジスタ（以下、オーバーラップトランジスタという）であってもよい。また、上記において、第2トランジスタはオフセットトランジスタでもよい。

30

【0020】

また、本発明の一態様は、第1トランジスタの第1電極と第2トランジスタの第2電極とを作製する工程と、酸化物半導体の膜を形成する工程と、第1トランジスタのゲートと第2トランジスタのゲートと第1容量素子の第2電極と第2容量素子の第2電極とを形成する工程と、少なくとも第1トランジスタの第1電極とゲートを覆うマスクを形成する工程と、酸化物半導体の膜に不純物を混入させる工程と、を有し、第1トランジスタの第1電極とゲートはオフセットであり、第2トランジスタの第2電極とゲートがオフセットである半導体装置の作製方法である。

【0021】

また、本発明の一態様は、酸化物半導体の膜を形成する工程と、第1トランジスタのゲートと第2トランジスタのゲートとを形成する工程と、少なくとも第1トランジスタのゲートを覆うマスクを形成する工程と、酸化物半導体の膜に不純物を混入させる工程と、第1トランジスタの第1電極と第2トランジスタの第2電極とを形成する工程と、第1容量素子の第2電極と第2容量素子の第2電極とを形成する工程とを有し、第1トランジスタの第1電極とゲートはオフセットであり、第2トランジスタの第2電極とゲートがオフセットである半導体装置の作製方法である。

40

【0022】

用いる酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加

50

えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

【0023】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種あるいは複数種を有してもよい。

10

【0024】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZOとも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を用いることができる。

20

【0025】

なお、ここで、例えば、In-Ga-Zn 系酸化物とは、In と Ga と Zn を主成分として有する酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

【0026】

また、酸化物半導体として、 $InMO_3(ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、Ga、Fe、Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5(ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

30

【0027】

例えば、 $In : Ga : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ あるいは $In : Ga : Zn = 2 : 2 : 1 (= 2/5 : 2/5 : 1/5)$ の原子比の In-Ga-Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1 (= 1/3 : 1/3 : 1/3)$ 、 $In : Sn : Zn = 2 : 1 : 3 (= 1/3 : 1/6 : 1/2)$ あるいは $In : Sn : Zn = 2 : 1 : 5 (= 1/4 : 1/8 : 5/8)$ の原子比の In-Sn-Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

40

【0028】

しかし、これらに限られず、必要とする半導体特性 (移動度、しきい値、ばらつき等) に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとするのが好ましい。

【0029】

例えば、In-Sn-Zn 系酸化物では比較的容易に高い移動度を得られる。しかしながら、In-Ga-Zn 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

50

【0030】

なお、例えば、In、Ga、Znの原子数比がIn : Ga : Zn = a : b : c (a + b + c = 1) である酸化物の組成が、原子数比がIn : Ga : Zn = A : B : C (A + B + C = 1) の酸化物の組成の近傍であるとは、a、b、cが、
 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$
 を満たすことをいい、rは、0.05とすればよい。他の酸化物でも同様である。

【0031】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

10

【0032】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0033】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(Ra)が1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下の表面上に形成するとよい。

20

【0034】

なお、Raは、JIS B0601で定義されている中心線平均粗さを面に対して適用できるように三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【0035】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_2}^{y_1} \int_{x_2}^{x_1} |f(x, y) - Z_0| dx dy$$

【0036】

なお、上記において、S₀は、測定面(座標(x₁, y₁)(x₁, y₂)(x₂, y₁)(x₂, y₂)の4点で表される四角形の領域)の面積を指し、Z₀は測定面の平均高さを指す。Raは原子間力顕微鏡(AFM: Atomic Force Microscope)にて評価可能である。

【0037】

なお、酸化物半導体の膜が結晶性を有している場合には、c軸配向し、かつab面、表面または界面の方向から見て三角形または六角形の原子配列を有し、c軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、ab面においてはa軸またはb軸の向きが異なる(c軸を中心に回転した)結晶を含む酸化物半導体(CAAC: C-Axis Aligned Crystalline Oxide Semiconductor (CAAC-OS)ともいう。)の膜であることが好ましい。

40

【0038】

CAAC-OSとは、広義に、非単結晶であって、そのab面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつc軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物半導体をいう。

【0039】

CAAC-OSは単結晶ではないが、非晶質のみから形成されているものでもない。また、CAAC-OSは結晶化した部分(結晶部分)を含むが、1つの結晶部分と他の結晶部

50

分の境界を明確に判別できないこともある。

【0040】

C A A C - O S を構成する酸素の一部は窒素で置換されてもよい。また、C A A C - O S を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C - O S が形成される基板面、C A A C - O S の表面などに垂直な方向）に揃っていてもよい。または、C A A C - O S を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、C A A C - O S が形成される基板面、C A A C - O S の表面などに垂直な方向）を向いていてもよい。

【0041】

C A A C - O S は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

10

【0042】

このような C A A C - O S 膜の例として、膜表面または C A A C - O S が形成される基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。

【発明の効果】

【0043】

オフセットトランジスタは、オフ電流（オフ状態でのソースとドレイン間のリーク電流）がそうでないものに比較して小さいという特徴がある。また、オフセットでないトランジスタは、オン電流（オン状態でのソースとドレイン間の電流）がオフセットトランジスタより大きいという特徴がある。

20

【0044】

そのことについて、半導体内部の欠陥が無い理想的な酸化物半導体をチャンネルに用いたトランジスタのドレイン電流（ソース - ドレイン間の電流、 I_D ）のゲート電圧（ソース - ゲート間の電位差、 V_G ）依存性を数値計算した結果をもとに説明する。

【0045】

なお、酸化物半導体としては、インジウム（ $I n$ ）、スズ（ $S n$ ）、亜鉛（ $Z n$ ）の比率が、 $I n : S n : Z n = 1 : 1 : 1$ のものを想定する。数値計算に先立って、この組成の酸化物を用いてトランジスタを作製し、その特性よりバルク内欠陥密度は $1 \times 10^{12} / \text{cm}^2$ 程度であること、およびバルクの欠陥がない場合の移動度は $120 \text{ cm}^2 / \text{Vs}$ であることがわかった。

30

【0046】

ただし、半導体内部に欠陥がなくても、チャンネルとゲート絶縁物との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁物界面から x だけ離れた場所における移動度 μ_1 は以下の式で表される。

【0047】

【数2】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

【0048】

ここで、 D はゲート方向の電界、 B 、 G は定数である。 B および G は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm} / \text{s}$ 、 $G = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。 D が増加する（すなわち、ゲート電圧が高くなる）と数2の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0049】

以上の議論を元に、界面散乱のみを考慮したドレイン電流を計算した結果を図7に示す。なお、ソースの電位を 0 V とし、ドレインの電位を $+1 \text{ V}$ とした。数値計算にはシノプシス社製デバイス数値計算ソフト、S e n t a u r u s D e v i c e を使用し、酸化物半

50

導体の比誘電率、バンドギャップ、電子親和力、厚さをそれぞれ、1.5、2.8電子ボルト、4.7電子ボルト、1.5nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0050】

数値計算に用いたトランジスタの断面構造を図6に示す。図6に示すトランジスタは酸化物半導体層にN型の半導体領域603aおよび半導体領域603cを有する。半導体領域603aおよび半導体領域603cの抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

【0051】

図6(A)に示すトランジスタは、下地絶縁物601と、下地絶縁物601に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物602の上に形成される。トランジスタは半導体領域603a、半導体領域603cと、それらに挟まれ、チャンネル形成領域となる真性の半導体領域603bと、ゲート605を有する。ゲート605の幅を33nmとする。

10

【0052】

ゲート605と半導体領域603bの間には、ゲート絶縁物604を有し、また、ゲート605の両側面には側壁絶縁物606aおよび側壁絶縁物606b、ゲート605の上部には、ゲート605と他の配線との短絡を防止するための絶縁物607を有する。側壁絶縁物の幅は5nmとする。また、半導体領域603aおよび半導体領域603cに接して、ソース608aおよびドレイン608bを有する。なお、このトランジスタにおけるチャンネル幅は40nmとする。

20

【0053】

数値計算では、ゲート605、ソース608a、ドレイン608bの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁物604の厚さは100nm、比誘電率は4.1とした。チャンネル長およびチャンネル幅は33nmおよび40nmである。

【0054】

図6(B)に示すトランジスタは、下地絶縁物601と、酸化アルミニウムよりなる埋め込み絶縁物602の上に形成され、半導体領域603a、半導体領域603cと、それらに挟まれた真性の半導体領域603bと、幅33nmのゲート605とゲート絶縁物604と側壁絶縁物606aおよび側壁絶縁物606bと絶縁物607とソース608aおよびドレイン608bを有する点で図6(A)に示すトランジスタと同じである。

30

【0055】

図6(A)に示すトランジスタと図6(B)に示すトランジスタの相違点は、側壁絶縁物606aおよび側壁絶縁物606bの下の半導体領域の導電型である。図6(A)に示すトランジスタでは、側壁絶縁物606aおよび側壁絶縁物606bの下の半導体領域はN型の半導体領域603aおよび半導体領域603cであるが、図6(B)に示すトランジスタでは、真性の半導体領域603bである。

【0056】

すなわち、半導体領域603a(半導体領域603c)とゲート605がLoffだけ重ならない領域(オフセット領域)ができています。Loffをオフセット長という。図から明らかのように、オフセット長は、側壁絶縁物606a(側壁絶縁物606b)の幅と同じである。なお、図6(A)のトランジスタはLoffが0nmであり、オフセットトランジスタでもオーバーラップトランジスタでもない。本明細書では、このようなトランジスタをアラインドトランジスタと呼ぶことにする。

40

【0057】

現実には全くオーバーラップではなく、オフセットでもない構造は有りえず、若干のオーバーラップやオフセットであることは避けられないが、オーバーラップとオフセットの間の構造を持つトランジスタとして、アラインドトランジスタを用いてもよい。

【0058】

図7において、点線は図6(A)の構造のトランジスタ(アラインドトランジスタ、Lo

50

f f = 0 nm) の特性を示し、実線は L o f f が 15 nm である図 6 (B) の構造のトランジスタ (オフセットトランジスタ) の特性を示す。

【 0 0 5 9 】

酸化物半導体はバンドギャップが 2 . 5 電子ボルト以上であるため、熱励起のキャリアが少なく、オフ状態では極めて高い抵抗を実現できる。しかしながら、シリコン半導体のように短チャネル効果を抑制するためにチャネルにドーピングをおこなうことができないので、ゲート電圧 0 V でのドレイン電流は 1 p A 以上である。

【 0 0 6 0 】

オフ電流は、オフセットトランジスタ (図 6 (B)) ではより小さくなる。図 6 (A) のトランジスタとの比較では、ゲート電圧 0 V ではドレイン電流は 3 桁小さく、ゲート電圧が - 1 V では 6 桁以上小さくなる。しかしながら、オフセットトランジスタでは、オン電流はオフセットでないトランジスタよりも少なくなる。ゲート電圧 + 1 V では、図 6 (B) のトランジスタのドレイン電流は、図 6 (A) のトランジスタの 1 / 3 程度である。

10

【 0 0 6 1 】

本発明の一態様の構成により、オフセットトランジスタとそうでないトランジスタ (アライントランジスタ、オーバーラップトランジスタ等) を同じ基板上に同時に形成することができる。すなわち、回路内においては、オン電流が大きい方が好ましい部分にはオフセットでないトランジスタを用い、また、オフ電流が小さい方が好ましい部分にはオフセットトランジスタを用いることができる。

【 図面の簡単な説明 】

20

【 0 0 6 2 】

【 図 1 】 本発明の一態様の半導体装置の断面模式図と回路の例を説明する図である。

【 図 2 】 本発明の一態様の半導体装置の作製工程を説明する断面図である。

【 図 3 】 本発明の一態様の半導体装置の回路を説明する図である。

【 図 4 】 本発明の一態様の半導体装置の作製工程を説明する断面図である。

【 図 5 】 本発明の一態様の半導体装置の作製工程を説明する断面図である。

【 図 6 】 数値計算に用いたトランジスタの断面構造を説明する図である。

【 図 7 】 酸化物半導体を用いたトランジスタの特性の数値計算結果である。

【 図 8 】 電子機器の例を示す図である。

【 発明を実施するための形態 】

30

【 0 0 6 3 】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【 0 0 6 4 】

また、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【 0 0 6 5 】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、などを含むことが可能である。

40

【 0 0 6 6 】

さらに、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多い。ただし、発明の一態様は、専門用語によって、限定して解釈されるものではない。

【 0 0 6 7 】

また、定義されていない文言 (専門用語又は学術用語などの科学技術文言を含む) は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されること

50

が好ましい。

【0068】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び/又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどをおこなうことが出来る。

【0069】

（実施の形態1）

図1（A）に本実施の形態の半導体装置の断面図を示す。半導体装置は基板101上に第1酸化半導体層102aと第2酸化半導体層102bを有する。さらに、第1酸化半導体層102aに接して、第1層配線103a、第2酸化半導体層102bに接して、第1層配線103b、第1酸化半導体層102aと第2酸化半導体層102bに接して、第1層配線103cを有する。

10

【0070】

そして、第1酸化半導体層102aと第2酸化半導体層102b、第1層配線103a、第1層配線103b、第1層配線103c上にゲート絶縁物104を有し、ゲート絶縁物104上に第2層配線105a、第2層配線105b、第2層配線105c、第2層配線105dを有する。

【0071】

この半導体装置には、2つのトランジスタと2つの容量素子が含まれている。このうち、第1トランジスタは第2層配線105bをゲートとし、第1層配線103bを第1電極とする。また、第2トランジスタは第2層配線105aをゲートとし、第1層配線103aを第2電極とする。また、第1層配線103cは、第1トランジスタの第2電極としての機能と第2トランジスタの第1電極としての機能を有する。第1トランジスタはゲートが第1電極や第2電極が重ならない、オフセットトランジスタであり、第2トランジスタはゲートが第1電極と第2電極と重なるオーバーラップトランジスタである。

20

【0072】

さらに、第1容量素子は、第2層配線105cをその第2電極とする。また、第2容量素子は、第2層配線105dをその第2電極とする。なお、第1層配線103aは、第2容量素子の第1電極としての機能も有する。第1層配線103cは、第1容量素子の第1電極としての機能も有する。

30

【0073】

以上の2つのトランジスタと2つの容量素子によって構成される回路を図1（D）に示す。ここで、 T_{r1} は第1トランジスタ、 T_{r2} は第2トランジスタ、 C_{s1} は第1容量素子、 C_{s2} は第2容量素子である。第1トランジスタ T_{r1} のゲートと第2トランジスタ T_{r2} のゲートは同じ信号端子CLKに接続され、第1トランジスタ T_{r1} と第2トランジスタ T_{r2} は連動して動作する。例えば、第1トランジスタ T_{r1} の第1電極は入力端子INに接続し、与えられた入力信号が第2容量素子 C_{s2} の第1電極のノードであるストレージノードSNに保存される。なお、第1トランジスタ T_{r1} のゲートと第2トランジスタ T_{r2} のゲートを分離し、それぞれに異なる信号を入力してもよい。

40

【0074】

また、第1容量素子 C_{s1} 、第2容量素子 C_{s2} は、意図的に形成される容量である以外に、配線間容量や寄生容量のような意図的に形成されない容量であってもよい。

【0075】

図1（B）に変形例を示す。図1（B）に示す半導体装置は、第2トランジスタがオフセットトランジスタであることを除けば、図1（A）の半導体装置と同じである。

【0076】

図1（C）に変形例を示す。図1（C）に示す半導体装置は、図1（A）の半導体装置では、2つ設けられていた酸化半導体層（第1酸化半導体層102aと第2酸化半導体層102b）を一つの第1酸化半導体層102としたものである。その他の構成は図

50

1 (A) の半導体装置と同じである。

【0077】

(実施の形態2)

本実施の形態では、オフセットトランジスタとアラインドトランジスタを同一の酸化半導体層上に作製する方法を図2を用いて説明する。

【0078】

<図2(A)>

基板201に酸化半導体層202を形成する。基板201には各種基板を用いることができ、例えば、単結晶シリコンウェハ、ガラス基板、SOI (Silicon on Insulator) 基板等を用いることができる。また、基板201の表面は絶縁性であることが好ましく、半導体あるいは導電性の基板を用いる場合には、表面に絶縁層(以下、第1の絶縁層、という)を設けるとよい。なお、基板201上に何らかの回路を形成し、その上に第1の絶縁層を設けてもよい。

10

【0079】

第1の絶縁層は酸化物であることが好ましく、過剰な酸素を含有しているとより好ましい。また、その水素濃度は十分に低いことが好ましく、水素濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以下であることがより好ましい。そのためには、第1の絶縁層の少なくとも表面部は、十分に水素濃度の低減された雰囲気、スパッタリング法により形成されるとよい。なお、第1の絶縁層は誘電率が低いことが好ましいので、酸化シリコンを用いるとよい。

20

【0080】

第1の絶縁層は表面が十分に平坦であることが好ましく、平均面粗さが1nm以下、好ましくは0.3nm以下、より好ましくは0.1nm以下とするとよい。特に、その上に形成される酸化半導体層202が結晶性を有する場合には、表面の平坦性が十分でないと、結晶性が不十分となることがある。また、平坦性が十分でないと、トランジスタ特性のばらつきの原因となる。平坦な表面を得るためには、第1の絶縁層の表面を化学的機械的研磨法により平坦化するとよく、その後、その表面をプラズマ処理するとなお好ましい。

【0081】

酸化半導体層202は、上述の酸化半導体のいずれかを用いて形成するとよく、その厚さはトランジスタのサイズに応じて決定される。酸化半導体層202の厚さは、例えば、1nm以上30nm以下とすればよい。あるいは、チャンネル長をLとするとき、酸化半導体層202の厚さはその1%以上10%未満となるようにするとよい。

30

【0082】

酸化半導体層202は、酸化半導体の膜を必要な形状にエッチングして得られる。酸化半導体の膜は、好ましくはスパッタリング法により、基板加熱温度を100以上600以下、好ましくは150以上550以下、さらに好ましくは200以上500以下とし、酸素ガスを有する雰囲気中で成膜する。酸素ガスと希ガスの混合雰囲気とする場合は、酸素ガスの割合は30体積%以上、好ましくは50体積%以上、さらに好ましくは80体積%以上とする。

【0083】

成膜時の基板加熱温度が高いほど、得られる酸化半導体の膜に含まれる不純物(水素等)濃度は低くなる。また、酸化半導体膜中の原子配列が整い、高密度化され、結晶が形成されやすくなる。酸化半導体の膜のドナー濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 以下であることが好ましい。

40

【0084】

次いで、ゲート絶縁物203を成膜する。ゲート絶縁物203の厚さはトランジスタのサイズに応じて決定される。ゲート絶縁物203の厚さは、例えば、5nm以上30nm以下とすればよい。あるいは、チャンネル長をLとするとき、ゲート絶縁物203の厚さはその10%未満となるようにするとよい。また、ゲート絶縁物203の厚さは、その比誘電率によっても決定され、比誘電率の大きな材料を用いれば、ゲート絶縁物203を厚くすることもできる。

50

【0085】

なお、酸化物半導体層202の比誘電率 ϵ_1 と厚さ t_1 とゲート絶縁物203の比誘電率 ϵ_2 と厚さ t_2 とトランジスタとのチャンネル長 L との間で、 $(\epsilon_2 t_1 + \epsilon_1 t_2) < 0.1 \epsilon_2 L$ 、という関係を満たすとさらに好ましい。

【0086】

ゲート絶縁物203は、スパッタリング法、蒸着法、PCVD法、PLD法、ALD法またはMBE法を用いることができる。また、ゲート絶縁物203には、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化ジルコニウム、酸化イットリウム等を用いればよい。本実施の形態では、スパッタリング法を用いて酸化シリコン膜を100nmの厚さで成膜する。

10

【0087】

次いで、ゲート電極としても機能する第1層配線を形成するための第1の導電膜を形成する。第1の導電膜の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。

【0088】

また、第1の導電膜を積層構造とし、その最下層に窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn系酸化物や、窒素を含むIn-Sn系酸化物や、窒素を含むIn-Ga系酸化物や、窒素を含むIn-Zn系酸化物や、窒素を含む酸化錫や、窒素を含む酸化インジウムや、金属窒化膜(InN、SnNなど)を用いてもよい。

20

【0089】

これらの材料は5電子ボルト以上、好ましくは5.5電子ボルト以上の仕事関数を有し、ゲート電極として用いた場合、トランジスタのしきい値電圧をプラスにすることができ、所謂ノーマリーオフのスイッチング素子を実現できる。

【0090】

さらに、第1の導電膜上に第2の絶縁層を形成する。例えば、酸化シリコン、窒化シリコン、酸化窒化シリコン、酸化アルミニウム等を形成する。第2の絶縁層の材料は、その後の異方性エッチングの工程でのエッチングストップとなるような材料であることが好ましい。

【0091】

次いで、フォトリソグラフィ工程によって第1の導電膜と第2の絶縁層を加工して、第1層配線204a、第1層配線204bとその上のエッチングストップ205a、エッチングストップ205bを形成する。そして、オフセットトランジスタを設ける領域(図2(A)では右側)にレジスト206を形成する。

30

【0092】

<図2(B)>

レジスト206、および、第1層配線204aとその上のエッチングストップ205aをマスクとして、酸化物半導体層202に不純物をドーピングする。用いる不純物としては、リン、硼素、窒素等が挙げられるがこれらに限定されず、酸化物半導体に含まれる酸素と化合して、酸化物半導体の酸素欠損を増加させ、酸化物半導体中のドナー濃度を高めるものであればよい。

40

【0093】

このようにしてN型酸化物半導体領域207が形成される。N型酸化物半導体領域207のドナー濃度は $1 \times 10^{20} \text{ cm}^{-3}$ 以上であることが好ましい。この際、N型酸化物半導体領域207の境界が、第1層配線204aの両端とほぼ揃った形状に形成される。

【0094】

その後、プラズマCVD法等により、第3の絶縁層を形成し、これを異方性エッチングすることで側壁絶縁物208を形成する。この工程は公知の半導体技術(側壁形成技術)を参照できる。この際、ゲート絶縁物203は、側壁絶縁物208および第1層配線204a、第1層配線204bの下にある部分を除いて、エッチングし、N型酸化物半導体領域

50

207を露出させる。

【0095】

<図2(C)>

第2の導電膜を形成する。第2の導電膜の材料としては、第1の導電膜に用いることのできる材料から選択すればよい。第2の導電膜をエッチングして、第2層配線209a、第2層配線209b、第2層配線209cを得る。第2層配線209aと第2層配線209bはN型酸化物半導体領域207に接する。

【0096】

この工程により、本実施の形態の半導体装置の主要な部分が形成される。すなわち、第1トランジスタ(オフセットトランジスタ)は、第1層配線204bをゲートとし、第2層配線209cを第1電極、第2層配線209bを第2電極とする。また、第2トランジスタ(アラインドトランジスタ)は、第1層配線204aをゲートとし、第2層配線209bを第1電極、第2層配線209aを第2電極とする。

10

【0097】

<図2(D)>

その後、容量用絶縁物210を形成する。容量用絶縁物210は容量素子の誘電体として用いる。そのためには、その厚さと比誘電率を適切なものとする。例えば、ゲート絶縁物203の厚さやそれに用いることのできる材料を参照すればよい。また、容量用絶縁物210の一部には必要に応じてコンタクトホール等を設けてもよい。

【0098】

その後、第3層配線211a、第3層配線211b、第3層配線211cを形成する。第3層配線211aは第2層配線209aと、第3層配線211bは第2層配線209bと、それぞれ容量素子を形成し、第3層配線211aは第2容量素子の第2電極、第3層配線211bは第1容量素子の第2電極となる。なお、第2層配線209aは第2容量素子の第1電極、第2層配線209bは第1容量素子の第1電極である。また、第3層配線211cは、第2層配線209cと接する。

20

【0099】

さらに保護膜や層間絶縁物を設けてもよい。このようにして、酸化物半導体層202上に、オフセットトランジスタとアラインドトランジスタを形成できる。なお、アラインドトランジスタの代わりに、オーバーラップトランジスタやオフセットトランジスタを形成してもよい。

30

【0100】

(実施の形態3)

本実施の形態では、図1(D)に示される回路を用いる例について説明する。図3(A)は図1(D)の回路を用いた記憶素子の回路を示す。この記憶素子は第1トランジスタ301と第2トランジスタ302と第1容量素子304と第2容量素子305よりなる回路(図の点線で囲まれた部分)と読み出しトランジスタ303とを有する。図の点線で囲まれた部分は図1(D)に示す回路と同様なものである。

【0101】

第1トランジスタ301はオフセットトランジスタであり、第2トランジスタ302はアラインドトランジスタ、オーバーラップトランジスタ、オフセットトランジスタのいずれかであり、いずれも実施の形態1あるいは実施の形態2で示したように、酸化物半導体層を用いて構成される。

40

【0102】

データを入力する際には、第1トランジスタ301と第2トランジスタ302のゲートの信号端子CLKの電位を制御し、第1トランジスタ301と第2トランジスタ302をオンとする。そして、入力端子INをデータに応じた電位とする。その結果、第1容量素子304の第1電極と第2容量素子305の第1電極の電位(ストレージノードSNの電位)をデータに応じたものとすることができる。

【0103】

50

この回路のストレージノードS Nの電位によって読み出しトランジスタ3 0 3の状態が変化する。すなわち、ストレージノードS Nの電位が高ければ読み出しトランジスタ3 0 3はオンとなることがあるが、ストレージノードS Nの電位が低ければ読み出しトランジスタ3 0 3はオフとなる。したがって、第1端子T 1と第2端子T 2の導通状態を調べることで、保持されているデータを判別できる。

【0104】

似たような構造の記憶素子はゲインセル（例えば、特許文献1参照）として知られているが、図3（A）に示す回路の記憶素子は、オフ電流の低いオフセットトランジスタである第1トランジスタ3 0 1を有することにより、通常のゲインセルよりも長期間、データを保持できる。

10

【0105】

図3（B）は図1（D）の回路を用いた他の記憶素子の回路を示す。この記憶素子は第1トランジスタ3 1 7と第2トランジスタ3 1 8と第1容量素子3 2 0と第2容量素子3 2 1よりなる回路（図の点線で囲まれた部分）と読み出しトランジスタ3 1 9とを有する。図の点線で囲まれた部分は図1（D）に示す回路と同様なものである。また、点線で囲まれた部分と読み出しトランジスタ3 1 9は、図3（A）で示した回路と同様のものである。

【0106】

第1トランジスタ3 1 7はオフセットトランジスタであり、第2トランジスタ3 1 8はアラインドトランジスタ、オーバーラップトランジスタ、オフセットトランジスタのいずれかであり、いずれも実施の形態1あるいは実施の形態2で示したように、酸化物半導体層を用いて構成される。

20

【0107】

図3（B）に示す回路は、さらに、Pチャネル型トランジスタ3 1 1とNチャネル型トランジスタ3 1 3よりなる第1のインバータと、Pチャネル型トランジスタ3 1 2とNチャネル型トランジスタ3 1 4よりなる第2のインバータと、それらに接続する第1スイッチングトランジスタ3 1 5と第2スイッチングトランジスタ3 1 6とを有する。これらはフリップフロップ回路を形成するものである。このような回路は、例えば、CPUのレジスタ等に使用される。

【0108】

データを書き込む際には、入力端子I Nをデータに応じた電位とし、第3端子T 3を適切な高電位に、第4端子T 4を適切な低電位とし、さらに第1スイッチングトランジスタ3 1 5のゲートの信号端子C L K 1の電位と、第2スイッチングトランジスタ3 1 6のゲートの信号端子C L K 2の電位を制御し、第1スイッチングトランジスタ3 1 5と、第2スイッチングトランジスタ3 1 6をオンとする。データは第1のインバータと第2のインバータによって形成された帰還回路に維持される。その後、第1スイッチングトランジスタ3 1 5はオフとする。

30

【0109】

記憶されているデータは出力端子O U Tの電位を読み取ることで判定できる。なお、出力端子O U Tの電位は、入力端子I Nに与えられた電位とは逆位相であることに注意する必要がある。例えば、データ" 1 "のときに入力端子I Nに与える電位を+ 2 V、データ" 0 "のときに入力端子I Nに与える電位を0 Vとするとき、入力されたデータが" 1 "（入力端子I Nの電位が+ 2 V）であれば、出力端子O U Tの電位は0 Vである。

40

【0110】

上記の定常状態は、第3端子T 3と第4端子T 4の電位が維持されている場合に保持されるが、第3端子T 3と第4端子T 4の電位差が小さくなると、データが消滅してしまう。すなわち、上記のフリップフロップ回路のみでは、データを保持するには常に相当量の電力を消費する。しかし、図に点線で示す部分にデータを退避させることで、記憶素子の消費電力を低減することができる。

【0111】

50

データを退避させるには、フリップフロップ回路が定常状態を保った状態で、第1トランジスタ317と第2トランジスタ318のゲートの信号端子CLK3の電位を制御して、第1トランジスタ317と第2トランジスタ318をオンとする。その結果、ストレージノードSNの電位は保持されていたデータに応じたものとなる。上記の例では、保持されていたデータが"1"の場合には、ストレージノードSNの電位は0V、保持されていたデータが"0"の場合には、ストレージノードSNの電位は+2Vとなる。

【0112】

その後、第1トランジスタ317と第2トランジスタ318のゲートの信号端子CLK3の電位を制御して、第1トランジスタ317と第2トランジスタ318をオフとする。第1スイッチングトランジスタ315と、第2スイッチングトランジスタ316もオフとする
とよい。

10

【0113】

ストレージノードSNの電位はオフ電流の低いオフセットトランジスタである第1トランジスタ317により長期に維持される。なお、ストレージノードSNの電位は、時間の経過によって変動して、初期の値からずれることがある。

【0114】

データを上記回路に退避させている間には、信号端子CLK3の電位を回路の他の部分の電位よりも低くしてもよい。そうすることによりストレージノードSNの電位をより長時間にわたって保持できる。その際に消費される電流は極めて限定的であり、ほとんどは、第1トランジスタ317と第2トランジスタ318のゲートリーク(ゲートとソースやドレイン間のリーク電流)であり、測定することが困難なほど微量である。

20

【0115】

退避させたデータを元に戻すには、以下のようにおこなえばよい。まず、第2スイッチングトランジスタ316と第1トランジスタ317と第2トランジスタ318はオフのままとする。また、第1スイッチングトランジスタ315をオンとして、さらに入力端子INの電位をデータ"1"に対応するもの(上記の例では+2V)とする。第5端子T5の電位もこれにあわせて+2Vとするとよい。第3端子T3、第4端子T4は、それぞれ所定の電位とする。この結果、第1のインバータのゲートの電位は+2Vとなる。その後、第1スイッチングトランジスタ315をオフとする。

【0116】

次に第5端子の電位を0Vとする。もし、ストレージノードSNの電位が0V(あるいはそれに近い値)であれば、読み出しトランジスタ319はオフであるので、第1のインバータのゲートの電位は+2Vのままである。しかし、ストレージノードSNの電位が+2V(あるいはそれに近い値)であれば、読み出しトランジスタ319はオンであるので、第1のインバータのゲートの電位は0Vとなる。

30

【0117】

ところで、保存されていたデータが"1"であれば、ストレージノードSNの電位は0V(あるいはそれに近い値)、"0"であれば+2V(あるいはそれに近い値)であったので、保存されていたデータが"1"であれば、第1のインバータのゲートの電位は+2V、保存されていたデータが"0"であれば、第1のインバータのゲートの電位は0Vとなる。この状態は最初に入力された状態と同じである。

40

【0118】

その状態で、第2スイッチングトランジスタ316をオンとすると、フリップフロップ回路は第1のインバータのゲートの電位に応じた定常状態となる。この状態はデータを退避する前と同じである。

【0119】

このような記憶素子を作製する場合には、シリコンウェハー上に、公知の半導体作製技術を用いて、Pチャネル型トランジスタ311とNチャネル型トランジスタ313よりなる第1のインバータと、Pチャネル型トランジスタ312とNチャネル型トランジスタ314よりなる第2のインバータと、それらに接続する第1スイッチングトランジスタ315

50

と第2スイッチングトランジスタ316とを形成し、その回路上に、酸化物半導体を用いて、第1トランジスタ317、第2トランジスタ318を形成するとよい。

【0120】

また、読み出しトランジスタ319は、フリップフロップ回路を構成するトランジスタと同じ層に形成してもよいが、第1トランジスタ317、第2トランジスタ318と同じ層に形成すると、従来の記憶素子と同じ面積で回路を作製でき、集積度を低下させなくて済む。

【0121】

なお、最小加工線幅をFとすると、フリップフロップ回路は $50F^2$ 以上の面積を要するため、第1トランジスタ317、第2トランジスタ318のチャネル長を、フリップフロップ回路を構成するトランジスタのチャネル長の5倍以上としてもよい。第1トランジスタ317、第2トランジスタ318を長チャネルとすることにより、オフ特性を向上させることができる。

【0122】

(実施の形態4)

本実施の形態では、図3(B)で示したような記憶素子を作製する際に用いることのできる方法について図4および図5を用いて説明する。なお、図4および図5に示す断面図は記憶素子の特定の断面ではない。

【0123】

まず、シリコンウェハー等の基板401上に公知の半導体集積回路作製技術を用いて、N型ウェル401n、P型ウェル401p、素子分離絶縁物402、N型領域403n、P型領域403p、第1層配線404a、第1層配線404bを形成する(図4(A)参照)。第1層配線404a、第1層配線404bはトランジスタのゲートとなる。

【0124】

さらに、第1層間絶縁物405を形成し、コンタクトホールを形成して、第1コンタクトプラグ406a、第1コンタクトプラグ406b、第1コンタクトプラグ406cを形成する(図4(B)参照)。

【0125】

さらに、第2層間絶縁物407と第2層配線408a、第2層配線408b、第2層配線408c、第2層配線408dを形成する。ここまでは公知の半導体集積回路作製技術を用いることができる。なお、第2層間絶縁物407と第2層配線408a、第2層配線408b、第2層配線408c、第2層配線408dの表面は実施の形態2で説明したように、十分に平坦化しておくことが好ましい。また、第2層間絶縁物407は実施の形態2の第1の絶縁層と同様な材料で形成するとよい。

【0126】

その後、酸化物半導体層409、ゲート絶縁物410、第3層配線411a、第3層配線411b、第3層配線411c、第3層配線411dを形成する(図4(C)参照)。これらの形成に関しては、実施の形態2を参照すればよい。

【0127】

ここで、第3層配線411bと第3層配線411dは、トランジスタのゲート配線となるべきものである。本実施の形態では、第3層配線411bと第3層配線411dと酸化物半導体層409が重なる部分では、第3層配線411bと第3層配線411dは第2層配線408a、第2層配線408b、第2層配線408c、第2層配線408dと重ならないようにする。

【0128】

すなわち、図に示すように、第2層配線408bと第3層配線411b、第2層配線408cと第3層配線411b、第2層配線408cと第3層配線411d、第2層配線408dと第3層配線411dは、適切なオフセット長を有するオフセット状態となるようにする。

【0129】

10

20

30

40

50

レジスト412をもちいて、オフセットトランジスタを作製する部分を覆い、不純物を酸化半導体層409に注入して、N型酸化半導体領域413を形成する(図5(A)参照)。N型酸化半導体領域413の端は、おおよそ第3層配線411bの端と揃っているため、アラインドトランジスタを形成できる。この工程の詳細は実施の形態2を参照できる。

【0130】

さらに、第3層間絶縁物414を形成する(図5(B)参照)。以上のようにして、オフセットトランジスタである第1トランジスタ415d、アラインドトランジスタである第2トランジスタ415b、第1容量素子415c、第2容量素子415aを形成できる。

【0131】

これら第1トランジスタ415d、第2トランジスタ415b、第1容量素子415c、第2容量素子415aは、図3(A)に示される第1トランジスタ301、第2トランジスタ302、第1容量素子304、第2容量素子305や図3(B)に示される第1トランジスタ317、第2トランジスタ318、第1容量素子320、第2容量素子321として使用できる。

【0132】

また、N型領域403n、P型領域403p、第1層配線404a、第1層配線404b等によって形成されるトランジスタは、図3(B)のPチャネル型トランジスタ311、Pチャネル型トランジスタ312、Nチャネル型トランジスタ313、Nチャネル型トランジスタ314、第1スイッチングトランジスタ315、第2スイッチングトランジスタ316として使用してもよい。このようにトランジスタを多層に形成することで回路の集積度を低下させることなく、優れた特性が得られる。

【0133】

(実施の形態5)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図8を用いて説明する。本実施の形態では、コンピュータ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0134】

図8(A)は、ノート型のパーソナルコンピュータ700であり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702の少なくとも一には、先の実施の形態に示す記憶素子を有する半導体装置を設けるとよい。そのため、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【0135】

図8(B)は、電子ペーパーを実装した電子書籍710であり、筐体711と筐体712の2つの筐体で構成されている。筐体711および筐体712には、それぞれ表示部713および表示部714が設けられている。筐体711と筐体712は、軸部715により接続されており、該軸部715を軸として開閉動作をおこなうことができる。

【0136】

また、筐体711は、操作キー716、電源ボタン717、スピーカー718などを備えている。筐体711、筐体712の少なくとも一には、先の実施の形態に示す記憶素子を有する半導体装置を設けるとよい。そのため、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【0137】

図8(C)は、テレビジョン装置720であり、筐体721、表示部722、スタンド723などで構成されている。筐体721には、先の実施の形態に示す記憶素子を有する半導体装置が搭載できる。そのため、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【0138】

10

20

30

40

50

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る記憶素子が搭載されている。このため、長期間のデータの保存に耐え、消費電力を低減した電子機器が実現される。もちろん、図8に示された電子機器以外においても、先の実施の形態に係る半導体装置を搭載することにより同様の効果が得られる。

【符号の説明】

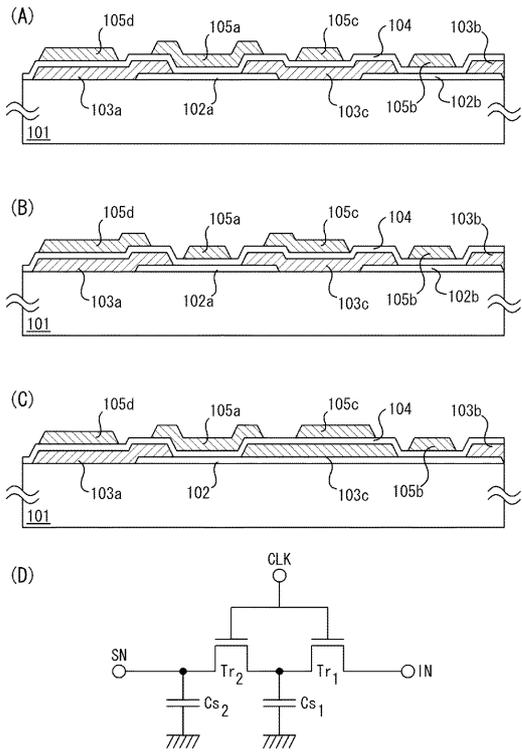
【0139】

| | | |
|------|----------------|----|
| 101 | 基板 | |
| 102 | 第1酸化物半導体層 | |
| 102a | 第1酸化物半導体層 | |
| 102b | 第2酸化物半導体層 | 10 |
| 103a | 第1層配線 | |
| 103b | 第1層配線 | |
| 103c | 第1層配線 | |
| 104 | ゲート絶縁物 | |
| 105a | 第2層配線 | |
| 105b | 第2層配線 | |
| 105c | 第2層配線 | |
| 105d | 第2層配線 | |
| 201 | 基板 | |
| 202 | 酸化物半導体層 | 20 |
| 203 | ゲート絶縁物 | |
| 204a | 第1層配線 | |
| 204b | 第1層配線 | |
| 205a | エッチングストッパ | |
| 205b | エッチングストッパ | |
| 206 | レジスト | |
| 207 | N型酸化物半導体領域 | |
| 208 | 側壁絶縁物 | |
| 209a | 第2層配線 | |
| 209b | 第2層配線 | 30 |
| 209c | 第2層配線 | |
| 210 | 容量用絶縁物 | |
| 211a | 第3層配線 | |
| 211b | 第3層配線 | |
| 211c | 第3層配線 | |
| 301 | 第1トランジスタ | |
| 302 | 第2トランジスタ | |
| 303 | 読み出しトランジスタ | |
| 304 | 第1容量素子 | |
| 305 | 第2容量素子 | 40 |
| 311 | Pチャネル型トランジスタ | |
| 312 | Pチャネル型トランジスタ | |
| 313 | Nチャネル型トランジスタ | |
| 314 | Nチャネル型トランジスタ | |
| 315 | 第1スイッチングトランジスタ | |
| 316 | 第2スイッチングトランジスタ | |
| 317 | 第1トランジスタ | |
| 318 | 第2トランジスタ | |
| 319 | 読み出しトランジスタ | |
| 320 | 第1容量素子 | 50 |

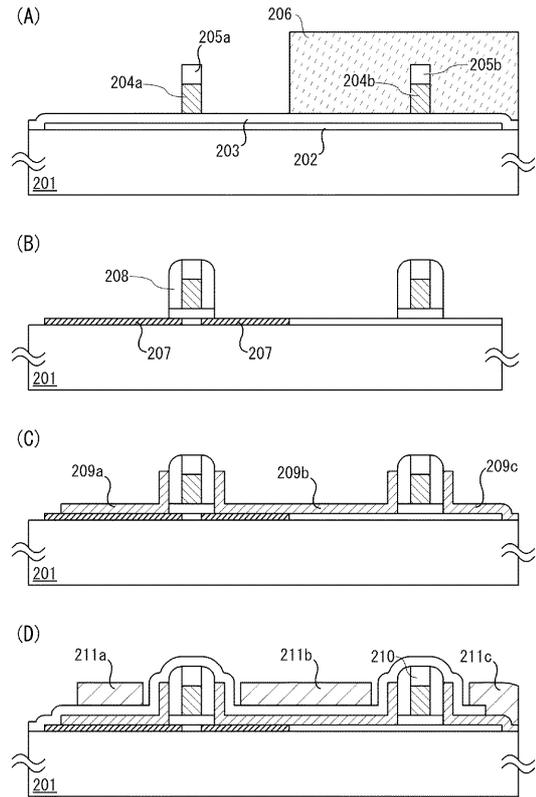
| | | |
|---------|--------------|----|
| 3 2 1 | 第 2 容量素子 | |
| 4 0 1 | 基板 | |
| 4 0 1 n | N 型ウェル | |
| 4 0 1 p | P 型ウェル | |
| 4 0 2 | 素子分離絶縁物 | |
| 4 0 3 n | N 型領域 | |
| 4 0 3 p | P 型領域 | |
| 4 0 4 a | 第 1 層配線 | |
| 4 0 4 b | 第 1 層配線 | |
| 4 0 5 | 第 1 層間絶縁物 | 10 |
| 4 0 6 a | 第 1 コンタクトプラグ | |
| 4 0 6 b | 第 1 コンタクトプラグ | |
| 4 0 6 c | 第 1 コンタクトプラグ | |
| 4 0 7 | 第 2 層間絶縁物 | |
| 4 0 8 a | 第 2 層配線 | |
| 4 0 8 b | 第 2 層配線 | |
| 4 0 8 c | 第 2 層配線 | |
| 4 0 8 d | 第 2 層配線 | |
| 4 0 9 | 酸化物半導体層 | |
| 4 1 0 | ゲート絶縁物 | 20 |
| 4 1 1 a | 第 3 層配線 | |
| 4 1 1 b | 第 3 層配線 | |
| 4 1 1 c | 第 3 層配線 | |
| 4 1 1 d | 第 3 層配線 | |
| 4 1 2 | レジスト | |
| 4 1 3 | N 型酸化物半導体領域 | |
| 4 1 4 | 第 3 層間絶縁物 | |
| 4 1 5 a | 第 2 容量素子 | |
| 4 1 5 b | 第 2 トランジスタ | |
| 4 1 5 c | 第 1 容量素子 | 30 |
| 4 1 5 d | 第 1 トランジスタ | |
| 6 0 1 | 下地絶縁物 | |
| 6 0 2 | 埋め込み絶縁物 | |
| 6 0 3 a | 半導体領域 | |
| 6 0 3 b | 半導体領域 | |
| 6 0 3 c | 半導体領域 | |
| 6 0 4 | ゲート絶縁物 | |
| 6 0 5 | ゲート | |
| 6 0 6 a | 側壁絶縁物 | |
| 6 0 6 b | 側壁絶縁物 | 40 |
| 6 0 7 | 絶縁物 | |
| 6 0 8 a | ソース | |
| 6 0 8 b | ドレイン | |
| 7 0 0 | パーソナルコンピュータ | |
| 7 0 1 | 筐体 | |
| 7 0 2 | 筐体 | |
| 7 0 3 | 表示部 | |
| 7 0 4 | キーボード | |
| 7 1 0 | 電子書籍 | |
| 7 1 1 | 筐体 | 50 |

| | | |
|------------------|------------|----|
| 7 1 2 | 筐体 | |
| 7 1 3 | 表示部 | |
| 7 1 4 | 表示部 | |
| 7 1 5 | 軸部 | |
| 7 1 6 | 操作キー | |
| 7 1 7 | 電源ボタン | |
| 7 1 8 | スピーカー | |
| 7 2 0 | テレビジョン装置 | |
| 7 2 1 | 筐体 | |
| 7 2 2 | 表示部 | 10 |
| 7 2 3 | スタンド | |
| I N | 入力端子 | |
| O U T | 出力端子 | |
| C L K | 信号端子 | |
| C L K 1 | 信号端子 | |
| C L K 2 | 信号端子 | |
| C L K 3 | 信号端子 | |
| S N | ストレージノード | |
| T r ₁ | 第 1 トランジスタ | |
| T r ₂ | 第 2 トランジスタ | 20 |
| C s ₁ | 第 1 容量素子 | |
| C s ₂ | 第 2 容量素子 | |
| T 1 | 第 1 端子 | |
| T 2 | 第 2 端子 | |
| T 3 | 第 3 端子 | |
| T 4 | 第 4 端子 | |
| T 5 | 第 5 端子 | |

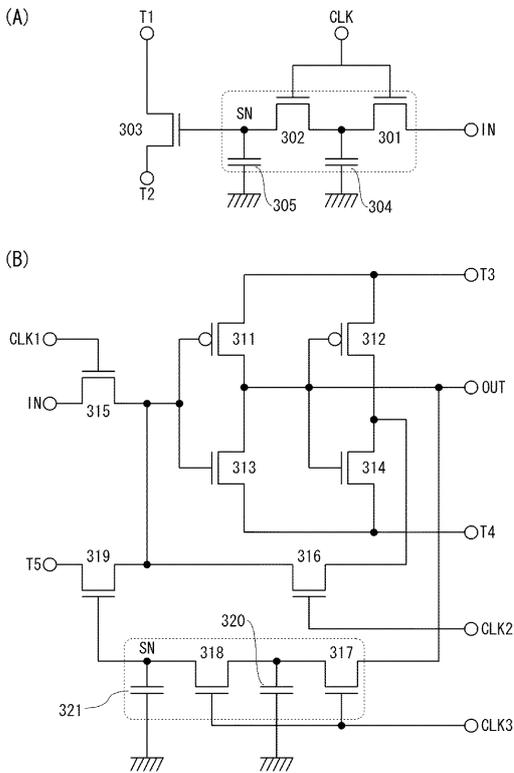
【 図 1 】



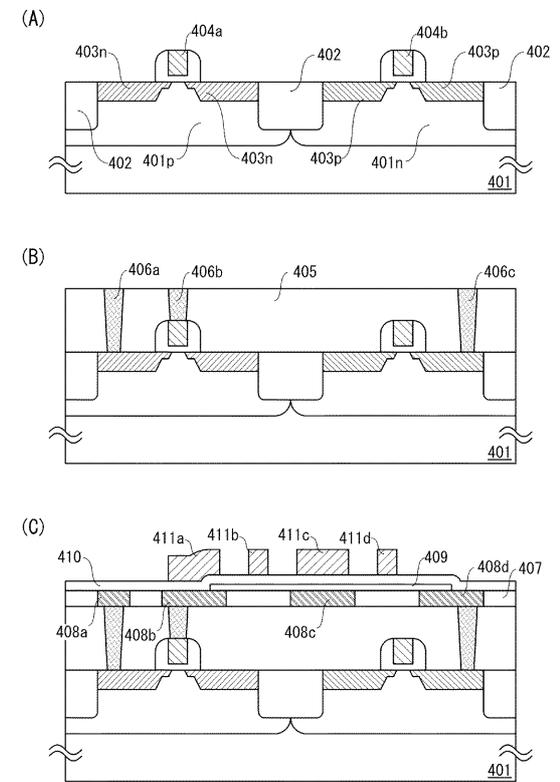
【 図 2 】



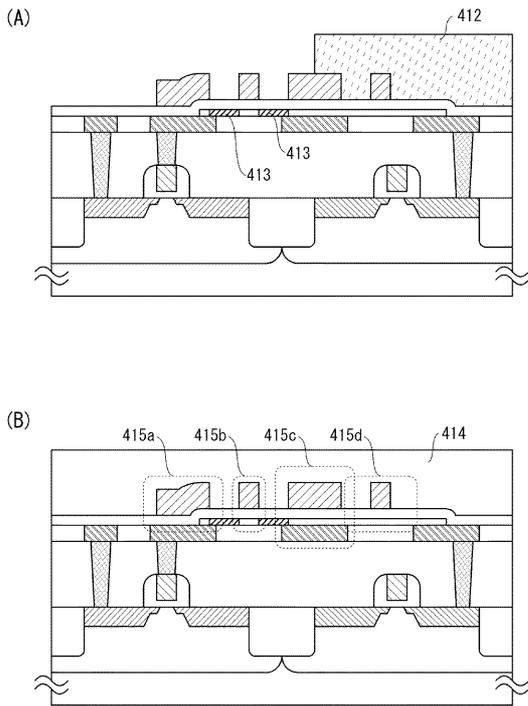
【 図 3 】



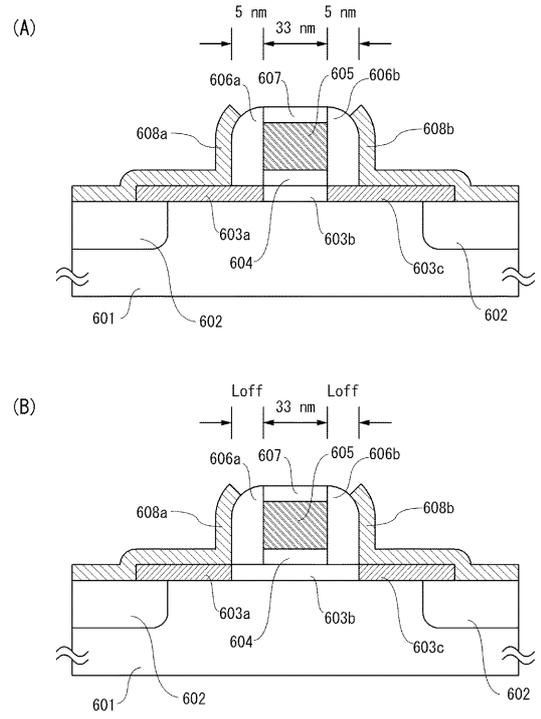
【 図 4 】



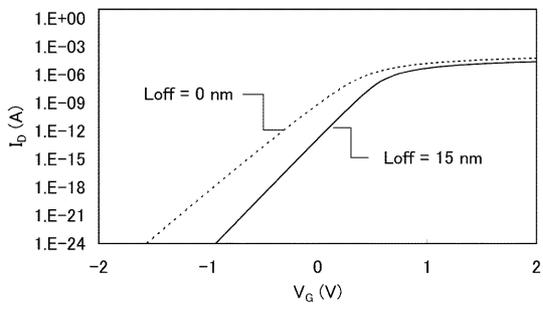
【 図 5 】



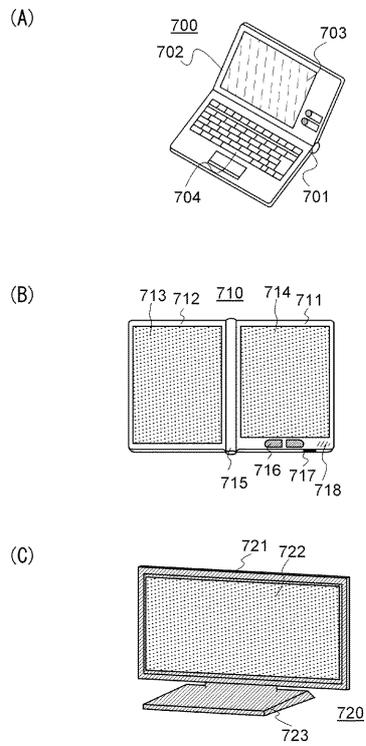
【 図 6 】



【 図 7 】



【 図 8 】



フロントページの続き

| (51)Int.Cl. | F I | | | テーマコード(参考) | | |
|---------------------------|---------------|---------|--|------------|--|--|
| H 0 1 L 27/06 (2006.01) | H 0 1 L 27/06 | 1 0 2 A | | | | |
| H 0 1 L 21/8238 (2006.01) | H 0 1 L 27/08 | 3 2 1 L | | | | |
| H 0 1 L 27/092 (2006.01) | H 0 1 L 27/08 | 1 0 2 C | | | | |
| H 0 1 L 21/822 (2006.01) | H 0 1 L 27/04 | F | | | | |
| H 0 1 L 27/04 (2006.01) | H 0 1 L 27/04 | C | | | | |
| H 0 1 L 21/336 (2006.01) | H 0 1 L 29/78 | 6 1 7 A | | | | |

| Fターム(参考) | 5F083 | AD02 | AD21 | AD69 | HA02 | JA02 | JA05 | JA06 | JA19 | JA36 | JA37 |
|----------|-------|------|------|------|------|------|------|------|------|------|------|
| | | JA39 | JA42 | JA60 | | | | | | | |
| 5F110 | AA06 | AA30 | BB01 | BB03 | BB04 | BB05 | BB11 | CC01 | CC02 | DD02 | |
| | DD05 | DD12 | DD13 | DD17 | DD21 | DD25 | EE02 | EE03 | EE04 | EE06 | |
| | EE08 | EE11 | EE14 | EE32 | FF01 | FF02 | FF03 | FF04 | FF05 | FF27 | |
| | FF28 | FF30 | GG01 | GG06 | GG12 | GG13 | GG15 | GG17 | GG25 | GG26 | |
| | GG28 | GG29 | GG35 | GG43 | GG58 | HJ01 | HJ04 | HK02 | HK03 | HK04 | |
| | HK06 | HK08 | HK17 | HK21 | HM02 | HM14 | NN02 | NN22 | NN23 | NN24 | |
| | NN72 | NN74 | NN78 | QQ11 | QQ19 | | | | | | |

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成27年6月25日(2015.6.25)

【公開番号】特開2013-8959(P2013-8959A)
 【公開日】平成25年1月10日(2013.1.10)
 【年通号数】公開・登録公報2013-002
 【出願番号】特願2012-118160(P2012-118160)
 【国際特許分類】

| | | |
|---------|---------|-----------|
| H 0 1 L | 29/786 | (2006.01) |
| H 0 1 L | 21/8234 | (2006.01) |
| H 0 1 L | 27/088 | (2006.01) |
| H 0 1 L | 21/8242 | (2006.01) |
| H 0 1 L | 27/108 | (2006.01) |
| H 0 1 L | 27/06 | (2006.01) |
| H 0 1 L | 21/8238 | (2006.01) |
| H 0 1 L | 27/092 | (2006.01) |
| H 0 1 L | 21/822 | (2006.01) |
| H 0 1 L | 27/04 | (2006.01) |
| H 0 1 L | 21/336 | (2006.01) |

【 F I 】

| | | |
|---------|-------|---------|
| H 0 1 L | 29/78 | 6 1 8 B |
| H 0 1 L | 27/08 | 1 0 2 B |
| H 0 1 L | 29/78 | 6 1 4 |
| H 0 1 L | 27/10 | 6 7 1 C |
| H 0 1 L | 27/10 | 6 2 1 Z |
| H 0 1 L | 27/06 | 1 0 2 A |
| H 0 1 L | 27/08 | 3 2 1 L |
| H 0 1 L | 27/08 | 1 0 2 C |
| H 0 1 L | 27/04 | F |
| H 0 1 L | 27/04 | C |
| H 0 1 L | 29/78 | 6 1 7 A |

【手続補正書】

【提出日】平成27年5月8日(2015.5.8)

【手続補正1】

【補正対象書類名】明細書
 【補正対象項目名】発明の名称
 【補正方法】変更

【補正の内容】

【発明の名称】半導体装置

【手続補正2】

【補正対象書類名】特許請求の範囲
 【補正対象項目名】全文
 【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1トランジスタと、第2トランジスタと、を有し、
 前記第1トランジスタは、第1のゲート電極と、第1のゲート絶縁物と、前記第1のゲ

ート絶縁物を介して前記第1のゲート電極と重なる第1の酸化物半導体層と、前記第1の酸化物半導体層に接する第1のソース電極及び第1のドレイン電極とを有し、

前記第2トランジスタは、第2のゲート電極と、第2のゲート絶縁物と、前記第2のゲート絶縁物を介して前記第2のゲート電極と重なる第2の酸化物半導体層と、前記第2の酸化物半導体層に接する第2のソース電極及び第2のドレイン電極とを有し、

前記第1のソース電極及び前記第1のドレイン電極の一方は、前記第2のソース電極及び前記第2のドレイン電極の一方と接続され、

上方から見たときに、前記第1のソース電極及び前記第1のドレイン電極は、前記第1のゲート電極から離れており、

上方から見たときに、前記第2のソース電極及び前記第2のドレイン電極は、前記第2のゲート電極から離れており、

前記第2トランジスタは、N型酸化物半導体領域を有し、

前記N型酸化物半導体領域は、前記第2のゲート電極をマスクとして第2の酸化物半導体層に不純物をドーピングすることにより形成されたものであることを特徴とする半導体装置。

【請求項2】

第1トランジスタと、第2トランジスタと、第1の容量と、第2の容量と、を有し、

前記第1トランジスタは、第1のゲート電極と、第1のゲート絶縁物と、前記第1のゲート絶縁物を介して前記第1のゲート電極と重なる第1の酸化物半導体層と、前記第1の酸化物半導体層に接する第1のソース電極及び第1のドレイン電極とを有し、

前記第2トランジスタは、第2のゲート電極と、第2のゲート絶縁物と、前記第2のゲート絶縁物を介して前記第2のゲート電極と重なる第2の酸化物半導体層と、前記第2の酸化物半導体層に接する第2のソース電極及び第2のドレイン電極とを有し、

前記第1のソース電極及び前記第1のドレイン電極の一方は、前記第2のソース電極及び前記第2のドレイン電極の一方と接続され、

前記第2のソース電極及び前記第2のドレイン電極の一方は、前記第1の容量と接続され、

前記第2のソース電極及び前記第2のドレイン電極のもう一方は、前記第2の容量と接続され、

上方から見たときに、前記第1のソース電極及び前記第1のドレイン電極は、前記第1のゲート電極から離れており、

上方から見たときに、前記第2のソース電極及び前記第2のドレイン電極は、前記第2のゲート電極から離れており、

前記第2トランジスタは、N型酸化物半導体領域を有し、

前記N型酸化物半導体領域は、前記第2のゲート電極をマスクとして第2の酸化物半導体層に不純物をドーピングすることにより形成されたものであることを特徴とする半導体装置。

【請求項3】

請求項1又は2において、さらに第3のゲート電極を含む第3トランジスタを有し、

前記第3のゲート電極は、前記第2のソース電極及び前記第2のドレイン電極のもう一方と接続されていることを特徴とする半導体装置。

【請求項4】

請求項1乃至3のいずれか一項において、前記第1のゲート電極は前記第2のゲート電極と接続されていることを特徴とする半導体装置。

【請求項5】

請求項1乃至4のいずれか一項において、前記第1の酸化物半導体層と前記第2の酸化物半導体層のそれぞれは、インジウム及び亜鉛を含むことを特徴とする半導体装置。